

비정질 실리콘의 전기 전도도에 대한 이론적 모델 및 실험적 분석

°김용상, 박진석, 한민구
서울대학교 전기공학과

Theoretical Model and Experimental Analysis of
Electrical Conductivity in Hydrogenated Amorphous Silicon

°Yong-Sang Kim, Jin-Seok Park, and Min-Koo Han
Dept. of Electrical Eng. Seoul National Univ.

Abstract

This paper reports the theoretical model and the experimental results regarding to the electrical conductivity of hydrogenated amorphous silicon (a-Si:H). The total effective conductance of a-Si:H with a planar structure has been considered as the sum of the conductance of an adsorbate-induced layer, a surface-interface layer, a bulk layer, and a substrate-interface layer. In order to investigate the effects of space charge layers in a-Si:H on the conductivity, the thickness dependence of the conductivity is characterized and the conductivities measured at the upper electrodes deposited on a-Si:H are compared with those measured at the lower electrodes deposited on the glass substrate. From our analysis, the bulk conductivity and the thickness of the space charge layer in a-Si:H are characterized quantitatively.

I. 서론

수소화된 비정질 실리콘(a-Si:H)은 우수한 광학적 특성을 갖고 있으며, glow discharge를 이용한 sputtering, PECVD(Plasma-Enhanced Chemical Vapor Deposition) 및 Evaporation, 그리고 광 CVD 등의 다양한 방법으로^[1-3] 초박막 형태까지 비교적 대면적의 증착이 가능하므로 태양전지, 광 센서, 액정 평판 표시기 등의 광전소자의 응용^[4,5]이 확대되고 있다. 박막 형태의 a-Si:H 소자에 있어서 그박막의 전기전도도는 소자의 동작 특성 및 성능평가를 결정하는 가장 기본적인 물성특성이다. 그러나, a-Si:H 박막의 전기전도도는 내재적인 국부상태의 존재 등에 의하여 박막의 제작 조건 및 외부 측정조건 변화에 민감하게 영향을 받기 때문에 전기전도도의 정확한 측정에 어려운 점이 많다.

본 논문에서는 a-Si:H 박막을 전기전도도에 미치는 상대적인 효과에 따라 표면층, bulk 층, 계면층 등으로 분류한 새로운 Model을 제시하였으며, 특히 계면층이 전기전도도에 미치는 영향을 이론 및 실험적 결과를 통하여 고찰하였다. 본 연구에서 사용된 a-Si:H 박막은 PECVD 방법으로 제작하였고, 두께에 따른 암 전도도 및 광 전도도의 변화, 계면과 표면에서 측정된 전기전도도의 비교, 전극의 크기와 전기전도도의 관계를 조사하였다.

II. 실험 방법

Corning glass 기판 위에 Cr으로 하부전극을 증착하고 그위에 진성 a-Si:H 박막을 증착한 후 Al으로 상부전극을 형성하였다. 전극은 Electron-beam evaporator 를 이용하여 1000 - 1200 Å 의 두께로써 다양한 전극 크기로 증착되었다. a-Si:H 박막은 PECVD 방법을 이용하여 0.07 - 0.4 μm 의 두께로 증착되었으며 이 때의 증착조건은 표 1 에 요약하였다.

Table I. Preparation condition of a-Si:H

base pressure	7.0×10^{-7} [Torr]
operating pressure	0.5 [Torr]
gas flow rate (SiH ₄)	16 [sccm]
substrate temperature	250 [°C]
rf power	4 [W]
deposition rate	3 [Å/sec]

박막 및 전극의 두께는 α-step 으로 측정되었고, 전기전도도는 planar 방법에 의하여 Electron-meter 로 측정하였으며 광 전도도는 solar simulator 를 이용하여 AM1 의 입사광 세기에서 측정하였다.

III. 전기전도도의 이론적 Modeling

비정질 실리콘 단층막은 전체의 전기전도도에 영향을 주는 차이에 따라 4가지 층으로 구분될 수 있다. 기판과 a-Si:H 사이의 계면 상태가 존재하는 층, a-Si:H bulk 층, adsorbate 가 존재하는 표면층,^[6,7] 그리고 표면층과 bulk 사이의 계면 상태가 존재하는 층으로 나누어지며 이를 그림 1 에 나타내었다.

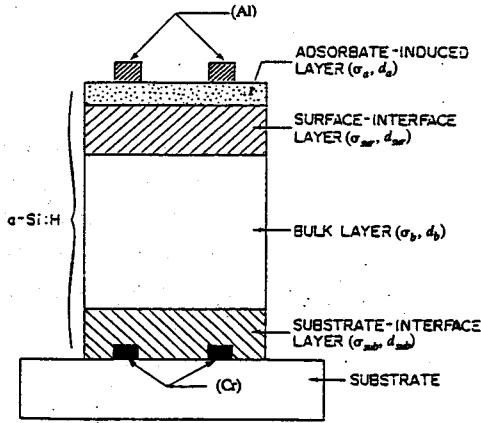


그림 1. 비정질 실리콘 박막을 구성하는 4 가지 층

Fig. 1 A diagram of four layers consisting an a-Si:H

Planar 구조로 된 a-Si:H 박막에 있어서 effective conductivity 는 다음과 같은 식으로 표현되며 σ_{eff} 와 d_{eff} 는 각각 비정질 실리콘 박막 전체의 effective 전기전도도와 박막의 두께를 나타내며 다른 기호들은 그림 1 에 따른다.

$$\sigma_{eff}d_{eff} = \sigma_a d_a + \sigma_{sur} d_{sur} + \sigma_b d_b + \sigma_{sub} d_{sub} \quad (1)$$

여기서 표면에서의 계면층과 기판에서의 계면층은 하나의 층으로 취급하였고 σ_a 와 d_a 는 같은 측정조건에서는 거의 변화가 없는 것으로 간주되므로 같은 정도의 adsorbate 효과를 갖는 것으로 놓고 계면층의 변화만에 대해 다음 식을 유도하였다.

$$\sigma_i d_i = \sigma_a d_a + \sigma_{sur} d_{sur} + \sigma_{sub} d_{sub} \quad (2)$$

또한, 박막의 두께가 일정한 두께이상이면 전기전도도의 변화가 거의 없으며 이러한 space charge layer 의 두께도 거의 일정한 것으로 가정하면 식 (1) 은 다음과 같이 정리된다.

$$\sigma_{eff}d_{eff} = \sigma_b d_{eff} - d_i(\sigma_b - \sigma_i) \quad (3)$$

식 (3) 으로부터 $\sigma_{eff}d_{eff}$ 와 d_{eff} 의 관계를 graph 로 표시하면 선형성이 나타나며, 그 기울기는 bulk 층의 전기전도도를 나타내는 값이 되고, 그 절편으로부터 계면 상태가 존재하는 층의 두께를 근사적으로 계산할 수 있다.

IV. 실험 결과 및 검토

IV-1. 두께에 따른 전기전도도의 변화

비정질 실리콘 박막의 두께를 0.07 μm 부터 0.4 μm 까지 변화시키며 암 전도도와 광 전도도를 측정하였다. 두께가 증가할수록 전기전도도가 증가하는 현상이 나타났으며^[8-10] 이를 그림 2, 3 에 표시하였다.

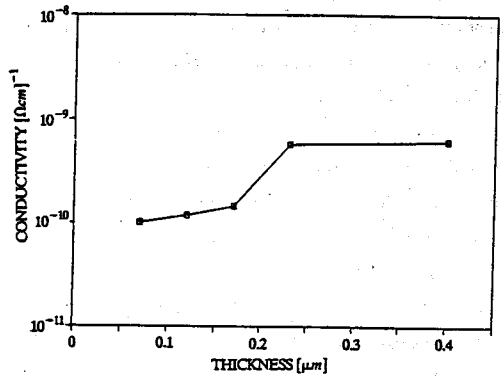


그림 2. Planar 방법으로 측정된 두께에 따른 암 전도도의 변화

Fig. 2 Thickness dependence of dark conductivity measured by planar method

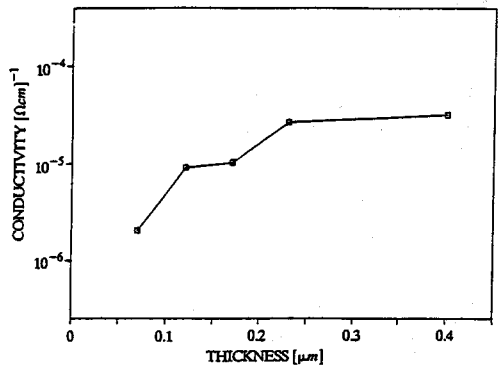


그림 3. Planar 방법으로 측정된 두께에 따른 광 전도도의 변화

Fig. 3 Thickness dependence of photo conductivity measured by planar method

측정된 전기전도도를 앞절에서 언급한 modeling에 의해 $\sigma_{eff}d_{eff}$ 와 d_{eff} 의 graph 를 그렸으며 식 (3) 과 같은 선형성이 나타나 modeling 의 근거를 제시하였다.

그림 4, 5 의 기울기와 절편으로부터 bulk 층의 전기전도도와 계면 상태가 존재하는 층의 두께를 계산해 보았으며 이를 표 2 에 나타내었다.

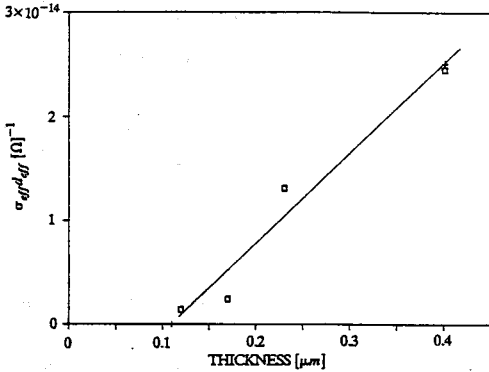


그림 4. 암 전도도에 대한 $\sigma_{eff}d_{eff}$ 와 d_{eff} 의 graph
Fig. 4 A graph of $\sigma_{eff}d_{eff}$ vs. d_{eff} for dark conductivity

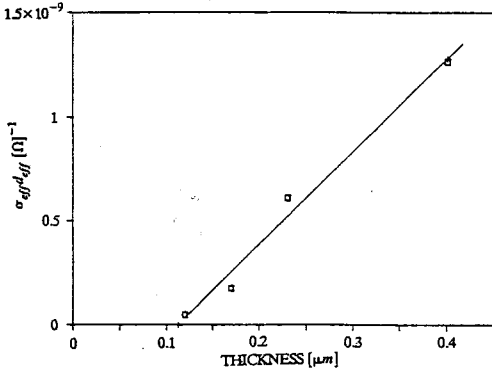


그림 5. 광 전도도에 대한 $\sigma_{eff}d_{eff}$ 와 d_{eff} 의 graph
Fig. 5 A graph of $\sigma_{eff}d_{eff}$ vs. d_{eff} for photo conductivity

이론적으로 계산된 bulk 층의 전기전도도는 그림 2, 3 에 나타나 있듯이 전기전도도가 0.4 μm 이상에서 포화되는 수준을 알 수 있으며 계면 상태가 존재하는 층은 0.11 μm 정도로 암 전도도와 광 전도도의 경우에 차이가 없는 것으로 나타났다. 이는 계면층의 두께는 일정하여 암 전도도에서나 광 전도도에서 영향을 받지 않음을 나타낸다. 또한 두께가 아주 얇은 a-Si:H 박막은 거의 계면층만이 존재함으로써 두꺼운 a-Si:H 박막, 즉 상대적으로 bulk 층이 많은 박막에 비해 매우 작은 전기전도도를 나타내게 되는 것이다.

표 2. Bulk 층의 전기전도도와 계면층의 두께

Table II. Conductivity of bulk layer and thickness of interface layer

	dark	photo
bulk conductivity [$\Omega\cdot\text{cm}$] ⁻¹	8.7×10^{-10}	4.5×10^{-5}
interface layer thickness [μm]	0.11	0.113

IV-2. 계면과 표면에서의 전기전도도 측정

동일한 a-Si:H 박막에 대하여 planar 방법으로 계면(하부전극)에서의 전기전도도와 표면(상부전극)에서의 전기전도도를 측정하여 이를 그림 6, 7 에 표시하였다.

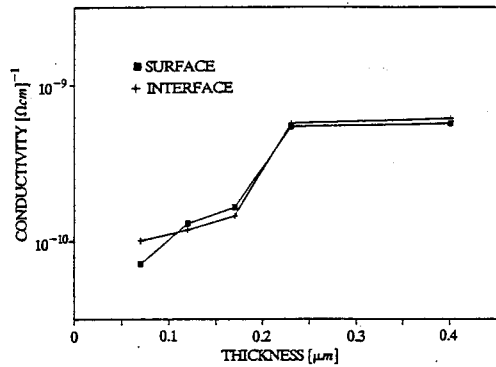


그림 6. 계면과 표면에서 측정된 암 전도도

Fig. 6 The dark conductivity measured at surface and interface, respectively.

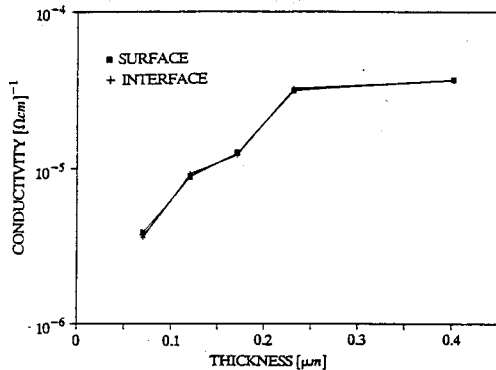


그림 7. 계면과 표면에서 측정된 광 전도도

Fig. 7 The photo conductivity measured at surface and interface, respectively.

표면에서의 전기전도도와 계면에서의 전기전도도는 거의 같은 값을 나타내었으며 이는 그림 1의 4 가지 층의 저항 성분이 병렬로써 연결된 효과를 나타내기 때문으로 보여진다. 따라서 비정질 실리콘 박막의 전기전도도 측정에 있어서 전극의 위치는 표면이나 계면, 어느곳에 있어도 같은 값을 얻을 수 있음을 나타낸다.

IV-3. 전극의 크기와 전기전도도의 관계

동일한 a-Si:H 박막에 대하여 크기가 다른 전극을 증착하여 planar 방법으로 전기전도도를 측정하였다. 그림 8은 전극의 W/L 비율에 따라 측정된 전기전도도를 나타내고 있으며 동일한 박막에서도 전극의 W/L 비율이 증가할수록 측정된 전기전도도는 점차적으로 작은 값으로 표시되고 있다.

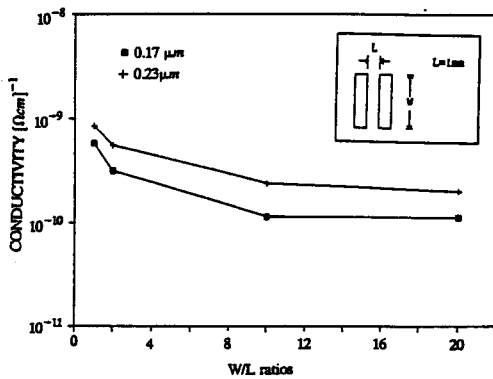


그림 8. 여러가지 W/L 비율에 대하여 측정된 전기전도도
Fig. 8 The dark conductivity measured for various W/L ratios

이것은 a-Si:H 박막에서의 전류 이동률의 영향으로 전극의 끝부분에서는 계산상의 L×W 영역 바깥으로도 전류가 흐름으로 인하여 전기전도도가 작은 값을 나타내는 것이며, W 영역 외부의 전류가 일정하다고 하면 상대적으로 작은 전극일수록 이 영향이 크기 때문이다. 또한 박막의 불균일성으로 측정위치에 따라 약간의 다른 값을 보이는 영향도 포함된 것으로 보여진다.

V. 결 론

비정질 실리콘 단층막에 대하여 표면층, 계면층, bulk 층 등으로 각각 분류하여 이를 이론적으로 modeling 하고, 비정질 실리콘 박막의 두께를 변화시키며 전기전도도를 측정하여 표면에서의 계면층 및 기판과의 계면층에 존재하는 상태밀도가 전기전도도에

미치는 영향을 정량적으로 분석하였다. 이때, 전기전도도 표현식 (3)과 같은 선형성이 잘 나타났으며, 계산된 bulk 층의 전기전도도는 두꺼운 박막, 즉 상대적으로 bulk 층이 많은 박막에서의 전기전도도에 근사적인 값을 나타내는 것을 알 수 있으며 이는 본 논문의 이론적 modeling 에 의한 접근방법이 상당한 신뢰성이 있음을 실험적인 결과로서 제시해 주는 것이다.

표면과 계면에서 전기전도도를 측정하여 각 영역에서 측정된 전기전도도의 값이 거의 일치함을 알 수 있었으며, 이는 전기전도도의 측정에 있어서 전극의 위치는 영향이 없음을 나타낸다. 또한 전극의 크기와 전기전도도의 관계를 조사하여 측정 전극의 크기에 따라서 전류 흐름의 상대적인 차이에 의하여 측정된 전기전도도값이 다르게 나타날 수 있음을 보였다.

참 고 문 헌

- [1] D. L. Morel and T. D. Moustakas, Appl. Phys. Lett. 39, 612(1981).
- [2] C. R. Wronski and R. E. Daniel, Phys. Rev. B23, 794(1981).
- [3] Y. Mishima, M. Hirose, Y. Osaka, K. Nagamine, Y. Ashida, N. Kitakawa, and K. Isogaya, Jpn. J. Appl. Phys. 22, L46(1983).
- [4] K. D. Mackenzie, A. J. Snell, I. French, P. G. LeComber, and W. E. Spear, Appl. Phys. A31, 87(1983).
- [5] T. Hamano, H. Ito, T. Nakamura, T. Ozawa, M. Fuse, and M. Takenouchi, Jpn. J. Appl. Phys. Suppl. 21-1, 245(1982).
- [6] M. Tanielian, Phil. Mag. B45, 435(1982).
- [7] M. Tanielian, H. Fritzsche, C. C. Tsai, and E. Symbalisky, Appl. Phys. Lett. 33, 353(1978).
- [8] D. G. Ast and M. H. Brodsky, J. Non-Cryst. Solids 35-36, 611(1980).
- [9] I. Solomon and M. H. Brodsky, J. Appl. Phys. 51, 4548 (1980).
- [10] J. S. Park, M. K. Han, and C. H. Lee, J. KIEE 1, 21 (1988).