

# 정보교환기능을 위한 신경 회로망 연구

이노성 박승규 우광방  
연세 대학교 공과대학 전기 공학과

## A Study on Neural Network for Information Switching Function

No-Sung Lee Seung-Kyu Park Kwang Bang Woo  
Dept. of Electrical Engineering  
Yonsei University

### ABSTRACT

Neural networks are a class of systems that have many simple processors (neurons) which are highly interconnected. The function of each neuron is simple, and the behavior is determined predominately by the set of interconnections. Thus, a neural network is a special form of parallel computer. Although a major impetus for using neural networks is that they may be able to "learn" the solution to the problem that they are to solve, we argue that another, perhaps even stronger, impetus is that they provide a framework for designing massively parallel machines. The highly interconnected architecture of switching networks suggests similarities to neural networks. Here, we present two switching applications in which neural networks can solve the problems efficiently. We also show that a computational advantage can be gained by using nonuniform time delays in the network.

### 1. 서론

현대사회가 정보화시대로 변모함에 따라 더욱 신속한 처리능력을 갖는 특수 목적의 컴퓨터 시스템 개발이 요구되고 있다. 따라서, LSI/VLSI기술의 발달과 더불어 처리속도 향상을 위한 병렬처리방식의 개발이 요구된다. 따라서 병렬처리방식으로서, 수천개의 프로세서로 구성되는, 다중프로세서 시스템에 대한 연구가 활발히 진행중에 있다. 다중프로세서 네트워크 시스템에서의 중요한 문제는 프로세서 내부의 복잡도(processor complexity)와 이들 프로세서간의 신호전달시, 효율적인 상호통신 문제이다. 특히 동일 태스크(task)에 대한 여러 프로세서간에 효율적인 분담 및 분산된 데이터의 빠른 액세스(access)가 핵심적인 문제가 되고 있다. 그러나 기존의 병렬처리 시스템에서는 연산처리능력이 증가된 프로세서 수와 비례하지 않으며, 프로세서수가 증가할수록 상호간의 정보 교환 및 전달기능에 크게 영향을 받게된다. 그리고 프로세서 수의 증가로 인한 경비 증가로 컴퓨터 기능효율이 저하되기도 한다. 따라서 확장성이 용이하고 시스템 밴드위스(bandwidth)를 증대시키기 위한 상호연결회로(interconnection network)의 설계 및 효율적인 제어방식이 필요하게 되었다[9]. 상호연결회로에서 스위치 회로는 입출력간에 효율적인 정보전달 교환 기능을 수행하며, 내장되고 있는 프로세서나 정보교환기들의 병렬처리 기능을

체계화한다. 또한 시스템을 구성하고 있는 기억 모듈(memory module), I/O 부시스템등의 본담과 상호연결회로의 유용한 제어를 위하여 스위치 회로 구조가 복잡하게 되지만, 시스템 운영의 고효율성과 다량정보의 기억모듈 전송등을 효율적으로 처리한다[8]. 이러한 스위칭 회로의 구성과 기능 제어를 위하여 최근 신경 회로망 응용이 적극 검토되고 있다[6,10].

신경회로망은 단순한 비선형 특성을 가지는 다수의 뉴런이 프로세서가 되어 구성되는 대표적 비선형 시스템이며 뉴런간의 체계적 상호연결에 의해 성능이 우수한 병렬처리 기능을 구현한다[10]. 이러한 병렬처리 특성은 수많은 프로세서를 통합하여 활용하게 되는 시스템내에서의 정보전달과 제어가 필요한 병렬 정보처리(parallel information processing), 통신등의 시스템 운영의 기반이 된다[7]. 본 연구에서는 다양한 스위칭 회로의 정보의 전달과 배분을 효과적으로 제어하기위해 신경 회로망의 병렬처리 특성과 비선형 입출력 관계를 검토하고, 이를 기반으로 정보처리, 통신등에서의 정보전달과 교환의 체계화된 스위칭 회로의 제어 알고리즘 개발을 추진한다.

### 2 병렬처리 시스템

#### 1) 스위치 회로

병렬처리 시스템에서 스위치의 기능은 N개의 입력신호 순서를 변경하여 재설정된 순서로 출력함으로써 프로세서와 메모리 모듈사이에 합리적 통로를 제공하는 것이다. 따라서 프로세서-메모리 스위치를 위한 다양한 회로형태가 가능하다. 본 연구에서는 먼저 입출력이 모두 같은 수가 되는 크로스바(crossbar) 스위치를 검토한다.

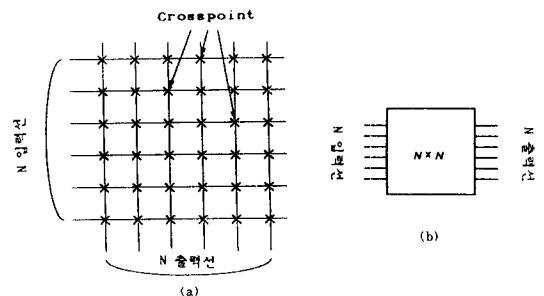


그림 2.1 N x N 크로스바 스위치  
Fig 2.1 N x N crossbar switch

기본 스위치는  $N \times N$  크로스바 스위치이다. 이는 각각의 교차점(crosspoint)에  $N$ 개의 입력과  $N$ 개의 출력이 교차되어 격자를 이루는 형태이다(그림 2.1). 적법한 콜 리퀘스트(Legal call request)는 사용중이 아닌 입력이 사용중이 아닌 출력으로 연결되는 리퀘스트이다. 콜이 스위치에서 연결되지 않으면 스위치는 차단(blocking)된다. 이것은 스위치 구조의 제한적 여건이나, 스위치에서 이미 연결된 콜에 의해 연결 경로가 사용중이기 때문에 발생한다. 일련의 콜들이 도달되는 대로 연결된다면 스위치는 엄밀하게 비차단성(non-blocking)이다.  $N \times N$  크로스바 스위치는 엄밀한 비차단 스위치의 전형적인 경우이다. 이런 스위치는 바람직하나  $N^2$ 개의 교차점이 사용되어야 한다.

스위치의 교차점 수는 그 복잡성의 척도가 되며 교차점 수가 축소되는 것이 바람직하다. 작은수의 교차점으로 된 스위치를 계층화 시켜 대규모 스위치를 구성함으로써 교차점 수를 줄일 수 있다. 작은수의  $r \times r$ 과  $n \times n$  크로스바로 이루어진 3단계(three-stage) 스위치는 그림 2.2와 같으며  $n$ 과  $r$ 의 값을 적절히 선택하면 교차점의 수를 줄일 수 있다. 다단계 스위치는 엄밀하게 비차단성(non-blocking)이 아니지만 재배열(rearrangeable)이 이루어 지면 넓은 의미의 비차단성이 될 수 있다. 이미 연결된 콜들의 경로가 재배열되어 일련의 적법한 콜 리퀘스트가 스위치를 통해 연결되면 스위치는 재배열된 것이다.

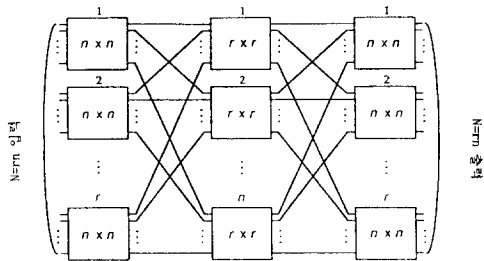


그림 2.2 3단계 스위치  
Fig 2.2 Three-stage switch

스위치의 연결통로가 매우 복잡할 때에도 콜이 차단될 확률이 매우 작도록 만들 수 있다. 이를 위해 다단계 형태가 필요하며 콜이 연결되는 다양한 경로가 준비되도록 한다. 재배열성 스위치의 경우에는 이러한 확률을 축소시키는 방법보다는 정확하게 재배열하는 방법이 보다 바람직하다. 재배열성 스위치에 이미 일련의 콜들이 연결되어 있을 때, 새로운 콜들을 연결하기 위하여 어떻게 콜들을 재정렬할 것인가 하는 문제에 초점을 둔다.

## 2) 폴(paul) 알고리즘

그림 2.2에 보여지는 스위치는  $N \times N$  스텔피안(Slepian) 재배열 스위치이다. 이 스위치는 입력, 중간, 출력 단계로 표시되는 3단계로 나타난다. 입력단계는  $r$ 개의  $n \times n$  크로스바로 구성되며 이는  $n$ 개의  $r \times r$  중간단계 크로스바에 연결되고, 다시  $r$ 개의  $n \times n$  출력단계 크로스바에 연결된다. 여기서  $N = r \times n$ 이며  $r \leq n \leq N$ 일 때 최소의 격자점이 얻어진다. 입/출력 스위치는 1에서  $r$ 까지, 중간단계 스위치는 A, B 등으로 번호 매김을 하는 것이 편리하다.

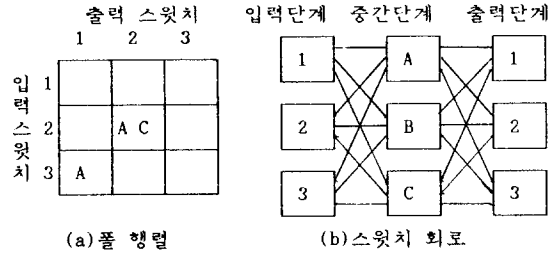


그림 2.3 폴 행렬  
Fig 2.3 Paul matrix

이 스위치의 동작을 분석하기 위해 폴 행렬을 소개한다. 이것은 스위치의 상태를 나타내는 행렬을 제공한다.(그림 2.3) 행렬의  $(i, j)$ 항에  $Q$ 는 입력 스위치  $i$ 에서 시작된 콜이 중간 스위치  $Q$ 를 거쳐 출력 스위치  $j$ 로 전달된다. 각 단계의 스위치는 이러한 상태가 명확하게 성립되도록 다음 단계의 각각의 스위치에 정확히 하나의 연결을 한다. 그러므로 콜들은 간단히 배열  $(i, j)$ 로 표시된다. 스위치의 구조에 따라 폴 행렬은 제한을 받게된다. 행렬의 각 행은 특별한 입력단계 스위치를 나타낸다. 따라서  $n$ 개의 콜만이 입력 스위치를 통해 전달되며 각각은 다른 중간단계 스위치로 전달되기 때문에  $n$ 개의 기호는 한 행에 각각 한번만 나타날 수 있다. 스위치의 대칭성때문에 이것은 행렬의 열에도 적용된다. 많은 기호들이 같은 입력과 출력에 연결되는 콜들을 나타내기 위해 하나의 배열에 표시될 수 있다.

## 3 신경 회로망

### 1) 기본 모델

그림 3.1은 기본형 신경 회로망 모델이다.

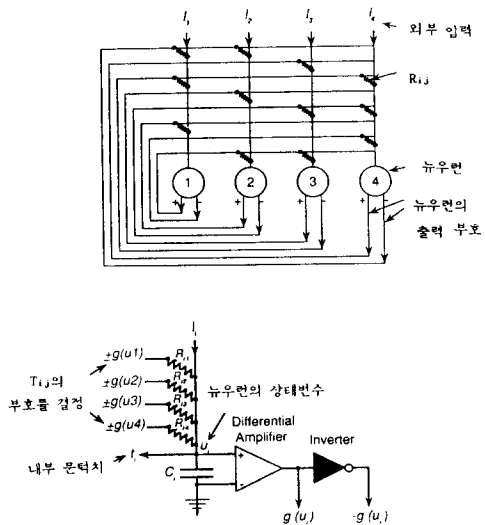


그림 3.1 신경회로망 모델  
Fig 3.1 Model of a neural network

두개의 뉴런  $i$ 와  $j$ 간의 상호 작용을 이해하기 위하여 뉴런  $i$ 와  $j$ 간의 연결은 저항  $R_{ij}$ 로서 이루어지며, 연결 강도는 저항에 반비례하는  $T_{ij}$ 로 나타난다. 연결 부호는 뉴런  $j$ 의 출력이 양또는 음인가에 따라 결정된다.  $T_{ij} > 0$  이

면 연결은 자극(excitation)하는 것이며 그렇지 않으면 억제(inhibition)하는 것이다. 뉴우런 j의 출력은 뉴우런 i의 출력에 곧바로 영향을 주지 않으며 뉴우런 i의 커패시턴스  $C_i$ 에 의해 시간지연 있게된다. 회로에는 직접적인 궤환이 없어 모든 i에 대하여  $T_{ii}=0$ 이다. 각 뉴우런은 외부 입력  $I_i$ 을 가질 수 있으며 문턱치  $t_i$ 는 모든 입력의 합으로 부터 감하게 되며 그 결과는 뉴우런의 최종적인 입력이 된다. 수학적으로 N개의 뉴우런을 가진 시스템에서 뉴우런 i가 주어졌을 때 그 상태 변수  $u_i$ 는 다음의 미분 방정식으로 나타낸다.

$$C_i \frac{du_i}{dt} = -\lambda_i u_i + \sum_{j=1}^N T_{ij} \cdot g(u_j) + I_i - t_i \quad (1)$$

여기에서,  $\lambda_i = \sum_{j=0}^N |T_{ij}|$ ,

그리고  $g(u)$ 는 시그모이드(sigmoid)함수로서 다음과 같이 정의된다.

- (1)  $g = f(G, u)$ ,  $G$ 는 시그모이드 함수의 계인(gain)
- (2)  $f$ 는 다음과 같은 성질을 갖는다.

1.  $\forall u, 0 < f'(u) < f'(0) = 1$
2.  $\lim_{u \rightarrow +\infty} f(u) = 1$
3.  $\lim_{u \rightarrow -\infty} f(u) = 0$

$S$ 를 식(1)에서 곱에 3항의 합이라하면  $u_i$ 는 시간상수  $C_i/\lambda_i$ 를 가진 음의 지수함수로 전개되고,  $S/\lambda_i$  값으로 감소한다.  $\lambda_i$ 는 고정 양수이고 계인이 충분히 클경우  $g$ 는 단순한 영점 문턱치 함수(zero threshold function)로 볼수 있기 때문에 뉴우런 i의 출력은  $S$ 의 부호에 따라 +/-1로 전개된다.

### 2) Winner-Take-all 회로

그 동작이 잘 정의되어 있는 신경 회로망중에 Winner-Take-All 회로를 대상 모델로 이용한다(그림 3.2a)

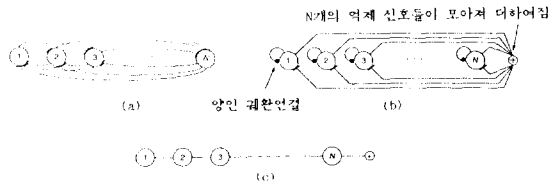


그림 3.2 Winner-Take-All 상호억제 회로  
Fig. 3.2 Winner-Take-All mutual inhibition circuit

이 회로는 내부상태가  $u_0$ 이고 동작을 유발하지 않는 초기치를 갖는 n개의 뉴우런에서 가장 큰 내부입력  $I$ 를 가진 하나의 뉴우런만이 동작하도록 한다. 가장 큰 입력을 가진 뉴우런을 선택하는 과정을 상호 경쟁이라 한다. 이 회로에서는 외부입력을 사용해서 동작하는 뉴우런을 선택할 수 있다. 이것은 각각의 뉴우런이 다른 뉴우런들에 억제하는 연결을 가지고 있는 회로이다. 적당한 문턱치와 연결강도를 가지면 이 회로는 원하는 특성을 가진다. 전체 회로의 모든 뉴우런들의 하중을 더하고 각 뉴우런의 자기연결(self-connection)을 부여함으로써 연결수를  $N^2$ 에서  $3N$ 으로 줄일 수 있다. 이렇게 수정된 회로가 그림 3.2b이며 같은 회로의 도식적인 표시가 그림 3.2c에 나타난다.

### 3) K-Winner-take-all 회로

K-Winner-Take-All 회로는 Winner-Take-All 회로를 일 반화한 것으로 상호억제속에 있는 뉴우런들중 입력이 가장 큰 K개의 뉴우런이 ON이 될 수 있도록 전체 뉴우런의 동작을 낮추어 주는 동작을 한다. 뉴우런의 문턱값이 K개의 뉴우런 이 동시에 존재하도록 낮게 동작한다. 연속 홉필드 신경회로망을 이용해 K-Winner-Take-All 회로를 구현하는 경우 에 너지 함수는 다음과 같이 생각할 수 있다.

$$E = A(\sum_{i=1}^N V_i - K)^2 + B \sum_{i=1}^N V_i(1-V_i) \quad (2)$$

식(2)의 첫째항은 N개의 뉴우런이 있을때 K개만이 ON이 된다는 것을 나타내며 두번째 항은 뉴우런들이 0이나 1로 수렴해 나간다는 것을 나타낸다. 식(2)를 홉필드 회로의 에 너지 함수 형태로 변형하면 다음과 같다.

$$E = -\frac{1}{2} \sum_{i=1}^N \sum_{j=1}^N (2*B*\delta_{ij} - 2*A) - \sum_{i=1}^N (2*A*K - B)*V_i + K^2 \quad (3)$$

이 식에서  $T_{ij} = 2*(B*\delta_{ij} - A)$   
 $I_i = 2*A*K - B$  임을 알 수 있다.

여기서  $\delta_{ij} = \begin{cases} i=j, & 1 \\ i \neq j, & 0 \end{cases}$  이다.

K-Winner-Take-All 회로는 뉴런들간의 상호 억제성 연결과 자기궤환에 의해 특징지워 지므로 자기궤환강도를  $a$ 라 하면 위식에 의하여 K-Winner-Take-All 회로의 시스템 방정식은 다음과 같이 전개된다.

$$C \frac{du_i}{dt} = -\lambda u_i + (a+A)g(u_i) - (\sum_{j=1}^N A*g(u_j) - I_i + t_i) \quad (4)$$

여기서  $A$ 는 뉴런들간의 상호억제 연결강도,  $I_i$ 는 외부입력,  $t_i$ 는 문턱치 이다.

### 4 스왑치 회로에 대한 신경 회로망의 적용

신경 회로망의 병렬처리 능력을 스왑치 회로에 적용하는 방안은 스왑치 회로의 위상(topology)에 맞추어 신경 회로망의 회로구조를 설계한다. 그림 4.1은 신경회로망을 이용한 스왑치의 제어 시스템 구조를 나타낸다.

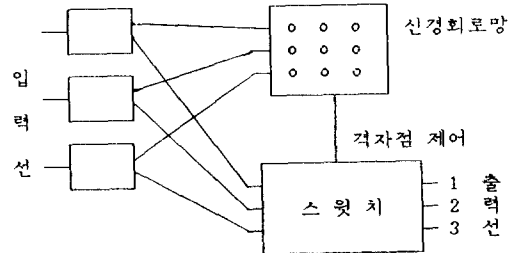


그림 4.1 시스템 구조  
Fig. 4.1 system architecture

먼저 다단 스왑치 회로에서 중간 단계 스왑치 수만큼의 뉴우런을 출력이 +/-1이 되도록 한다. 배열  $(i, j)$ 에 뉴우런  $Q$ 가 있으면 입력  $i$ 에서 출력  $j$ 로의 call이 중간단계 스왑치  $Q$ 를 통해 전송된다. 이러한 뉴우런에는 다음과 같은 조건들이 부과된다.

- 각 행에는 같은 레벨을 가진 두개의 뉴우런이 동시에 존재하면 안된다.
- 각 열에는 같은 레벨을 가진 두개의 뉴우런이 동시에 존재하면 안된다.

제하면 안된다.

○ 각 배열 (i,j)에는 중간단계 스위치 수만큼의 뉴우런만이 동작상태에 있어야 한다.

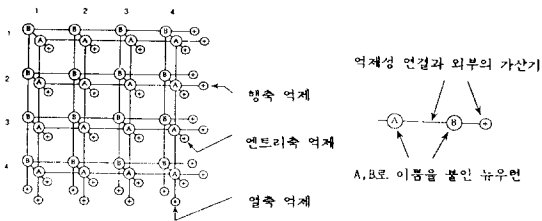


그림 4.2 3차원 뉴우런  
Fig 4.2 Three-dimension neuron grid

이러한 조건은 그림 4.2와 같은 뉴우런의 각 축이 상호 억제 능력을 가지는 배열구조를 나타내게 한다. 따라서 각 축에 원하는 억제능력을 수행하기 위하여 K-Winner-Take-All 회로를 사용한다. 먼저 신경 회로망을 O-Winner-Take-All 회로에 따라 각 축을 구성하고 calls이 도착하기전 어떤 뉴우런도 동작상태에 있지 않도록 문턱값을 정한다. 배열 (i,j)에 하나의 풀이 도달했다고 하면 K-Winners-Take-All 회로 구성에 따라 가장 큰 입력을 가지는 뉴우런이 동작하도록 배열 (i,j)의 모든 뉴우런에 대한 문턱값을 낮추는 것이 필요하다. 방정식(1)로부터 문턱값 t를 낮추는 것은 입력 I를 높이는 것과 같다. 그래서 배열 (i,j)에 있는 뉴우런의 입력을 증가함으로써 회로내의 (i,j) 뉴우런을 동작시키고 풀에 대한 경로를 선택할 수 있다.

이러한 기본적인 회로를 주회로라고 하고 각 주뉴우런에는 기억 뉴우런을 덧붙인다. 그림 4.3은 이러한 수정된 뉴우런의 구조를 나타낸다.



그림 4.3 수정된 신경회로망  
Fig 4.3 Modified neuron network

주뉴우런과 기억 뉴우런과의 연결은 주뉴우런이 동작하면 기억 뉴우런이 동작하지 않고 주뉴우런이 동작하지 않으면 기억 뉴우런이 동작하도록 선택된다. 기억 뉴우런은 더 긴 시간상수 축  $(C/\lambda)_{memory} \gg (C/\lambda)_{primary}$  이므로 주뉴우런이 변환후 오랫동안 그 값을 유지한다. 기억 뉴우런과 주뉴우런과의 연결강도는 주뉴우런사이의 연결강도에 비해 작다. 기억 뉴우런의 목적은 이미 오랫동안 동작상태에 있었던 주뉴우런과 최근에 동작상태로 전환된 주뉴우런을 구별하는 것이다. 이러한 구별은 차단된 풀들의 연속적인 재배열이 이러한 방법으로 계속되도록 이용될 수 있다.

단지 2개의 중간 단계 스위치가 있을때는 재배열 과정에서 회로가 두개의 기호중에 어느 것을 선택할 것이냐 하는 문제가 자동적으로 해결이가능하다. 회로가 더많은 중간 단계 스위치를 가지도록 확장되면 무한히 재배열을 계속하는 경우가 생긴다. 이를 방지하기 위해 재배열되는 처음 두 기호를 검출하는 뉴우런을 덧붙인다. 검출 뉴우런으로부터 억제 및 자극은 주뉴우런에 연결되어 경쟁에서 이긴 뉴우런

을 검출한다(그림4.4a). 행과 열에 부착된 검출 뉴우런들은 각 축의 ON 상태인 뉴우런을 감지한다. D2 검출 뉴우런은 해당 뉴우런이 ON인지를 감지하여 다른 뉴우런을 자극한다. D3 검출 뉴우런은 각 축의 뉴우런들이 ON이 될 것인지를 감지하여 다른 뉴우런을 억제한다(그림4.4b).

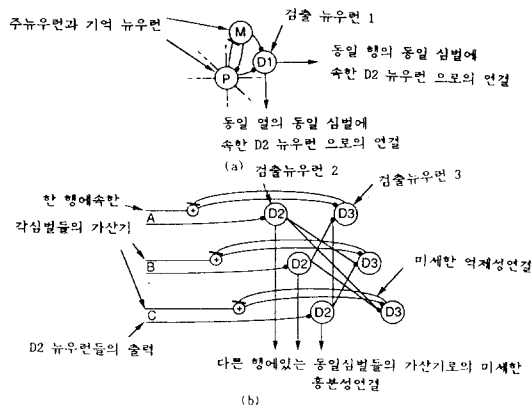
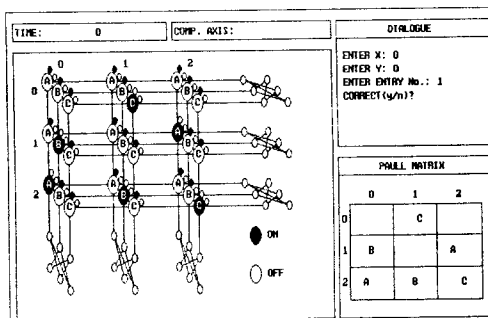


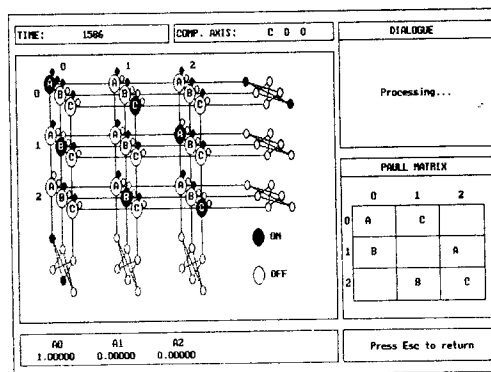
그림 4.4 검출 뉴우런  
Fig 4.4 detector neuron

### 5. 시뮬레이션 결과

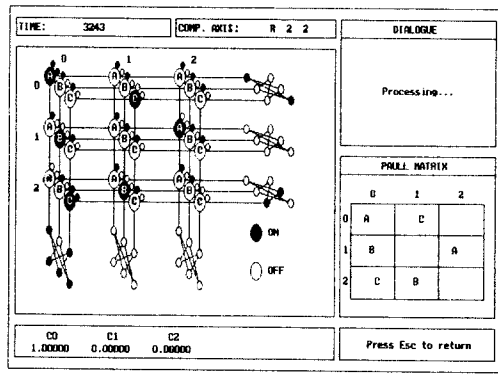
그림 5.1은 스위치 회로의 재배열하기 위한 3단계 신경 회로망을 나타낸다. 시간단위는 ns이고 그림상단 중간은 경쟁축(COMP. AXIS)을 나타내며, 새로운 풀이 연결되는 배열은 그림상단 우측에 나타나있다. 그림 중앙은 신경회로망의 구조를, 우측에는 풀 행렬의 변화상태를 표시하며, 그림하단은 경쟁이 끝난 뉴우런 값을 나타낸다.



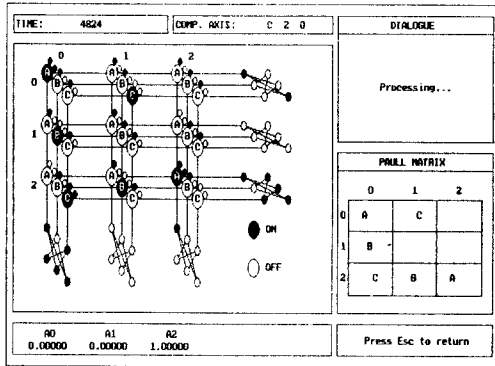
(a)



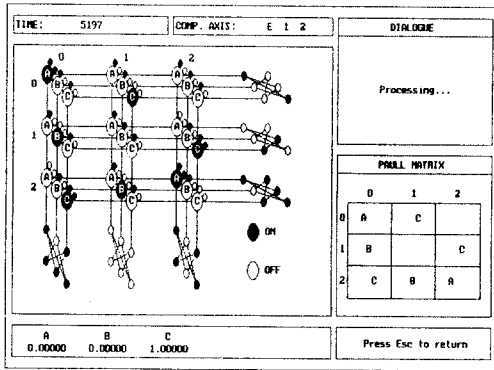
(b)



(c)



(d)



(e)

그림 5.1 재배열 스위치를 위한 신경회로망  
Fig 5.1 neural network for rearrangeable switch

배열 (0,0)에 플이 주어질 때 (0,1),(1,0),(2,0)에 의해 차단이 일어나게 된다(그림 5.1a). 이 때 배열(0,0)에서 주 뉴우런의 외부 입력이 모두 양이므로 경쟁에 의해 A뉴우런이 선택된다(그림 5.1b). 배열 (0,0)에서 A뉴우런이 ON이 되면 배열 (2,0)에서 A뉴우런의 메모리 뉴우런이 OFF이므로 억제되고 B뉴우런도 열 0의 검출 뉴우런 D3에 의해 억제되기 때문에, C뉴우런이 경쟁에서 이긴다(그림 5.1c). 배열 (2,2)에서 C뉴우런은 메모리 뉴우런이 OFF이므로 억제되고, B뉴우런은 행 2의 검출 뉴우런 D3에 의해 억제되므로 행 0

의 검출 뉴우런 D2에 의해 자극되는 A뉴우런이 ON이 된다(그림 5.1d). 배열 (1,2)에서 A뉴우런의 메모리 뉴우런이 OFF이고 B뉴우런은 행 1의 검출 뉴우런 D3에 의해 억제되므로 C뉴우런이 ON이 된다. 따라서 재배열은 모두 끝난다(그림 5.1e). 이는 신경회로망이 풀 알고리즘과 동일하게 뉴우런들간의 경쟁을 통하여 동함을 보이며, 뉴우런들로 스위치 회로의 제어시스템을 구현한 것이다.

## 6. 결 론

신경회로망은 간단한 프로세서들을 사용하며, 주요한 계산기능은 프로세서들간의 통신을 용이하게한다. 점차로 신경회로망의 기능이 잘 이해됨에 따라 다중 병렬기기의 기본 구조로 이용된다. 스위치 회로는 입력과출력을 연결하는 병렬기기로 생각될 수 있으며, 이러한 기능을 제어하는 병렬기기가 절대로 필요하다. 본 연구에서는 스위치 회로의 재배열 문제에 신경회로망의 병렬특성이 어떻게 이용되는가를 보였다. 3단계 재배열 스위치에서 뉴우런의 불균일한 시간 상수를 가정하여 복잡한 신경회로망의 설계 및 제어방식을 나타내었다. Winner-Take-All 회로는 뉴우런사이의 궤환정보를 전달하는데 주된 수단으로 이용되었다. 본 연구에서 얻어진 결과는 신경회로망이 실제적인 결과에 적용가능함을 보여준다. 그리고 신경회로망의 병렬성은 매우 효과적이며 병렬처리기기의 효율적인 정보처리와 연산기능을 제공해 준다. 이러한 결과는 앞으로 통신 및 병렬처리형 컴퓨터에 신경회로망의 적용을 촉진할 것으로 기대된다.

## 참고 문헌

- [1] J.J.Hopfield, "Neurons with Graded Response Have Collective Computational Properties Like Those of Two-State Neurons." *Proc. Nat'l. Acad. Sci. USA*, vol.81, pp.3088-3092, May 1984.
- [2] S.Judd, "Learning in Network is Hard," *Proc. IEEE Int'l. Conf. on Neural Networks*, vol.2, pp.685-692, 1987.
- [3] J.Alispector, "Neural-Style Microsystems that Learn," this issue.
- [4] H. Inose, *An Introduction to Digital Integrated Communications Systems*, University of Tokyo Press, pp.114-117, 1989.
- [5] E. Majani, R. Erlanson, and Y. Abu-Mostafa, "On the K-Winners-Take-All Network," *Advances in Neural Information Processing Systems 1*, D.S. Touretzky, ed., pp.634-642, San Mateo, CA: Morgan Kaufman, 1989.
- [6] A. Marrakchi and T. Troudet, "A Neural Network Arbitrator for Large Crossbar Packet-Switches," *IEEE Trans. on Circuits and Syst.*, vol.36, no.7, pp.1039-1041, July 1989.
- [7] L.N.Bhuyan, "Interconnection Networks for Parallel and Distributed Processing," *Computer*, vol.20, No. 6, pp.9-13, June 1989.
- [8] K. Hwang, "Computer Architecture and Parallel Processing," McGraw-Hill Book Company, pp.481 - 507, 1984.
- [9] H. Taub, D. Schilling, "Principle of Communication System," McGraw Hill, pp.635-679, 1985.
- [10] T.X. Brown, "Neural Networks for Switching," *IEEE Communication magazine*, pp.72-81, November 1989