

비정질 실리콘 박막 트랜지스터의 회로 해석 모델링

° 최 홍 석, 박 진 석, \*최 연 익, 한 민 구  
 서울대학교 전기공학과 \*아주대학교 전자공학과

Circuit Modeling of Amorphous Silicon Thin Film Transistor

° Hong-Seok Choi, Jin-Seok Park, \*Yeon-Ik Choi, and Min-Koo Han  
 Dept. of Electrical Eng. Seoul National Univ. \*Dept. of Electronic Eng. Ajou Univ.

Abstract

We develop the analytical model of the static and dynamic characteristics of hydrogenated amorphous silicon thin film transistors. It is found that, compared with the conventional MOS model, our a-Si model has been in better agreement with experimental static and dynamic results. It may be also suggested that our a-Si model is suitable for incorporation into a widely used circuit simulation.

I. 서 론

비정질 실리콘 (amorphous silicon, a-Si) 은 영국의 W.E.Spear 등에 의해 양질의 수소화된 비정질 실리콘 박막 (hydrogenated amorphous silicon film) 을 증착한 것을 계기로 많은 연구가 진행중에 있다. 비정질 실리콘은 결정질 실리콘에 비해 낮은 이동도 (mobility) 로 인하여 전기적 특성이 떨어지는 반면에 광학적특성이 우수하며 제작단가 및 대면적 증착면에 이점을 가지고 있으므로 태양전지[1], 평판액정표시기 (flat liquid-crystal display)[2] 등에 널리 이용되고 있다. 이러한 비정질 실리콘의 특성을 이용한 소자중의 하나가 비정질 실리콘 박막 트랜지스터 (amorphous silicon thin film transistor, a-Si TFT)[3] 로 비교적 높은 on-off 전류비와 대면적증착의 용이성으로 평판액정표시기의 스위칭소자로 널리 이용되고 있다.

또한 비정질 실리콘 박막 트랜지스터 소자에 의한 회로 출력 특성의 정확한 분석이 필요하며 이에 널리 사용되는 컴퓨터 프로그램으로는 SPICE (Simulation Program with Integrated Circuit Emphasis)[4] 가 있다. 그러나 SPICE 내에는 비정질 실리콘 박막 트랜지스터에 맞는 모델식이 없으므로 이와 비슷한 MOS 모델식을 사용하는데 이로인한 오차로 집적회로의 출력특성이 부정확해진다.

논문에서는 비정질 실리콘 박막 트랜지스터를 SPICE로 모의실험 (simulation) 하기 위한 비정질 실리콘 특성에 맞는 모델 (a-Si 모델) 을 구현하여 측정치를 기존의 MOS 모델과 비교 검토하였다.

II. 본 론

비정질 실리콘 박막 트랜지스터는 밴드갭 내에 density of states(DOS) 를 가지며 이로 인하여 결정질 실리콘과 다

른 특성을 보이게 된다. 일반적인 비정질 실리콘 박막 트랜지스터의 구조는 그림 1 과 같다.

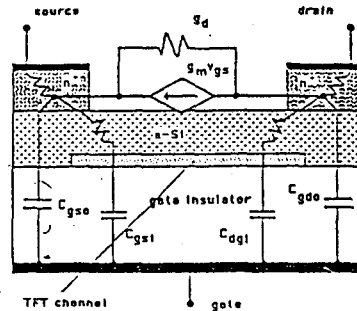
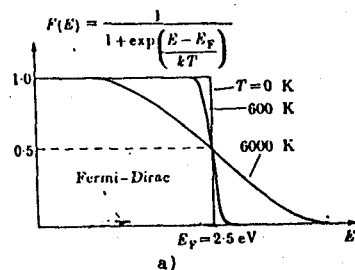


그림 1 비정질 실리콘 박막 트랜지스터의 구조 및 등가회로

- $g_m$  : transconductance
- $g_d$  : output conductance
- $C_{gsi}$  : 게이트-소스 간의 비선형 캐패시턴스
- $C_{gso}$  : 게이트-소스 간의 overlap 캐패시턴스
- $C_{gdl}$  : 게이트-드레인 간의 비선형 캐패시턴스
- $C_{gdo}$  : 게이트-드레인 간의 overlap 캐패시턴스

SPICE 에 비정질 실리콘 박막 트랜지스터 특성을 입력시키기 위해서는 모든 특성을 단자전압 ( gate, drain, source 전압) 에 따른 수식으로 표현하여야 하며 이를 위한 유도 과정을 간단히 설명하면 다음과 같다. 먼저 DOS 와 Fermi 함수를 이용하여 전하밀도를 구하고 Poission's 방정식과 oxide 캐패시턴트 ( $C_o$ ) 를 사용하여 전하밀도를 단자전압의 함수로 나타낸다. 이 단자전압에 따른 전하밀도 함수를 이용하여 직류 및 교류특성을 유도한다. 일반적인 DOS 모델과 Fermi 함수는 그림 2 와 같이 표현된다.



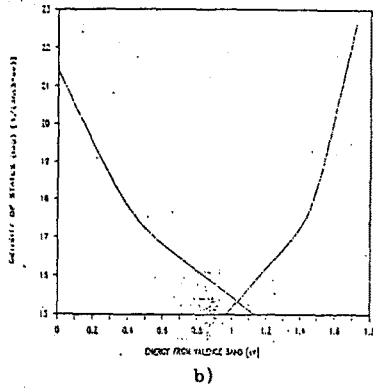


그림 2 a) Fermi 확률함수 b) DOS 모델

DOS 모델과 Fermi 함수 및 Poisson's 방정식을 이용하여 전하밀도를 표면전압 (surface potential) 으로 표시하면

$$Q_t = kT_c \sqrt{2N_c \epsilon_s \epsilon_0} \exp\left(\frac{E_{co} - E_{fo} + q\phi_s}{2kT_c}\right) \quad (1)$$

$$Q_f = \frac{N_c T_c \epsilon_s \epsilon_0}{qN_c (2T_c - T)} \exp\left(\frac{(2T_c - T)(E_{fo} - E_{co} + q\phi_s)}{2kT_c}\right) \quad (2)$$

- Q<sub>t</sub> : 포획 전하 (trap charge) 밀도
- Q<sub>f</sub> : 자유 전하 (free charge) 밀도
- E<sub>co</sub> : 평형 상태의 conduction 밴드 에너지
- E<sub>fo</sub> : 평형 상태의 Fermi level 에너지
- φ<sub>s</sub> : 표면 전압 (surface potential)
- T<sub>c</sub> : DOS 특성 온도
- T : 주위 온도
- N<sub>c</sub> : conduction 밴드에서의 DOS
- N<sub>v</sub> : E<sub>fo</sub> 와 E<sub>co</sub>가 같을 때의 자유전하 밀도
- ε<sub>s</sub>(ε<sub>0</sub>) : 실리콘 (진공)의 유전상수
- k : boltzmann 상수
- q : 전하

과 같이 표현된다.

Gate 전압과 표면전압의 관계는 그림 3 에서 보듯이 V<sub>c</sub> = V<sub>o</sub> + φ<sub>s</sub> + V<sub>F</sub> 로 부터 표현 할 수 있다.

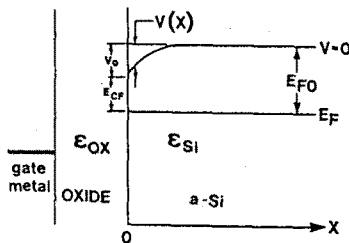


그림 3 게이트 oxide 캐패시턴스 부근의 전압관계

$$V_o = \frac{Q_t}{C_o} \quad (3)$$

$$V_c = \frac{1}{C_o} \sqrt{\frac{E_{fo} - E_{co} + q\phi_s}{2kT_c}} \exp\left(\frac{E_{fo} - E_{co} + q\phi_s}{2kT_c}\right) + \phi_s + V_F \quad (4)$$

- V<sub>o</sub> : oxide 에 걸리는 전압
- C<sub>o</sub> : 단위 면적당의 oxide 캐패시턴트
- V<sub>F</sub> : flat 밴드 전압

II-1 직류 전압 특성

위 수식을 이용하여 직류 전압 특성을 linear, saturation 영역으로 표현하면

a) linear 영역

$$I_{ds} = \beta V_{ds} (1 + \lambda V_{ds}) ((V_{gs} - V_T)^{XN} - V_d) \quad (5)$$

b) saturation 영역

$$I_{ds} = \beta (1 + \lambda V_{ds}) (V_{gs} - V_T)^{XN} \quad (6)$$

- β : transconductance
- λ : channel length modulation
- XN : square law modulation

기존의 MOS 모델과 위의 a-Si 직류 모델을 사용하여 측정치와 비교한 것을 그림 4 에 나타내었다. 그림에서 보듯이 위의 a-Si 직류모델이 MOS 모델에 비해 측정치와 더욱 잘 일치함을 알 수 있다. Saturation 영역 에서 결정 MOS 경우에는 drain 전류가 gate 전압의 제곱에[5] 비례하는데 반해 비정질 실리콘 박막 트랜지스터는 2~2.7승에[6] 비례하며 이로인해 saturation 영역에서는 MOS 모델이 큰오차를 보임을 알 수 있다.

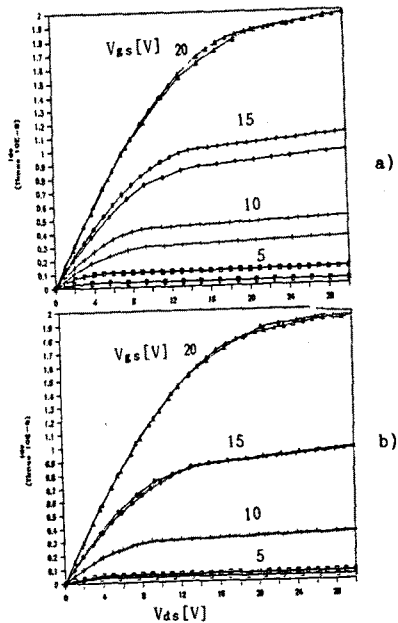


그림 4 MOS 모델과 a-Si 모델의 직류 특성 비교

- |             |              |
|-------------|--------------|
| a) MOS 모델   | b) a-Si 모델   |
| β = 80.2E-9 | β = 19.57E-9 |
| λ = 7.81E-3 | λ = 8.86E-3  |
|             | XN = 2.46    |

II-2 교류 전압 특성

비정질 실리콘에서는 포획전하 ( $Q_t$ ) 가 자유전하 보다 상당히 큰값을 가지므로 단자전압에 따른 포획전하를 단자전압으로 편미분하면 캐패시턴스를 구할 수 있다.

$$C_{gs1} = \frac{\partial Q_t}{\partial V_g} \left| \begin{array}{l} V_d = \text{일정}, V_g = \text{일정} \end{array} \right. \quad (7)$$

$$C_{gd1} = \frac{\partial Q_t}{\partial V_d} \left| \begin{array}{l} V_g = \text{일정}, V_g = \text{일정} \end{array} \right. \quad (8)$$

- $C_{gs1}$  : 게이트-소오스 intrinsic 캐패시턴트
- $C_{gd1}$  : 게이트-드레인 intrinsic 캐패시턴트
- $V_g$  : 게이트 전압
- $V_d$  : 드레인 전압
- $V_s$  : 소오스 전압

포획전하를 단자전압 ( $V_g, V_d, V_s$ ) 로 표현하기 위해서는 드레인-소오스 전압이 영인 경우는 (1)식과 (4)식을 근사하여 연립하면 되나 그림 5 와 같이 드레인 전압이 인가되면 포획전하와 단자전압과의 관계가 복잡해 지므로 이를 해석적인 식으로 표현하기 위해서 가상의 드레인-소오스 전압 ( $V_{dseff}$ ) 을 a)  $V_{gs} < V_{TH}$  b)  $V_{TH} \leq V_{gs} < V_{TH} + V_{ds}$  c)  $V_{gs} \geq V_{ds} + V_{TH}$  의 구간에 따라 가정하였다.

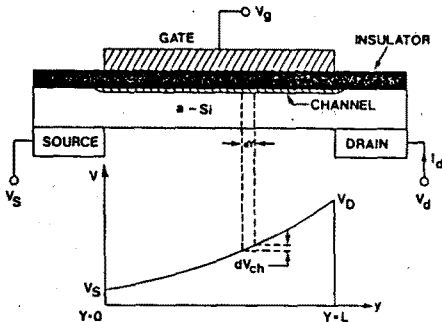


그림 5 channel에 따른  $V_{dseff}$  전압 분포

a)  $V_{gs} < V_{TH}$

$$C_{gs1} = WLC_o(V_{gs} - V_F) \left( \tan^{-1} \left( p_3 \frac{(V_{gs} - V_F)}{(V_{TH} - V_F)} \right) + 0.5\pi \right) \quad (9)$$

$$C_{gd1} = WLC_o(V_{gs} - V_F) \left( \tan^{-1} \left( p_4 \frac{(V_{gs} - V_F)}{(V_{TH} - V_F)} \right) + 0.5\pi \right) \quad (10)$$

b)  $V_{TH} \leq V_{gs} < V_{TH} + V_{ds}$

$$V_{dseff}(X) = \frac{p_1 V_{gs}}{L^2} X^2 + \frac{(1 - p_1 A^2) V_{gs}}{AL} X \quad (11)$$

$$V(X) = V_{gs} - V_{dseff}(X) \quad (12)$$

$$Q_t = WC_o \int_0^{L'} \frac{V(X)}{V(X)} dX \quad (13)$$

$$C_{gs1} = WLC_o \left( A_0 V_{gs} \left( 1 - \frac{(1 - p_1 A^2)}{2} \right) + \frac{A}{2} + \frac{p_1 A^3}{6} \right) \quad (14)$$

$$C_{gd1} = WLC_o A_d V_{gs} \left( \frac{1}{2} + \frac{p_1 A^2}{2} \right) \quad (15)$$

$$L' = \left( (1 - p_2) \left( \frac{V_{gs}}{V_{ds}} \right)^{m_2} + p_2 \right) L \quad (16)$$

=AL

$$A_s = \frac{\partial A}{\partial V_s} \quad A_d = \frac{\partial A}{\partial V_d} \quad V_{gs} = V_{gs} - V_{TH}$$

c)  $V_{gs} \geq V_{TH} + V_{ds}$

$$V_{dseff}(X) = aX^2 + bX \quad (17)$$

$$V(X) = V_{gs} - V_{dseff}(X)$$

$$Q_t = \int_0^{L'} V(X) dX \quad (18)$$

$$C_{gs1} = WLC_o \left( \frac{1}{2} + \frac{p_1}{6} \left( \frac{V_{ds}}{V_{gs}} \right)^{m_1} \left( 1 + \frac{(V_{gs} - V_{ds})}{V_{gs}} \right) \right) \quad (19)$$

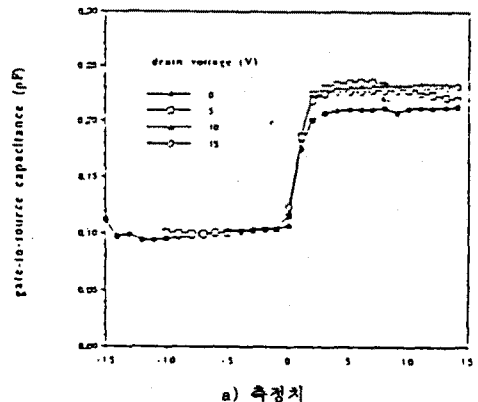
$$C_{gd1} = WLC_o \left( \frac{1}{2} + \frac{p_1}{6} \left( \frac{V_{ds}}{V_{gs}} \right)^{m_1} (1 + m_1) \right) \quad (20)$$

$$a = \frac{p_1 V_{ds}}{L^2} \left( \frac{V_{ds}}{V_{gs}} \right)^{m_1}$$

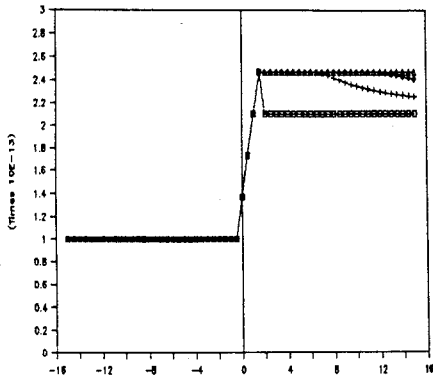
$$b = \left( V_{ds} - p_1 V_{ds} \left( \frac{V_{ds}}{V_{gs}} \right)^{m_1} \right) + L$$

- $C_o$  : 단위 면적당의 oxide 캐패시턴스
- $W$  : 트랜지스터의 폭
- $L$  : 트랜지스터의 channel 길이
- $L'$  : 트랜지스터의 effective channel 길이
- $V_{TH}$  : 문턱 전압 ( threshold voltage )
- $X$  : channel 방향의 좌표
- $p_1, p_2, p_3, p_4, m_1, m_2$  : 보정 상수

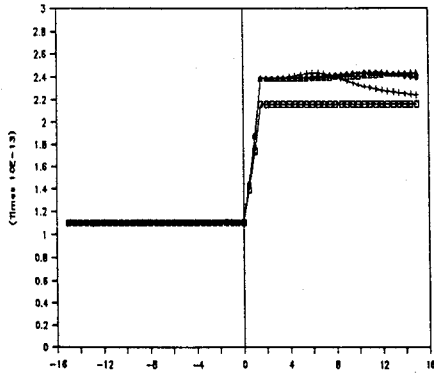
위의 단자전압에 따른 캐패시턴스식을 이용하여 측정치와 기존의 MOS 모델 ( meyer 모델 ) 식을 비교한 결과가 그림 6, 7 에 나타나 있다. 그림 6은  $V_{gs}$ 에 따른  $C_{gs}$ 를 a) 측정치 b) MOS 모델 c) a-Si 모델에 대해 각 각 도시한 그림으로  $V_{ds}$ 에 따른  $C_{gs}$ 의 변화 폭이 a-Si 모델이 측정치에 더 근사함을 알 수 있다. 그림 7 은  $V_{ds}$ 에 따른  $C_{gd}$ 로 MOS 모델과는 달리 a-Si 모델에서는  $V_{gs} < V_{ds}$  인 영역 에서의 channel 길이의 감소 (  $L'$  ) 를 고려 하였기 때문에 측정치와 보다 유사하게 기술기가 완만한 변화를 나타낼 수 있었다.



a) 측정치

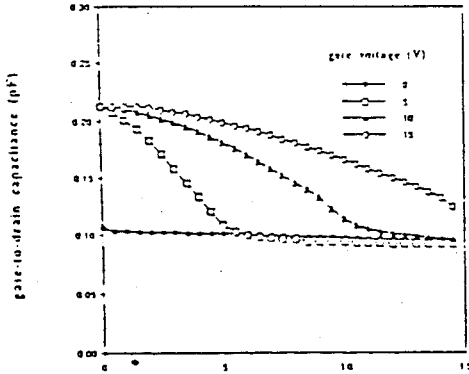


b) MOS 캐패시턴스 모델

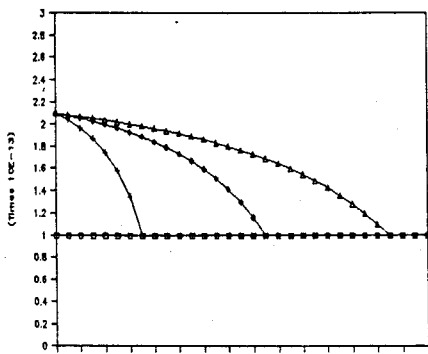


c) a-Si 캐패시턴스 모델

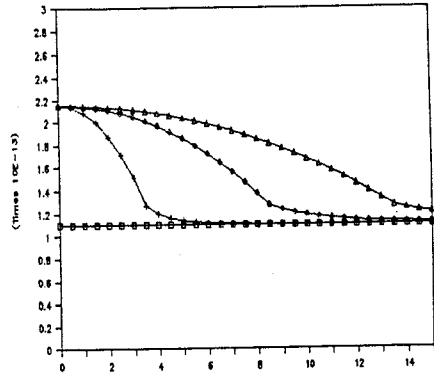
그림 6 V<sub>gs</sub> 에 따른 C<sub>gs</sub>



a) 측정치



b) MOS 캐패시턴스 모델



c) a-Si 캐패시턴스 모델

그림 7 V<sub>ds</sub> 에 따른 C<sub>gd</sub>

### III. 결론

비정질 실리콘 박막 트랜지스터의 직류 및 교류 특성을 SPICE 입력에 적합한 단자전압에 따른 해석적인 수식으로 표현하였다. 직류의 경우 본 논문에서 유도한 a-Si 모델이 SPICE 에 내장된 MOS 모델보다 측정치에 가까우며 a-Si 캐패시턴스 모델은 전구간에서 절대치와 미분치가 기존의 MOS 캐패시턴스 모델 (Meyer 모델) 보다 측정치에 근접함을 알 수 있다. 이러한 결과로 기존의 MOS 캐패시턴스 모델 보다 미분치가 불연속하거나 급격히 변함으로 생기는 수렴불능 (convergence error) 이나 계산시간의 지연을 크게 줄일 수 있었다.

본 논문에서 유도한 수식을 SPICE 에 내장하는 경우, 비정질 실리콘 박막 트랜지스터 회로의 보다 정확하고 빠른 분석에 도움이 되리라 사료된다.

향후 과제로는, inverter, ring oscillator, 및 다양한 회로에 대한 적용이 검토 될 것이다.

#### [ 참고 문헌 ]

- [1] D.M. Chapin, C.S. Fuller, and G.L. Pearson, "A New Silicon p-n Junction Photocell for Converting Solar Radiation into Electrical Power", J. Appl. Phys. 25, 676 (1954)
- [2] M.J. Thompson and H.C. Tuan, IEDM Tech. Digest, Los Angeles Dec. 1986, p.192
- [3] Michael Shul, Michael Hack and John G. Shaw, "A New Analytic Model for Amorphous Silicon Thin Film Transistors", J. Appl. Phys. 66(7) (1989)
- [4] Paul W. Tuinenga, SPICE: A guide Circuit Simulation & Analysis Using Pspice, Prentice Hall, New Jersey (1988)
- [5] S.M. Sze "Physics of Semiconductor Device", 2nd ed., Jhon Wiley
- [6] M. Shur and M. Hack, "Physics of amorphous silicon based alloy field-effect transistors", J. Appl. Phys. 55(10) (1984)