스윗칭회로의 경로설정을 위한 신경 회로망 연구

°박 승 규 이 노 성 우 광 방
연세 대학교 공과대학 전기 공학과

A Study on Neural Network for Path Searching in Switching Network

°Seung-Kyu Park Noh-Sung Lee Kwang Bang Woo
Dept. of Electrical engineering Yonsei University

ABSTRACT

Neural networks are a class of systems that have many simple processors (neurons) which are highly interconnected. The function of each neuron is simple, and the behavior is determined predominately by the set of interconnections. Thus, a neural network is a special form of parallel computer. Although a major impetus for using neural networks is that they may be able to "learn" the solution to the problem that they are to solve, we argue that another, perhaps even stronger, impetus is that they provide a framework for designing massively parallel machines. The highly interconnected architecture of switching networks suggests similarities to neural networks. Here, we present switching applications in which neural networks can solve the problems efficiently. We also show that a computational advantage can be gained by using nonuniform time delays in the network.

1. 서 론

현대사회가 정보화시대로 변모함에 따라 더욱 신속한 처리능력을 갖는 특수 목적의 컴퓨터 시스템 개발이 요구되고 있다. 또한, LSI/VLSI기술의 발달과 더불어 처리속도 향상을 위한 병렬처리방식의 개발이 요구된다. 따라서 병렬처리방식으로서, 수천개의 프로세서로 구성되는, 다중프로세서 시스템에 대한 연구가 활발히 진행중에 있다. 다중프로세서 네트워크 시스템에서의 중요한 문제는 프로세서 내부의 복잡도(processor complexity)와 이들 프로세서간의 신호전달시, 효율적인 상호통신 문제이다. 특히 처리소자들 또는 처리소자와 메모리 모듈들사이에 데이타 통로를 설정하고, 이를 통한 동일 테스크(task)에 대한 여러 프로세서간에 효율적인 분담및 분산된 데이타의 바른 억세스(access)가 핵심적인 문제가 되고 있다.

그러나 기존의 병렬처리 시스템에서는 연산처리능력이 증가된 프로세서 수와 비례하지 않으며, 프로세서의 수가 증가할수록 상호간의 정보교환및 전달기능에 크게 영향을 받게된다. 그릭 프로세서 수의 증가로 인한 경비증가로 컴퓨터 기능효율이 저하되기도 한다. 따라서 확장성이 용이하고 시스템 밴드위스(bandwidth)를 증대시키기 위한 상호연결회로(interconnection network)의 설계및 효율적인 제어방식이 필요하게 되었다[3]. 현재까지 다양한 회로 설계기법이 연구되어 왔으나 합리적인 가격과 병렬처리능력등의 이점을 가진 다단계 상호연결회로가 널리 이용되고 있다. 다단계 상호연결회로는 각 단계가 입출력의 연결성을 가진 여러단계로 나뉘어 지며, 따라서 효율적인 정보전달 교환기능을 위한 제어 알고리듬이 필요하다[3]. 이러한 스윗칭 회로의 구성과 기능 제어를 위하여 최근 신경 회로망 응용이 적극 검토되고 있다[1,5].

신경회로망은 단순한 비선형 특성을 가지는 다수의 뉴우런이 프로세서가 되어 구성되는 대표적 비선형 시스템이며 뉴우런간의 체계적 상호연결에 의해 성능이 우수한 병렬처리 기능을 구현한다[5]. 이러한 병렬처리 특성은 수많은 프로세서를 통합하여 활용하게 되는 시스템내에서의 정보전달과 제어가 필요한 병렬 정보처리(parallel information processing), 통신등의 시스템 운영의 기반이 된다[3,5]. 본 연구에서는 다단계 상호연결회로를 대상으로하여 스윗치 회로의 입출력간에 합리적인 연결통로를 지정하며, 일련의 콜(call)들이 연결되어 있는 경우에 새로운 콜들을 연결하기위한 경로탐색 문제로 촛점을 두고 신경회로망의 병렬처리 특성을 적용, 스윗치회로의 제어알고리즘 개발을 추진한다.

2. 병렬처리 시스템

1) 스윗치 회로

병렬처리 시스템에서 스윗치의 기능은 N개의 입력신호 순서를 변경하여 재설정된 순서로 출력함으로서 프로세서와 메모리 모듈사이에 합리적 통로를 제공하는 것이다. 따라서 프로세서-메모리 스윗치를 위한 다양한 회로형태가 가능하다.

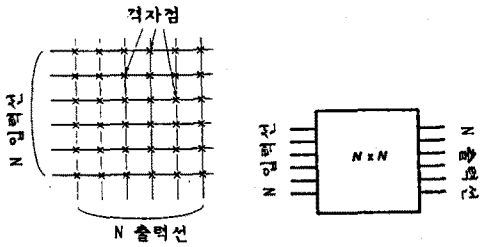


그림 2.1 N × N 크로스바 스윗치

기본 스윗치는 N×N 크로스바 스윗치이다. 이는 각각의 교차점(crosspoint)에 N개의 입력과 N개의 출력이 교차되

어 격자를 이루는 형태이다(그림 2.1). 적법한 콜 리퀘스트(Legal call request)는 사용중이 아닌 입력이 사용중이 아닌 출력으로 연결되는 리퀘스트이다. 콜이 스윗치에서 연결되지 않으면 스윗치는 차단(blocking)된다. 이것은 스윗치 구조의 제한적 여건이나, 스윗치에서 이미 연결된 콜에 의해 연결 경로가 사용중이기 때문에 발생한다. 일련의 콜들이 도달되는 대로 연결된다면 스윗치는 엄밀하게 비차단성(non-blocking) 이다. N×N 크로스바 스윗치는 엄밀한 비차단 스윗치의 전형적인 경우이다. 이런 스윗치는 바람직하나 N^2개의 교차점이 사용되어야 한다.

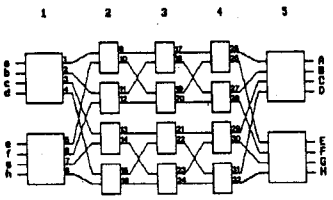
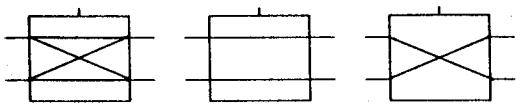


그림 2.2 다단계 스윗치

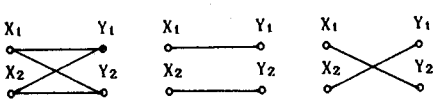
스윗치의 교차점 수는 그 복잡성의 척도가 되며 교차점 수가 축소되는 것이 바람직하다. 작은수의 교차점으로 된 스윗치를 계층화 시켜 대규모 스윗치를 구성함으로서 교차점 수를 줄일 수 있다. 그림 2.2에 나타난 다단계 스윗치는 4×4 스윗치소자를 입출력단으로 하고 2×2스윗치 소자를 중간단으로 하는 5단 스윗칭 회로이다. 이러한 다단 스윗치에서는 차단(blocking)이 일어난다. 그러나 스윗치의 입출력사이에 많은 가용 경로를 가지므로 모든 경로가 동시에 차단이 일어날 확률은 매우 낮다. 그림 2.2에 나타난 스윗치는 입출력쌍사이에 16개의 다른 경로를 가진다. 실제적인 스윗치는 각 단계에서 훨씬 큰 스윗치를 더 많이 가지며 따라서 많은 경로를 가지게 된다. 이때 많은 경로들 중에서 이미 연결된 콜들이 존재할 때 비차단 경로를 발견하는 것은 많은 시간이 걸리는 복잡한 문제이다. 입출력단이 커짐에 따라 다단 스윗치가 필요하고 따라서 이에대한 효율적인 제어 알고리듬이 필요하다.

2) 스윗칭 회로의 모델링 기법

다단계 스윗치는 일반적으로 2×2 스윗치 소자를 기본 구성요소로 한다. 이러한 스윗치 소자의 가능한 상태에 대한 간단한 표현은 그림 2.3(a)에 나타난다. 스윗칭 소자의 벙렬및 대각연결은 제어선에 적용되는 논리단계에서 결정된다. N개의 입출력을 가진 다단계 스윗치회로는 각단계가 N/2개의 스윗치 소자로 구성되는 여러단계로 구성된다. 회로의 연속된 단계사이의 연결은 입력이 가능한 많은 출력에 연결되도록 이루어 지며, 따라서 어떤 입력과 출력 사이에도 하나의 경로가 존재한다.



(a) 스윗치 소자



(b) 그래프 모델

$$\begin{array}{c} \\ X_1 \\ X_2 \end{array}\begin{array}{c} \begin{array}{cc} Y_1 & Y_2 \end{array} \\ \begin{bmatrix} 1 & 1 \\ 1 & 1 \end{bmatrix} \end{array} \quad \begin{array}{c} \\ X_1 \\ X_2 \end{array}\begin{array}{c} \begin{array}{cc} Y_1 & Y_2 \end{array} \\ \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \end{array} \quad \begin{array}{c} \\ X_1 \\ X_2 \end{array}\begin{array}{c} \begin{array}{cc} Y_1 & Y_2 \end{array} \\ \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \end{array}$$

(c)경로 행렬

그림 2.3 스윗치 소자의 그래프모델

스윗치의 동작을 분석하기위한 스윗치 소자의 그래프 모델이 그림 2.3(b)에 나타난다. 이러한 그래프 모델은 입력선 X_1, X_2과 출력선 Y_1, Y_2사이의 연결특성을 기초로 하며 이들은 각각 노드(node)들에 대응된다. $X_1(X_2)$이 Y_1 또는 $Y_2(Y_2$또는 $Y_1)$에 연결될 수 있으므로 그래프 모델에서는 직선으로 이를 나타낸다. 그림 2.3(c)는 그래프 모델을 행렬로 표시한 것이다. 이는 그래프 모델에서의 각 노드(node)를 입출력으로 하고 노드 i에서 노드 J로의 연결경로가 존재하면 $a_{ij} = 1$ 이고, 그렇지 않으면 $a_{ij} = 0$ 으로 표시되는 행렬$[a_{ij}]$이다.

3. 신경 회로망

1) 기본 모델

그림 3.1은 기본형 신경 회로망 모델이다.

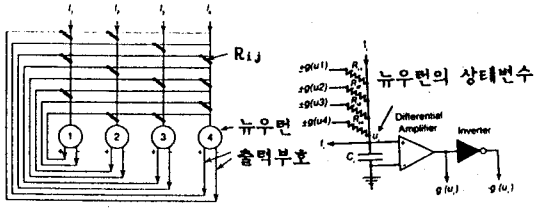


그림 3.1 신경회로망 모델

두개의 뉴우런 i와 J간의 상호 작용을 이해하기 위하여 뉴우런 i와 J간의 연결은 저항 R_{ij}로서 이루어 지며, 연결 강도는 저항에 반비례하는 T_{ij}로 나타난다. 연결 부호는 뉴우런 J의 출력이 양또는 음인가에 따라 결정된다. $T_{ij}>0$ 이면 연결은 자극(excitation)하는 것이며 그렇지 않으면 억제(inhibition)하는 것이다. 뉴우런 J의 출력은 뉴우런 i의 출력에 곧바로 영향을 주지않으며 뉴우런 i의 커패시턴스 C_i에 의해 시간지연 있게된다. 회로에는 직접적인 궤환이 없어 모든 i에 대하여 $T_{ii}=0$ 이다. 각 뉴우런은 외부 입력 I_i을 가질 수 있으며 문턱치 t_i 는 모든 입력의 합으로 부터 감하게 되며 그 결과는 뉴우런의 최종적인 입력이 된다. 수학적으로 N개의 뉴우런을 가진 시스템에서 뉴우런 i가 주어졌을 때 그 상태 변수 u_i는 다음의 미분 방정식으로 나타난다.

$$C_i \frac{du_i}{dt} = -\lambda_i u_i + \sum_{j=1}^{N} T_{ij} \cdot g(u_j) + I_i - t_i \qquad (1)$$

여기에서, $\lambda_i = \sum_{j=1}^{N} |T_{ij}|$ 이다.

그리고 g(u)는 시그모이드(sigmoid)함수로서 다음과 같이 정의된다.

(1) g = f(G,u), G는 시그모이드 함수의 게인(gain)

(2) f는 다음과 같은 성질을 갖는다.

1. $\forall u,\ 0 < f'(u) < f'(0) = 1$
2. $\lim_{U \to +\infty} f(u) = 1$
3. $\lim_{U \to -\infty} f(u) = 0$

S를 식(1)에서 곱에 3항의 합이라면 u_i는 시간상수 C_i/

λ_i를 가진 음의 지수함수로 전개된고, S/λ_i 값으로 감소한다. λ_i는 고정 양수이고 게인이 충분히 클경우 g는 단순한 영점 문턱치 함수(zero threshold function)로 볼수 있기 때문에 뉴우런 i의 출력은 S의 부호에 따라 +/-1로 전개된다.

2) Winner-Take-All 회로

그 동작이 잘 정의되어있는 신경회로망중에 Winner-Take-All 회로를 대상 모델로 이용한다(그림 3.2a)

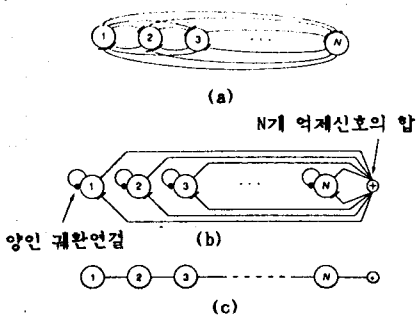


그림 3.2 Winner-Take-All 상호억제 회로

이 회로는 내부상태가 u_0이고 동작을 유발하지 않는 초기치를 갖는 n개의 뉴우런에서 가장 큰 내부입력 I를 가진 하나의 뉴우런만이 동작토록 한다. 가장 큰 입력을 가진 뉴우런을 선택하는 과정을 상호 경쟁이라 한다. 이 회로에서는 외부입력을 사용해서 동작하는 뉴우런을 선택할 수 있다. 이것은 각각의 뉴우런이 다른 뉴우런들에 억제하는 연결을 가지고 있는 회로이다. 적당한 문턱치와 연결강도를 가지면 이 회로는 원하는 특성을 가진다. 전체 회로의 모든 뉴우런들의 하중을 더하고 각 뉴우런의 자기연결(self-connection)을 부여함으로써 연결수를 N^2에서 3N 으로 줄일 수 있다. 이렇게 수정된 회로가 그림 3.2b이며 같은 회로의 도식적인 표시가 그림 3.2c에 나타난다.

4. 스윗치 회로에 대한 신경 회로망의 적용

그림 4.1은 신경회로망을 이용한 스윗치의 제어 시스템 구조를 나타낸다.

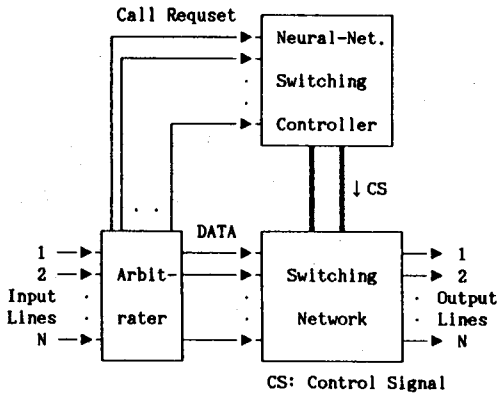


그림 4.1 시스템 구조

신경 회로망의 병렬처리 능력을 스윗치 회로에 적용하는 방안은 스윗치 회로의 위상(topology)에 맞추어 신경 회로망의 회로구조를 설계하는 것이다. 먼저 다단 스윗치 회로를 그레프 모델로 표시하고, 이러한 그레프 모델을 바탕으로 각 단계에 있는 노드들을 입출력으로 하는 다단계 행렬을 구성한다(그림 4.2). 스윗칭회로를 이루는 크로스바 스윗치의 격자점들은 각각 뉴우런으로 구성되고 각뉴우런들의 행렬위치가 각단계의 연결 경로를 나타낸다. 두개의 크로스바 스윗치가 회로에서 연결되면 일치하는 뉴우런이 신경회로망에서 on상태가 된다.

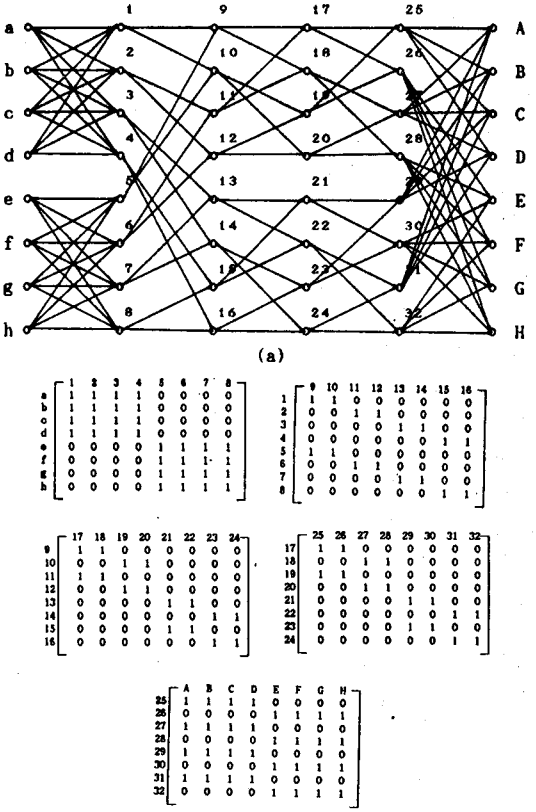


그림 4.2 다단계 스윗치의 그레프 모델

뉴우런은 피드-포워드(feed-forward), 피드백(feedback), 경로(path)뉴우런등 3개의 뉴우런으로 구성된다(그림 4.3). 첫 단계에서 입력단에 외부자극이 있으면 피드-포워드 뉴우런이 on이 되며, 이는 연결되어 있는 다음 단계의 피드-포워드 뉴우런이 on이 되게 한다. 따라서 피드-포워드 뉴우런은 회로내의 모든 비차단 경로를 검색하게 된다. 경로 뉴우런은 피드-포워드 뉴우런과 피드백 뉴우런이 모두 on일 때 on이 되며 피드백 뉴우런과 함께 백워드(backward) 검색을 한다. 또 각 단계의 경로 뉴우런은 단지 하나의 경로 뉴우런이 그단계의 횡축과 열축에서 선택되도록 Winner-Take-All 회로에 연결된다. 단일 스윗치내의 뉴우런들은 하나의 입력에 대해 하나의 출력이 대응하도록 억제성 연결이 이루어 진다.

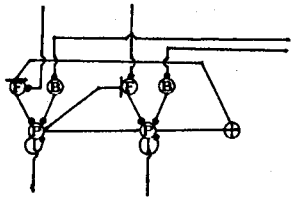


그림 4.3 뉴우런의 구조

5. 결과 고찰

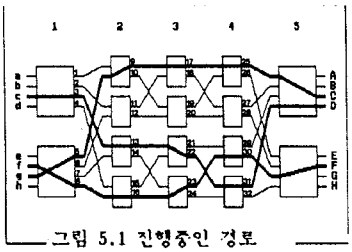
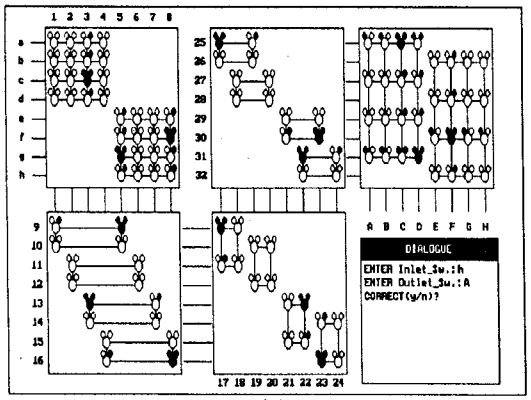
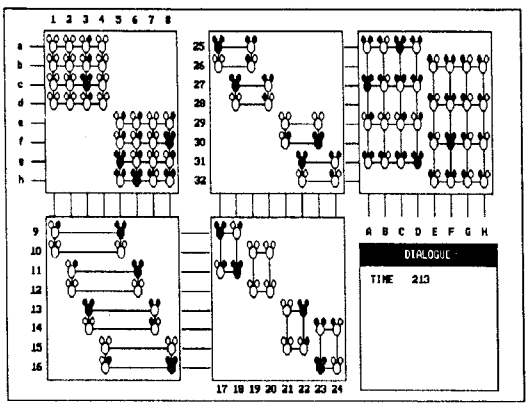


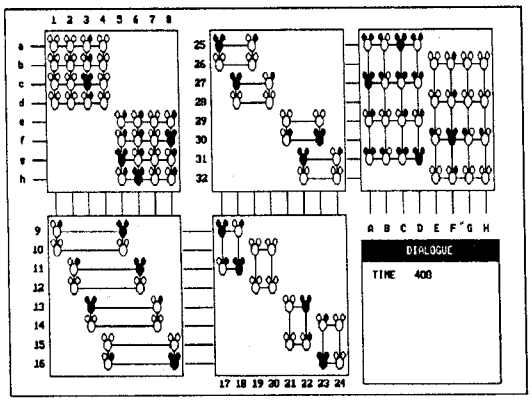
그림 5.1 진행중인 경로



(a)



(b)



(c)

그림 5.2 신경회로망 제어기

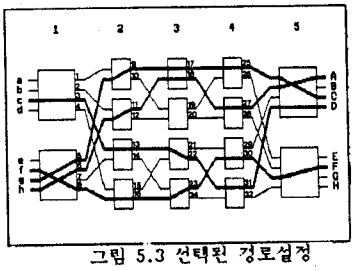


그림 5.3 선택된 경로설정

그림 5.1은 (c,D), (f,F), (g,C) 입력쌍에 물들이 연결되어 있음을 보인다. 이때 제어기의 각뉴우런의 상태는 그림 5.2a와 같으며, 경로(h,A)로 물이 입력된다. 단계1의 h행의 feed-foward 뉴우런과 단계5의 backward뉴우런들은 외부입력을 받아 ON이 되고 다음 단계의 해당 뉴우런들을 자극하게 된다. feed-foward, backward 뉴우런에 의해 자극된 경로뉴우런들은 경쟁에의해 단계5에서 단계1로 경로를 찾아 나간다 (그림 5.2b). 경로가 설정되면 설정된 경로를 제외한 나머지 feed-foward 뉴우런들이 OFF가 된다(그림 5.2c). 그림 5.3은 설정된 경로의 결과를 나타낸다.

6. 결 론

신경회로망은 간단한 프로세서들을 사용하며,주요한 계산기능은 프로세서들간의 통신을 용이하게한다. 점차로 신경회로망의 기능이 잘 이해됨에 따라 다중 병렬기기의 기본구조로 이용된다. 스윗치 회로는 입력과출력을 연결하는 병렬기기로 생각될 수 있으며, 이러한 기능을 제어하는 병렬기기가 절대로 필요하다. 본 연구에서는 스윗치 회로의 입출력단사이에 합리적인 경로를 지정가 하는 문제에 신경회로망의 병렬특성이 어떻게 이용되는가를 보였다. 5단계 스윗치회로에 원하는 입출력쌍을 지정하면 비차단 연결경로를 탐색하여 유용한 경로를 지정하도록 신경회로망을 설계및 제어방식을 나타내었다. Winner-Take-All 회로는 뉴우런사이의 궤환정보를 전달하는데 주된 수단으로 이용되었다. 본 연구에서 얻어진 결과는 신경회로망이 실제적인 결과에 적용가능함을 보여준다. 이러한 결과는 앞으로 통신및 병렬처리형 컴퓨터에 신경회로망의 적용을 촉진할 것으로 기대된다.

7. 참고 문헌

[1] A. Marrakchi and T. Troudet, "A Neural Network Arbitrator for Large Crossbar Packet-Switches, " *IEEE Trans. on Circuits and Syst.*. vol.36,no.7, pp.1039-1041, July 1989.

[2] D.P. Agrawal, J. S. Leu,"Dynamic Accessibility Testing and Path Length Optimization of MIN,"IEEE Trans. Comput, vol. c-34, pp.255-266, march 1985.

[3] K. Hwang, "Computer Architecture and Parallel Processing, " McGraw-Hill Book Company, pp.481 - 507, 1984.

[4] J. Ghosh, A. Hukkoo, "Neural Networks For Fast Arbitration and Switching Noise Redution In Large Crossbar". 1990 Int. NEURAL NETWORK Conf. JULY 9-13, 1990, pp.270-273.

[5] T.X. Brown, "Neural Networks for Switching," IEEE Communication magazine, pp.72-81, November 1989