

Laser CVD SiO₂ 막의 Step Coverage에 관한 연구

박종욱 김상욱* 천 영일* 박지순* 강 희복* 성영권*

*고려대학교 전기 공학과

Step Coverage of Laser CVD Deposited SiO₂ Films

J.W.Park, Y.I.Chun, S.W.Kim*, J.S.Park, H.B.Kang*, Y.K.Sung*

*Dept.of Electrical Eng. Korea Univ.

Abstract

This paper describe a Laser CVD technology which realizes planarized interlevel dielectrics in sub-micron VLSI's. This technology comprises sub-micron gap filling with SiO₂ films between metal lines. Laser CVD process conditions have been investigated to improve step coverage of interlevel dielectrics. An ArF(193nm) Excimer Laser was used to excite and dissociate gas phase SiH₄ and N₂O molecules. The Laser CVD by N₂O and SiH₄ mixture gases has realized conformal deposition above the temperature of 300°C, as a result sub-micron gaps were buried with SiO₂ films.

1. 서론

반도체 device의 집적도가 증가함에 따라 metal connection 사이의 space는 감소하게 되었고 connection의 길이는 증가하여 multi-level connection이 등장하였다. 평탄화에 앞서 수행되는 gap filling 절연체 형성 방법으로서 기존의 PECVD 법은 micron 단위에서는 비교적 양호한 step coverage 양상을 보여주고 있으나 불순물 오염과 과잉에너지를 가진 이온들의 충격등에 의한 소자특성의 저하와 함께 metal line 사이의 간격이 submicron 단위로 내려감에 따라 conformal 한 deposition이 일어나지 않아 overhang과 void등의

단점이 나타나게 되었다.

본 논문에서는 이온충격이 없고, 막 퇴적시의 여러가지 parameter들의 control이 비교적 flexible하며 저온 퇴적공정이 가능하여 증간 절연막의 형성에 있어서 유용한 방법의 하나로 기대되는 Laser process를 이용한 막의 퇴적시의 여러가지 특성을 연구 하였다.¹⁾²⁾³⁾

2. 시료의 제작

시료의 제작에 있어서 기판은 표면의 결함요인을 줄이기 위해 p형 (100) wafer를 사용하였고 비저항 값은 0.002 - 0.008 Ω-cm이었다. Step coverage 양상을 보기위해 0.8 - 4μm의 trench구조를 RIE(Reactive Ion Etching) 식각방법을 이용하여 만들었다. 시료 제작에 앞서 기판 표면의 유기물및 금속 이온등에 의한 오염물질과 자연 산화막을 제거하기 위해 전처리 과정으로 RCA 세척방법을 이용하였다.⁴⁾ 그림 1은 SiO₂막을 퇴적시키기 위한 시스템의 구성도로서 반응로는 Laser조사를 위해 두개의 window를 가진 스테인레스 스틸로 만들었다. Laser광은 cylindrical 렌즈에 의해 집속되었고 기판에 집적적으로 조사되지 않기위해 기판위 1mm이하의 거리로 지나가게 하였다.⁵⁾ 또 window 부분에서의 막 퇴적을 막기위해 N₂ purge를 시켰다. Laser광의 펄스전력은 80 mJ 이었고 펄스폭은 10ns, repetition rate는 80 Hz 이었다. 또한 gas ratio는 N₂O / SiH₄ = 10 이었고 chamber내의 압력은 5 Torr로 유지시켰다. 기판의 온도는 100°C에서

350°C까지 변화 시켰다. 형성된 SiO₂막의 두께는 ellipsometer (AME - 500)를 사용하여 측정하였다.

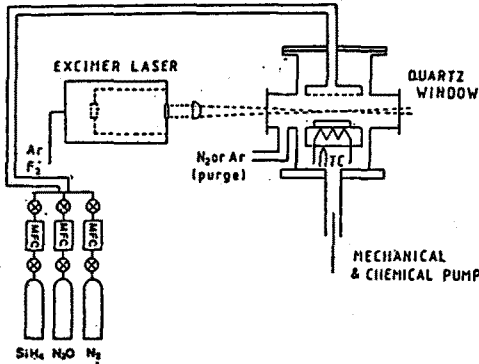


그림 1. 시스템 구성도

3. 결과 및 고찰

그림 2는 실리콘 기판온도의 변화에 따른 SiO₂막의 퇴적율의 변화를 나타내고 있다. 기판 온도를 증가시키함에 따라 막의 퇴적율이 감소는 양상을 보여주고 있다.⁶⁾⁷⁾ 이는 막의 퇴적이, 활성화된 반응 기체의 공급보다는 표면에서의 분자들의 반응에 의해 지배를 받음을 의미한다. 온도가 증가함에 따라 퇴적 분자들의 이동이 쉬워져 더욱 dense한 막이 형성되는 것으로 생각 된다.⁸⁾⁹⁾

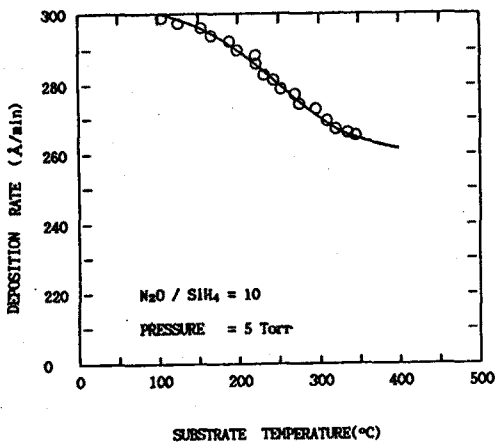


그림 2. 기판 온도의 변화에 따른 SiO₂막의 퇴적율 변화

그림 3은 폭 1.4μm, 높이 1.2μm의 pattern위에

퇴적시킨 SiO₂막의 퇴적 온도의 변화에 따른 overhang의 변화 양상을 나타내고 있다. 그림에서 보듯이 기판 온도가 증가함에 따라 overhang은 개선되었는데 이는 온도가 증가함에 따라 surface migration이 원활하게 일어났음을 보여준다. Laser CVD의 경우 300°C 이상에서는 overhang을 발견할 수 없었으나 PECVD의 경우 350°C에서도 약 100nm의 overhang이 있었다.¹⁰⁾

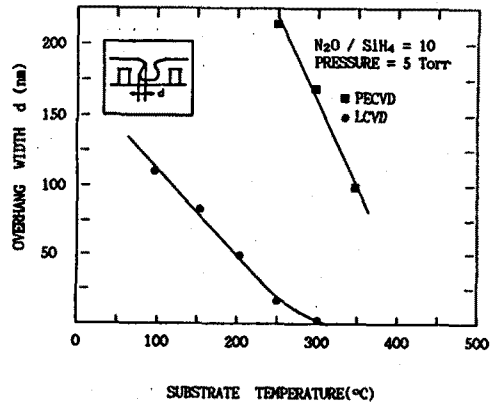


그림 3. 기판 온도의 변화에 따른 SiO₂막의 OVERHANG WIDTH 변화

그림 4는 aspect ratio의 변화에 따른 percent step coverage의 양상이다. (1)은 330°C에서 t/d=0.2, (2),(3)은 각각 250°C에서 t/d=0.2, t/d=1로 퇴적시킨 경우이다. 단차 높이에 비하여 퇴적된 막이 두꺼워 질수록 step coverage특성이 나빠짐을 알 수 있다.¹¹⁾

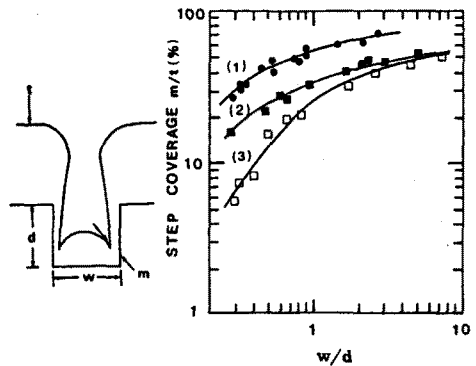


그림 4. ASPECT RATIO변화에 따른 STEP COVERAGE 변화

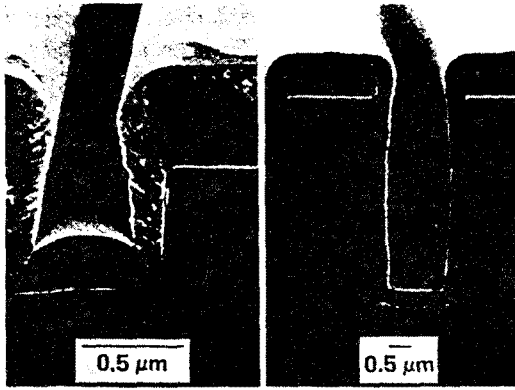


그림 5.

그림 6.

그림 5,6은 각각 300°C에서 0.8 μm, 1.8 μm의 trench 구조위에 퇴적시킨 막의 단면 SEM 사진이다.

상술한 step coverage의 특성을 좌우하는 인자로서는 일반적으로 CVD의 반응 기구에 있어서의

1) 기판표면에서의 반응종의 공급과 surface reaction의 속도 밸런스 즉, 확산 율속인지 표면과 정 율속인지의 문제

2) 생성물의 표면에서의 migration 문제의 두가지가 가능하나 Laser CVD의 경우는 활성종의 수명시간까지 고려해야 하기때문에 더욱 복잡해져 이에 대한 연구가 더욱 진행되어야 할것이다.

4. 결론

막의 퇴적속도는 100°C 에서 350°C 사이에서는 기판온도가 증가함에 따라 감소하는 양상을 보였다. Laser CVD의 경우 퇴적온도의 증가에 따라 overhang은 감소하였으며 300°C이상에서는 거의 0으로되어 PECVD보다 우수한 특성을 보여 주었으며, gap filling시에 있어서 void의 형성을 없앨 수 있었다. Aspect ratio가 증가함에 따라 step coverage는 증가하다가 포화되는 양상을 보여주었다.¹²⁾

이상의 결과로 부터 우리는 LASER CVD기술이 sub-micron device의 제작에 있어서 중간 접연막의 형성 방법으로 기대되는 process임을 알 수 있었다.

이밖의 기타 전기적 breakdown특성과 물리적 stress특성, gas ratio변화에 따른 step coverage특성들도 더 연구 되어져야 할 과제이다.

참고 문헌

1. J. W. Peters, Solid State Technol., pp. 121 (1980)
2. Y. Numasawa, Jpn. J. Appl. Phys., 22, pp. L792 (1983)
3. K. Hamano, Jpn. J. Appl. Phys., 23, pp. 1209 (1984)
4. Dewitt G. Ong, "Modern MOS Technology", McGraw-Hill Book Company, pp. 182 (1984)
5. P. K. Boyer, G. A. Roche, W. H. Ritchie, and G. J. Collins, Appl. Phys. Letts, 40, pp. 716 (1982)
6. P. K. Boyer, G. A. Roche, W. H. Ritchie, and G. J. Collins, J. Electrochem. Soc. pp. 2155 (1982)
7. Clou-Feng Chen, IEEE Trans. Electron Devices, ED-34, pp. 1540 (1987)
8. A. C. Adams, Solid State Tech., pp 75 (1983)
9. I. Matsushima, T. Enomoto, and H. Fukuwatari, Electrochem. Soc. Extended Abstract, No. 92 pp 230 May (1973)
10. R. Neureuther et al. IEEE Trans. Electron Devices, ED-27, 1449 (1980)
11. P. K. Boyer, G. A. Roche, W. H. Ritchie, and G. J. Collins, J. Electrochem. Soc. pp. 2155 (1982)
12. R. C. Ross and J. L. Vossen, Appl. Phys. Lett. 45, 239 (1984)