

피쳐 추출에 기반을 둔 신경회로망을 이용한 인쇄체 한글 문자 인식

° 김 우 태, 윤 병 식, 진 성 일
경북대학교 전자공학과

Printed Korean Characters Recognition Using
Neural Networks Based on Feature Extraction

° Woo-Tae Kim, Byung-Sik Yoon, and Sung-Il Chien
Dept. of Electronics, Kyungpook National University

요 약

본 논문은 하드웨어 구현이 가능한 신경 회로망을 구성하여 한글 문자 인식을 수행하였다. 먼저 입력 장치로부터 받아들인 문자 영상은 인식 속도를 높이기 위하여 특별한 전처리 과정 없이 직접 피쳐를 추출하였으며 추출한 피쳐로는 하드웨어 구현이 용이한 교차 피쳐와 투영 피쳐를 이진화하여 코딩하였다. 신경 회로망의 하드웨어 구현을 가능하게 하기 위해서 정수형 연결 강도와 비선형 Hard-limit 함수를 가지고 학습을 하는 Rounding 학습 방법을 도입하여 학습시켰으며 한글의 구조적 특성을 이용하여 한글을 유형별로 Module화 및 Submodule화 작업을 수행한 다음 인식하는 계층적인 문자 인식 시스템을 구성하였다. 그리고 이러한 방법을 이용하여 한글 문자 인식용 CMOS 신경회로망 Chip을 설계하였다.

I. 서론

오늘날의 고도화된 정보 사회에서 많은 양의 문서 정보를 신속하게 처리하기 위한 도구로서 컴퓨터의 역할은 계속 증가되고 있다. 따라서 많은 정보량을 효과적으로 신속 정확하게 처리하기 위해서는 먼저 문자 인식 문제가 선행되어야 한다. 한글 문자 인식은 1970년대 이후부터 꾸준한 연구가 수행되어 왔으며 대표적인 인식 방법으로는 원형 정합법, 통계적 방법, 구문론적 방법 [1-3] 등이 있으며 최근에는 신경망 모델을 이용한 한글 문자 인식에 대한 연구가 활발히 이루어지고 있다[4,5,12]. 특히 신경망 모델의 경우 왜곡과 잡음의 영향에 강하고, 학습이 가능하여 적응성이 있으며, 대규모 병렬 처리 기능을 가지므로 하드웨어 구현이 용이하고, 수학적으로 잘 정의되지 못한 문제에 대해서도 그 해를 구할 수 있다는 잠재력으로 인해 영상 인식, 음성 인식, 자동 제어, 최적화 문제등 광범위한 분야에서 많은 연구가 이루어지고 있다.

기존의 MLP(Multi Layer Perceptron) 신경망 모델은 학습대상 패턴이 비선형 조합인 경우에도 최적의 해를 구할 수 있으나 뉴런간의 Sigmoid 활성화 함수와 연결 강도값(Synaptic Strenght or Weight)의 부동소수점 형태로 인하여 하드웨어 구현의 어려움을 가지고 있으며, 또한 입력노드의 과다는 연결 강도의 증가를 초래하여 인식기의 하드웨어 구현을 더욱 어렵게 한다. 따라서 신경망을 사용한 한글 문자 인식용 하드웨어를 설계하기 위해서는 첫째, 뉴런간의 활성화 함수의 하드웨어 구현이 가능해야 할 것이며 둘째, 연결 강도값이 정수형이어야하고 셋째, 문자 인식 이전에 입력 노드수를 줄이기 위한 작업이 선행되어야 한다.

본 논문에서는 하드웨어의 구현을 용이하게 하기 위해서 입력 노드를 줄이기 위한 작업으로 입력 문자 영상으로부터 그 문자를 가장 잘 표현할 수 있는 정보 즉, 피쳐(Feature)를 추출하여 신경망의 입력으로 사용하였으며 피쳐 추출 과정은 전체 처리 속도를 고려하여 특별한 전처리 과정등을 수행하지 않고 문자 영상으로부터 바로 피쳐를 추출하였다. 그리고 하드웨어의 구현이 용이한 기존의 정수형 연결 강도를 가지는 학습 이론인 IDMLP(Input Driven Multilayer Perceptron)학습 알고리즘[8]보다 효율적으로 학습이 가능한 Rounding Method 학습 알고리즘[13]을 도입 하였다. 또 한글 문자의 구조적 특성을 이용하기 위하여 먼저 문자를 몇개의 유형으로 분류하는 유형 분류 신경망과 분류된 유형으로부터 그 문자를 인식하는 유형별 인식 신경망으로 이루어진 Module화된 계층 구조의 인식 시스템을 설계하였다. 이와같이 Module화 된 계층적 신경망은 각 Module에서 학습해야할 대상 패턴수가 적어지므로 효율적으로 학습이 가능하며 각 유형에 적절한 피쳐를 선택한 경우 효과적인 인식 시스템을 설계 할 수 있었다. 그리고 이러한 방법을 이용하여 한글 문자 인식용 CMOS 신경회로망 Chip을 설계하였다.

II. 이진(Binary) 피쳐(Feature) 추출

피쳐 추출 과정은 문자를 분류하기 위해서 인식 대상인 하나의 문자를 가장 잘 표현해 줄 수 있는 특징을 추출하여 다차원 피쳐 벡터를 만드는 과정이다. 특히, 피쳐의 선택과 피쳐 입력 갯수의 결정은 문자 인식기의 하드웨어 구현에 있어 많은 제약이 따르는데 본 연구에서는 하드웨어의 구현을 용이하게 하기 위해서 피쳐를 이진화로 코딩하였다. 지금까지 문자 인식을 위한 피쳐 추출에 관한 많은 연구가 문자 영상의 전처리 과정(정규화, 평활화, 세선화)후 피쳐를 추출 하였다. 그러나 이러한 전처리 과정은 문자 인식 시간의 대부분을 차지하므로 본 논문에서는 전처리과정을 생략하여 피쳐를 추출 인식하는 기법을 도입하였다.

본 논문에서 수행한 문자 인식 과정은 그림 1 과 같다. 입력 장치인 스캐너로 직접 받은 분리된 한 문자 영상은 이진 영상으로 64×64 화소 크기로 구성되며 피쳐 추출시에는 실제 문자 정보가 포함되어 있는 최소 경계 구역(Mimimum Bounding Rectangle : MBR)을 먼저 구한 후, 결정된 최소 경계 구역의 좌측 상단을 기준으로 문자 정보가 충분히 들어올 수 있는 크기가 40×40 인 윈도우(Window)를 고려하여 피쳐를 추출하였다.

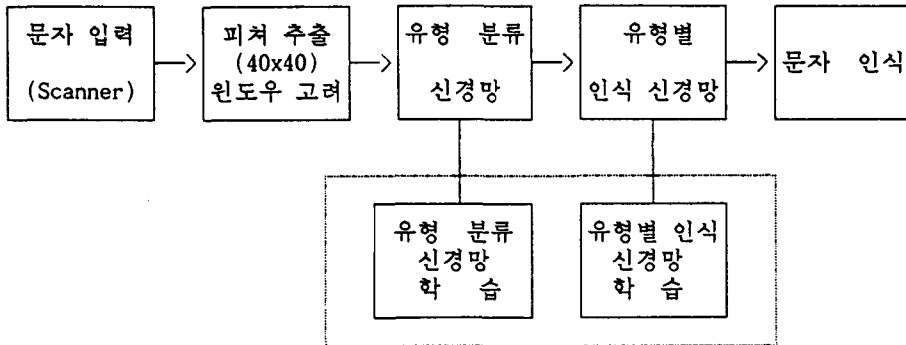


그림 1. 신경회로망을 사용한 문자 인식 시스템 구성도

2-1. 교차 피쳐 (Crossing Feature)

교차 피쳐는 수평축과 수직축으로 검출선을 그어 만나는 획의 수를 더하여 피쳐값으로 하는 것으로 문자 변형에 크게 영향을 받지않고, 또한 한글과 같이 획의 정보가 구조적일 경우 구조적인 정보를 추출 할 수 있다[6].

본 연구에서는 40x40 윈도우 내부의 문자 영상에 대하여 수평축과 수직축으로 각각 40개의 검출선을 그어서 수직, 수평방향으로 각 5개의 검출선을 묶어서 하나의 구역으로 분리한다음 구역내 5개의 검출선에 의하여 만난 획의 수를 모두 더한 값의 평균을 하나의 피쳐로 사용하였다. 즉 각 방향에 대해 8개의 구역으로 나누어지므로 총 16개의 교차 피쳐가 생성되고 각 피쳐값을 아래 표 1 과 같이 2비트로 이진 코딩하여 최종 32비트 이진 피쳐를 사용하였다. 그림 2-(a)에서는 '경'자에 대한 40x40 문자 영상을 나타내고 있으며 그림 2-(b)에서는 교차 피쳐로 추출한 피쳐의 이진 코딩 결과를 나타내었다.

표 1. 교차 피쳐의 이진 코딩

평균 교차값	0	1	2	3 이상
이진 코딩	0 0	0 1	1 0	1 1

2-2. 투영 피쳐 (Projection Feature)

투영 피쳐 추출은 영상에서 수평 및 수직 방향으로 검출선을 주사하여 검출선과 만나는 검은 화소수를 더함으로써 그값이 구해지므로 하드웨어 구현이 간단하고 한글 문자와 같이 직선적인 획이 많은 경우에 알맞은 피쳐이다[5,7]. 본 연구에서는 40x40 윈도우 내부의 문자 영상에 대하여 수평축과 수직축으로 각각 40개의 검출선을 그어서

교차 피쳐에서와 같이 수직, 수평방향으로 각 5개의 검출선씩 묶어 하나의 구역으로 각 방향에 대해 8개의 구역으로 나누어진다. 구역내의 검출선에 의하여 만난 검은 화소수를 모두 더한 값을 하나의 피쳐로 사용하므로 총 16개의 투영 피쳐값이 생성 되고 각 피쳐값을 아래 표 2 와 같은 2비트로 이진 코딩하여 최종 32비트 이진 피쳐를 신경 회로망 학습에 이용하였다. 그림 2의 (c)에서는 '경'자에 대한 투영 피쳐의 이진 코딩 결과를 나타내었다.

표 2. 투영 피쳐의 이진 코딩

투영 피쳐값	0-5	5-45	45-75	75 이상
이진 코딩	0 0	0 1	1 0	1 1



(a)

0 1 1 0 1 0 1 0 1 0 1 0 0 1 1 0 0 1 1 0 1 0 1 0 1 1 1 1 1 1 0 1 0 0

(b)

0 1 1 1 1 0 1 1 1 0 1 0 0 1 1 0 0 1 0 1 1 0 1 1 1 0 1 1 1 1 1 0 0

(c)

그림 2. 이진 피쳐 추출

(a) 40x40 문자 영상

(b) 교차 피쳐의 이진 코딩

(c) 투영 피쳐의 이진 코딩

Ⅲ. 신경 회로망의 구성

3-1. Rounding method 신경 회로망 구조 및 학습이론

하드웨어 구현을 위한 IDMLP 신경 회로망 학습 알고리즘[8]은 Perceptron의 비선형 문제를 해결하기 위해 Single-layer에서 Multi-layer로 확장하는 개념과 입력의 비선형 조합으로 이루어진 부가노드(Extended node)를 다시 입력에 사용함으로써 입력 벡터 공간을 확장하여 비선형 문제를 해결하려는 Functional link 개념[10,11]을 도입하였다. 이 신경망은 Perceptron 학습 알고리즘으로 Single layer를 특정한 반복 횟수 만큼 학습한 다음 완전한 학습이 되지 않았을 경우 layer를 확장하고 기존의 입력과 아래 layer의 출력을 확장된 layer의 입력으로 다시 사용하여 완전한 학습이 이루어 질 때까지 layer를 확장해나가는 학습이론이다. 이 신경 회로망의 구조는 그림 3과 같이 구성될 수 있다.

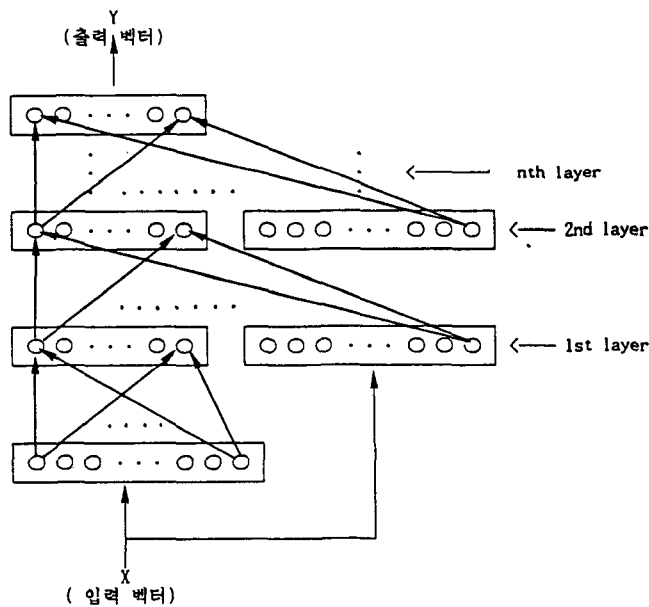


그림 3. 신경회로망의 구성도

Rounding method[13] 신경 회로망의 구조는 IDMLP와 같다. 그러나 Layer내에서의 학습시 Hard-limit를 이용한 Perceptron 알고리즘을 사용한 IDMLP와 달리 Sigmoid 비선형 함수와 부동 소수점 연결강도 조정의 학습 알고리즘을 사용한다. 즉 Layer간의 학습은 Single-layer EBP(Error Back-Propagation) 알고리즘[12]으로 학습을 수행하다가 학습이 완료되거나 완전한 학습이 이루어지지 않아 Layer를 확장할때는 부동 소수점의 연결 강도값을 정수화하고 Sigmoid 비선형 함수를 Hard-limit 비선형 함수로 바꾸어서 결과적으로 IDMLP와 같은 정수형 Hard-limit 뉴런 회로가 성립된다. 부동 소수점 연결 강도값을 반올림하여 정수화하므로 Rounding Method라는 이름이 붙여졌다.

Rounding Method 학습 알고리즘이 IDMLP 학습 알고리즘과 비교하여 개선된점은 첫째, IDMLP 경우 정수형 연결강도 계산을 위하여 learning rate를 "1"이상의 정수만을 허용하게 되어 연결 강도값의 상승이 경우에 따라서 매우 크게 증가 한다. 그러나 Rounding Method에서는 부동 소수점 방식의 학습이 진행되므로 전술한 Learning rate를 "1"이하로 줄일 수 있어서 연결 강도값의 과도한 증가를 억제할 수 있다. 둘째, Sigmoid 비선형 함수는 앞절에서 설명 하였듯이 Hardware 구현에 많은 문제점을 가지고 있다. 그러므로 Layer내에서 사용한 Sigmoid 비선형 함수는 그 Layer 학습이 완전히 끝난후 Hard-limit 비선형 함수로 바꾸어 주어야 한다. 학습과정에서의 Sigmoid 비선형 함수의 역할은 부동 소수점 연결 강도 조절을 가능하게 만들고 한 뉴론의 출력값이 문턱치 근처에 나타날 경우 목표값(Target value)에 효율적으로 수렴할 수 있게 한다. 셋째, Layer 간의 학습시 부동 소수점 연산을 위해 EBP(Error Back-Propagation) 학습 이론을 사용한다. 이 학습이론은 Error 계산과정에서 학습 시간이 길어지는 비효율적인 과정을 가지고 있다. 이러한 비효율성을 Fahlman[14]이 제안한 수정된 학습 알고리즘으로 효율적인 학습이 가능하게 하였다. 넷째, 관성항(Momentum)을 추가시킴으로써 기존의 IDMLP에 비하여 안정된 학습이 가능하게 되었다.

3-2. 신경회로망 Module화 및 Sub-Module화

한글은 영어, 일본어와 같이 거의 대부분의 문자에서 나타나는 기본 자소단위들의 1 차원적인 나열구조와는 달리 기본 자소들의 2차원적인 조합 구조로 이루어져 있다. 아울러 작은 획하나가 바뀌어도 문자가 달라지는 경우가 많아 안정된 한글 문자 인식 시스템을 구성하는 것은 상당히 어려운 작업에 속한다. 본 연구에서처럼 입력 피쳐값을 이진화하고 신경망의 연결 강도를 정수화한 경우에 대한 인식 과제의 난이도는 더욱 높아지게 된다. 따라서 본 연구에서는 인식 Task부담을 분산시키는 그림 4과 같은 인식기 구조를 제안한다. 즉, 한글은 기본자소의 조합에 따라 그림 5와 같은 6가지 유형으로 분류되는 구조적 특성을 지니고 있다[2]. 따라서 유형분류 신경망을 통하여 일차적으로 한글을 6가지 유형으로 분류한다. 일단 유형이 분류되면 6개의 신경회로망 Module중 선택된 신경망 Module은 문자 인식 결과로 최종 출력값 즉, 조합형 문자코드를 발생시킨다. 이러한 Module화된 구조를 사용하면 여러가지 장점이 존재하게 된다. 우선 각각의 신경망 Module에 할당된 학습 문자의 갯수가 작아지므로 신경회로망의 복잡도를 경감시킬 수 있어 학습이 용이해진다. 아울러, 각 유형에 알맞은 피쳐를 세분하여 선택할 수 있으므로 작은 수의 입력 bit로 문자 정보를 표시할 수 있다.

본 논문에서는 Module화된 신경회로망을 다시 Submodule화하여 피쳐갯수를 줄일뿐 아니라 Submodule에 알맞은 피쳐를 추출, 인식하는 기법을 도입하였다. 그림 6은 유형 1 신경망 Module이 다시 2개의 Submodule로 나누어진것을 나타내었다. 유형1에 해당하는 문자는 초성과 중성으로만 이루어진 문자이기 때문에 초성만을 판별하는 Submodule과 중성만을 판별하는 Submodule로 나눌 수 있다. 따라서 각 Submodule은 할당된 자소 인식 업무에만 전념할 수 있으므로 비교적 적은 수의 입력 피쳐로도 충분한 인식기능을 수행할 수 있다.

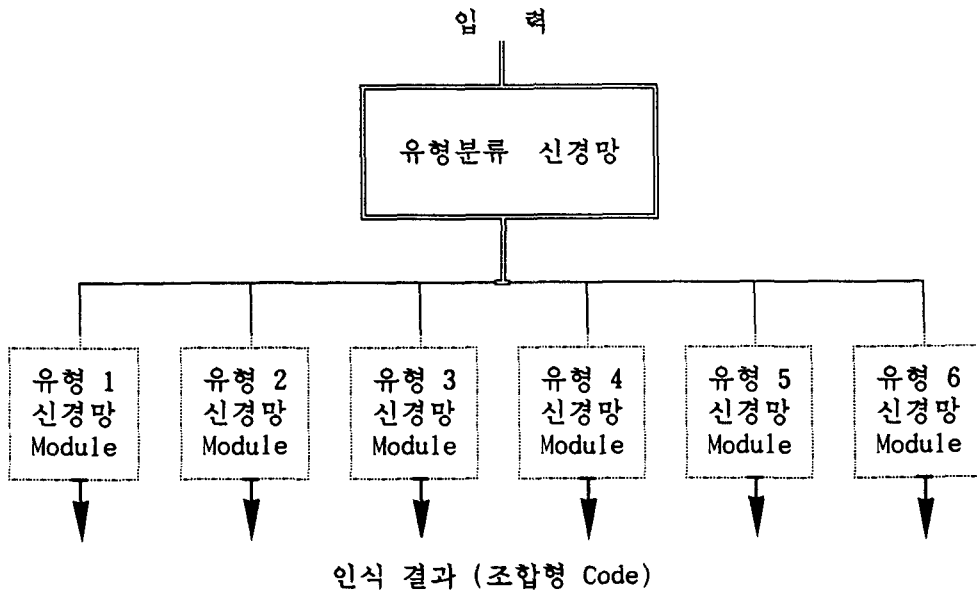


그림 4. 제안된 Module화된 신경회로망

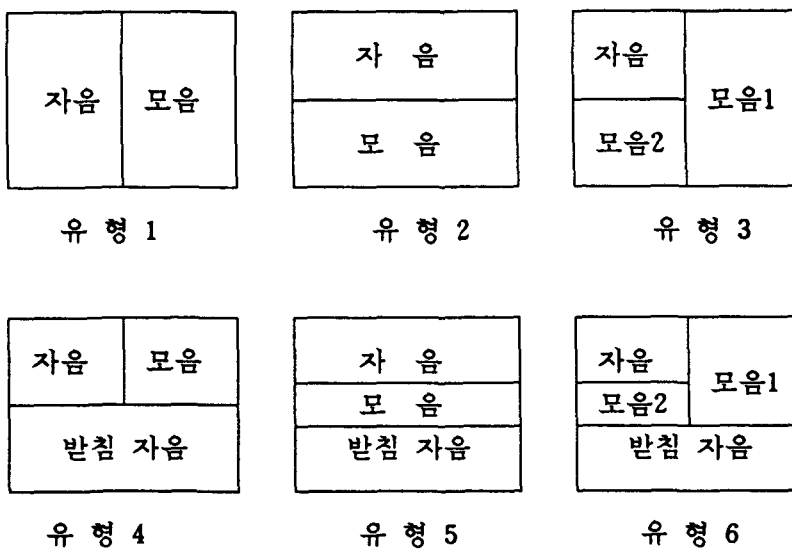


그림 5. 일반적인 한글형태와 6가지 유형

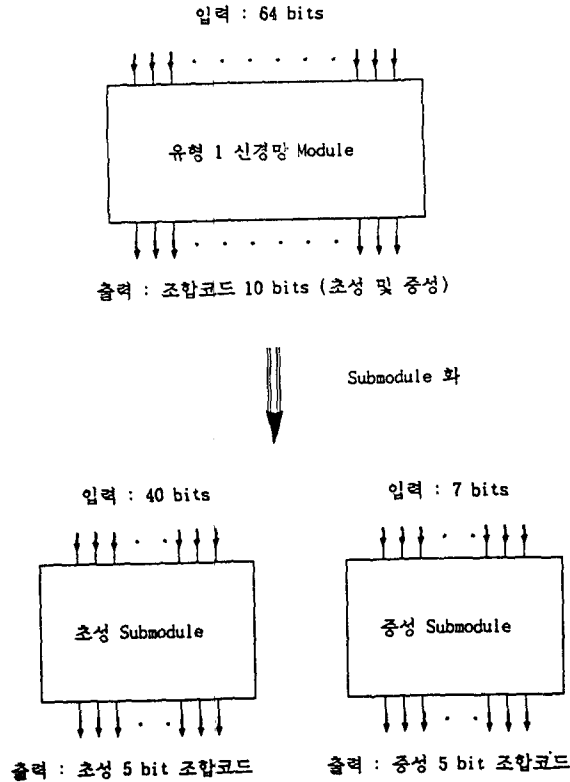


그림 6. 유형 1 Submodule화 과정

IV. 실험 결과 및 하드웨어의 구현

4-1 신경 회로망 학습 결과

본 연구에서 사용한 데이터 베이스는 한글 기계화 연구소에서 발표한 한글 문자 찾기 순서[9]에 의한 상위 522자로 현재 많이 사용되고 있는 "아래아 한글" 워드 프로세서의 명조체 522자를 Qnix LBP300 레이저 빔 프린터로 출력된 문자를 사용하였다. 그리고 문자 인식 실험에서는 인치당 300화소의 해상도를 갖는 HP Scanjet 광 Flatbed 스캐너로 입력 받은 문자 영상을 사용하였다.

유형 분류 신경망과 각 유형별 인식 신경망은 교차 피쳐 32 비트와 투영 피쳐 32 비트 총 64 비트의 이진수를 입력으로 이용하였으며 유형 분류 신경망의 출력은 6 비트의 이진수를 이용하였다. 유형 결정은 6비트의 이진수중 1의 위치로써 판별하며 예를들면 유형 1인 경우 '1 0 0 0 0'로 코딩하였다. 6가지 각 유형별 인식 신경망 Module의 출력값은 한글 조합형 문자 코드를 이용하였다. 학습은 IDMLP 학습 알고리즘과 Rounding Method 2가지 학습 알고리즘으로 각각 완전히 학습시켰으며 그 학습 결과

는 표 3에 수록하였다. 표 3에서 보는바와 같이 Rounding Method의 학습시 하드웨어 구현에 중요한 문제점인 최대 연결강도의 합과 학습에 필요한 layer의 수가 줄어들었음을 알 수 있었다. 또 유형 1의 Submodule 학습으로 초성 Submodule의 경우 교차 피쳐 40개를 이진 코딩하여 피쳐로 사용하였고 증성 Submodule의 경우 투영 피쳐와 교차 피쳐를 이용하여 7 bit 이진 코딩하였다. 4 Submodule 신경 회로망을 IDMLP와 Rounding Method 학습 알고리즘으로 각각 학습시켰다. 각 Submodule의 학습 결과는 표 4에 수록하였다.

표 3. IDMLP 와 Rounding Method의 학습 결과 비교

학습 유형	문자 갯수	학습 방법	최대 연결 강도	필요한 layer 수	전체 연결 강도 합
유형 분류	522 자	IDMLP	80	2	9074
		Rounding	14	2	2436
유형 1	95 자	IDMLP	84	2	16090
		Rounding	14	2	2960
유형 2	50 자	IDMLP	35	1	3201
		Rounding	8	1	832
유형 3	21 자	IDMLP	20	1	1157
		Rounding	3	1	277
유형 4	218 자	IDMLP	179	7	122654
		Rounding	47	5	19145
유형 5	123 자	IDMLP	152	6	87540
		Rounding	67	4	19536
유형 6	15 자	IDMLP	15	1	1222
		Rounding	3	1	328

표 4. 유형 1 Submodule IDMLP 와 Rounding Method의 학습 결과 비교

학습 유형	문자 갯수	학습 방법	최대 연결 강도	필요한 layer 수	전체 연결 강도 합
초 성	95 자	IDMLP	25	3	6036
		Rounding	4	2	852
증 성	95 자	IDMLP	4	2	90
		Rounding	5	2	111

4-2. 신경 회로망의 하드웨어 구현

근래들어 신경 회로망이 많은 분야에서 연구되고 있는 가장 큰 이유는 대규모 병렬 처리 기능을 이용하여 복잡한 문제들을 빠른 시간에 해결할 수 있다는 잠재력 때문이다. 신경회로망의 하드웨어 구성에 관한 여러 연구가 진행중에 있는데 그 중에서 반도체를 이용하여 신경 회로망 모델을 구성하려는 그룹과 광학적 특성(Optics)을 이용하여 신경 회로망을 구성하려는 시도들이 활발하게 이루어지고 있다. 특히 대규모 상호 접속이 필요한 신경 회로망은 2차원 Chip 표면위의 배열구조보다는 광학적으로 3차원 공간에서 이루어지는 상호접속 구조가 더욱 능률적이며 매력적이다. 그러나 현재의 Optical Computing 기술로는 신경 회로망 모델의 구체적 응용과 현실화에 많은 문제점이 있는 실정이다. 또 현실적인 측면에서 급격한 발전을 거듭해온 반도체 기술을 사용하여 신경 회로망을 구성 한다는 것은 매우 타당성이 있으며 또 많은 연구가 발표되었고 진행중에 있다.

신경회로망의 반도체 실현성을 고찰하기 위하여서는 우선 그 요소인 신경 세포의 기능과 특징을 알고, 반도체 요소인 MOS Transistor와 기본 회로들과의 공통점과 차이점을 잘 파악할 필요가 있다. 신경 세포의 기능은 세포간의 결합과 연결 강도, 문턱값으로 특징지어진다. 이러한 신경 세포들의 기능을 반도체 요소들로 대체시킬 수 있다. 즉 세포막 전위를 회로내의 어떤 node의 전압값으로 대체시키고 세포간 결합을 gate에 입력 신호가 주어지는 MOS Transistor로 실현시킨다면 결합 강도는 Transistor의 Conductance에 대응 된다. 또 Hard-limit 뉴런 여기 함수를 Inverter 2개로 대체시키면 신경 세포의 기능들을 반도체가 충분히 소화할 수 있다. 여기서 흥분성(Excitation)입력은 PMOS Transistor, 억제성(Inhibition)입력은 NMOS Transistor의 gate에 각각 주어지며, 각각의 입력에 대한 연결 강도계수는 MOS Transistor의 ON저항들의 상대비로 주어진다. 따라서 MOS Transistor의 ON저항들의 상대비는 MOS Channel의 폭과 길이의 비(W/L)로 결정되거나 입력 노드에 연결된 MOS Transistor의 갯수로 나타내어진다. 그런데 여기서는 MOS Channel의 폭과 길이의 비(W/L)은 미리 고정시켜 놓고 MOS Transistor의 갯수으로써 연결 강도 계수의 크기를 결정한다. 세포막 전위는 Inverter 2개를 통과하기전의 node인 중앙 node의 전위에 대응하며, Inverter 2개(buffer)로 구성된 Hard-limit 회로에 의해 중앙 노드의 전위값이 Hard-limit의 문턱값보다 클때는 1, 작을때는 0이 출력에 주어진다. 그림 7은 CMOS로 구성된 Inverter 2개를 직렬로 연결하여 Hard-limit를 구성한 것을 보여준다. 이 방법은 비교적 간단히 회로를 구성할 수 있다는 장점을 가지고 있다. 그림 8은 그림 7의 입력에 0 V에서부터 5 V까지 시간에 비례하게 전압을 서서히 올렸을때 입력 전압 2.5 V를 기준으로 출력 전압이 Hard-limit함수를 볼 수 있다. 전체적인 회로 동작 방식은 주어진 디지털 입력에 따르는 세포막 전위를 아날로그로 변환하고 그값을 Hard-limit의 문턱값과 비교하여 디지털화 한다는 점에서 아날로그 방식과 디지털 방식이 결합된 아날로그 디지털 혼합 방식이다. 전술한 방법을 이용하여 유형 1 중성 Sub-module의 입력 노드가 6 이고 출력 노드가 5 인 2 레이어 신경 회로망을 하드웨어로 구성하였다. 그림 9는 CMOS회로로 구성된 유형 1 중성 Sub-module 신경 회로망이다.

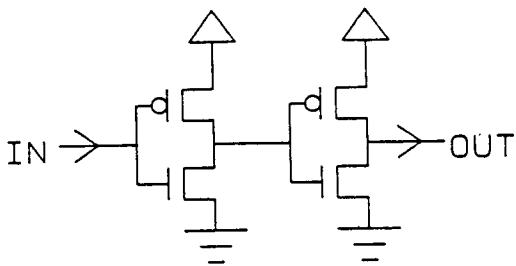


그림 7. CMOS Hard-limit

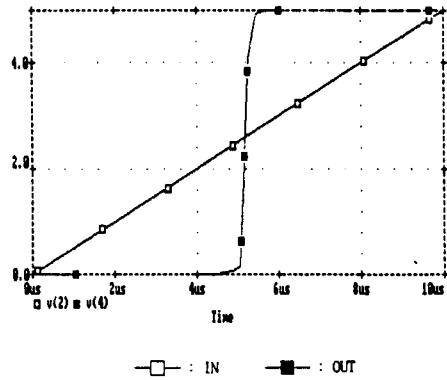


그림 8. CMOS Hard-limit 입출력 특성

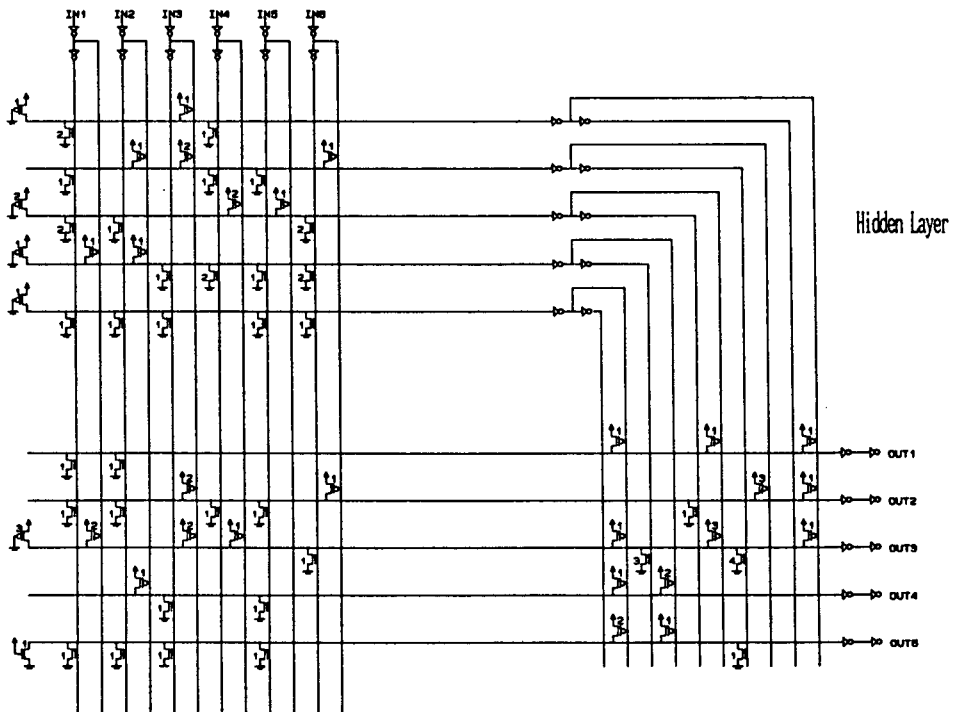


그림 9. 유형 1 중성 Submodule 신경 회로망

V. 결론

본논문에서는 하드웨어 구현을 용이하게 하기위해서 교차 피쳐와 투영 피쳐를 이진화로 코딩 하였고 효율적인 학습을 위해 먼저 6개의 문자 유형을 분류하고 각 유형별로 문자를 인식하는 계층적 구조의 신경망을 제안하였다. 신경 회로망 학습 알고리즘으로는 하드웨어의 구현이 용이한 IDMLP 학습 알고리즘을 개선한 Rounding Method 학습 알고리즘을 도입하여 효과적인 학습이 가능하도록 하였다. 또한 효과적인 인식과 하드웨어 구현의 효율성을 높이기 위하여 신경망을 Submodule화 하여 각 Submodule에 알맞는 피쳐를 추출, 인식하는 기법을 보였다. 제안한 여러방법을 이용하여 학습 시킨 결과를 CMOS 회로로 구현하였다.

참고 문헌

- [1] 이주근, " 한글문자의 인식에 관한 연구(Ⅳ), " 전자공학회지, 제9권, 제 4호, pp. 25-32, 1972.
- [2] 이주근, 남궁재찬, 김영건, "한글 Pattern에서 Subpattern 분리와 인식에 관한 연구," 전자공학회 논문지, 제18권, 제3호, pp. 1-8, 1981.
- [3] 심원태, "혼합형 제어 전략을 사용한 인체체 한글 문자의 인식," 한국 과학 기술원 석사학위 논문, 1987.
- [4] 김상우, 전윤호, 최종호, "신경회로망을 이용한 인체체 한글 문자의 인식," 전자공학회 논문지, 제27권, 제2호, pp. 65-71, 1990.
- [5] 조성배, 김진형, "한글 문자 인식을 위한 신경망 기법의 개선에 관한 연구," 제2회 영상 처리 및 이해에 관한 워크샵 발표논문집, 대전, 1990.
- [6] C. Y. Suen, M. Berthod, and S. Mori, "Automatic Recognition of Handprinted Characters-The State of the Art," *Proc. IEEE*, Vol. 68, No. 4, pp. 469-487, 1980.
- [7] S. Mori, K. Yamamoto, and M. Yasuda, "Research on Machine Recognition of Handprinted Characters," *IEEE Trans. on PAMI*, Vol. PAMI-6, No. 4, pp. 386 - 405, July, 1984.
- [8] 김신진, 박정운, 정호선, "정수의 Weight와 Hard Limit 함수를 가지는 Input Driven MLP Neural Network에 관한 연구," 제3회 신호처리합동학술대회 논문집, 제3권, 제1호, pp. 439-444, 1990.
- [9] 한글기계화 연구소 : 한글기계화 연구, 1975.
- [10] Y. H. Pao, *Adaptive pattern Recognition and Neural Networks*, Addison - Wesley Publishing Company, Inc., 1989.
- [11] 김우태, 진성일, "Parallel Thinning Using Associative Neural Mappings," 전자공학회 하계종합학술대회 논문집, 제13권, 제1호, pp. 463-466, 1990.
- [12] 박인규, 진성일, "신경망을 이용한 한글 문자 인식에서 Feature 추출에 관한 비교 연구," 제3회 신호처리합동학술대회 논문집, 제3권, 제1호, pp. 171-174,

1990.

- [13] 윤병식, 박인규, 진성일, "정수형 Weight 와 Hard-limit 비선형 함수를 가지는 신경회로망에 대한 학습 연구," 제2회 신경회로망연구회 학술대회 논문집, pp. 112 -117, 1991.
- [14] S. E. Fahlman, "Faster-Learning Variations on Back-Propagation: AN Empirical Study," *Proc. of the Connectionist Models Summer School*, pp. 38-51, June, 1988.