Multi-Level Interconnection 을 위한 Al Pillar 형성에 관한 연구

모승기. 이대우. 윤용선. 김보우

한국전자통신연구소 단위공정개발실

1. 서 론

최근 반도체 공정중 Multi-Level Interconnection 분야에서 극복하여야 할 가장 큰 문제점중의 하나는 다층 금속배선 기술에서 2nd Metal를 CVD방법에 의하지 않고 PVD방법을 사용함에 있어 2nd Metal의 Step Coverage, 높은 Via 저항값등에 문제가 있었으나 이것을 Al Pillar를 사용함으로서 해결하고자 하였다. 본 실험에서는 1st Metal과 Pillar Metal를 연속적으로 Deposition한후 Inverse Via Mask와 1st Metal Mask를 이용해 포토 에칭(Photo-Etching)하여 각각 Pillar Metal과 1st Metal를 형성하였고 층간 절연막(PECVD Oxide)을 Deposition한 다음 2단계 평탄화(Dual-Step Planarization)을 통해 2nd Metal를 Deposition하고 Photolithography공정을 통해 Patterning한 다음 SEM측정과 전기적 측정을 통해 Pillar의 특성을 고찰하였다.

2. 실험방법

본 실험은 그림1)에서 보는바와 같이 1st Metal과 2nd Metal사이에 형성되는 Pillar의 특성을 고찰하기 위한 것으로 Varian 3180 Sputter를 이용해 1st Metal과 Pillar Metal를 Deposition하였고 TiW를 Etch-Stop Layer로 Pillar Metal를 Photo-Etching한 다음 Varian 5101 PECVD System을 이용하여 1st Metal과 2nd Metal사이에 존재하는 층간 절연막을 Deposition하였다.

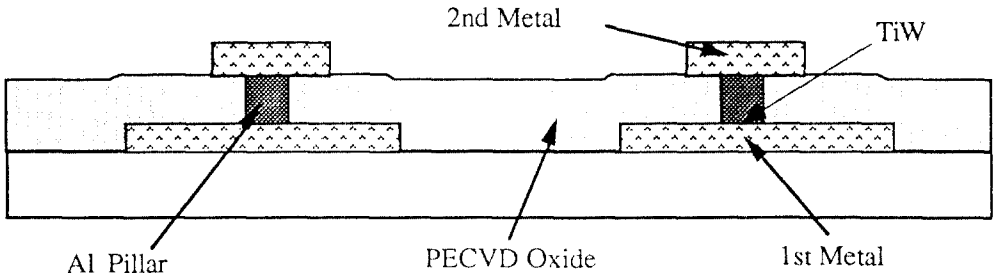
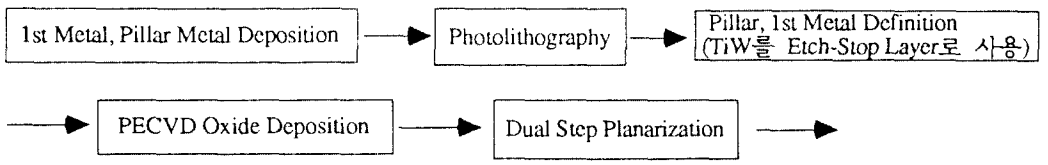


그림1) Pillar 형성의 공정 단면도

Pillar를 형성하기 위하여 2단계 Planarization을 수행하였고 Cleaning을 거친 다음 2nd Metal를 Deposition하였으며 구체적인 공정순서는 다음과 같다.



2nd Metal Deposition & Etching → SEM측정, Electrical 측정

3. 결과 및 고찰

그림2)은 본 실험의 공정순서에 의해 제작된 Pillar의 SEM 단면도이다. TiW를 Etch-Stop Layer로 사용해서 Pillar를 Patterning하였고 PECVD Oxide를 Deposition한 다음 Pillar가 완전히 드러나고 동시에 필드(Field)부분을 보호하기 위하여 2단계 Planarization을 수행하였다.

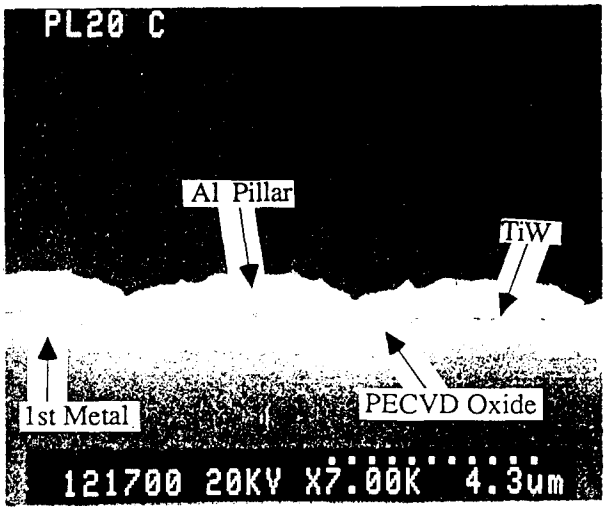


그림2) Pillar의 SEM 단면도

표1)은 측정에 사용된 Via Syring은 Via수가 1,920개(1.0um, 1.2um, 1.5um, 2.0um)인 MLM(Multi-Level Metalization) Test Pattern으로 제작한 Conventional Process의 Via String 저항값과 Pillar Process의 Via String 저항값을 나타내었고 그림3)은 전기적 특성을 나타낸 Graphic Plot이다.

표1) Conventional Process와 Pillar Process의 저항값 비교

구 분	Size[um]	Total Chips[EA]	Effective Chips[EA]	Resis per unit[ohm/sq]
Conventional Process	1.0	51	41	0.39-0.70
	1.2	51	46	0.27-0.35
	1.5	51	47	0.21-0.24
	2.0	51	51	0.18-0.22
Pillar Process	1.0	76	34	0.22
	1.2	76	51	0.24
	1.5	76	69	0.21
	2.0	76	67	0.20

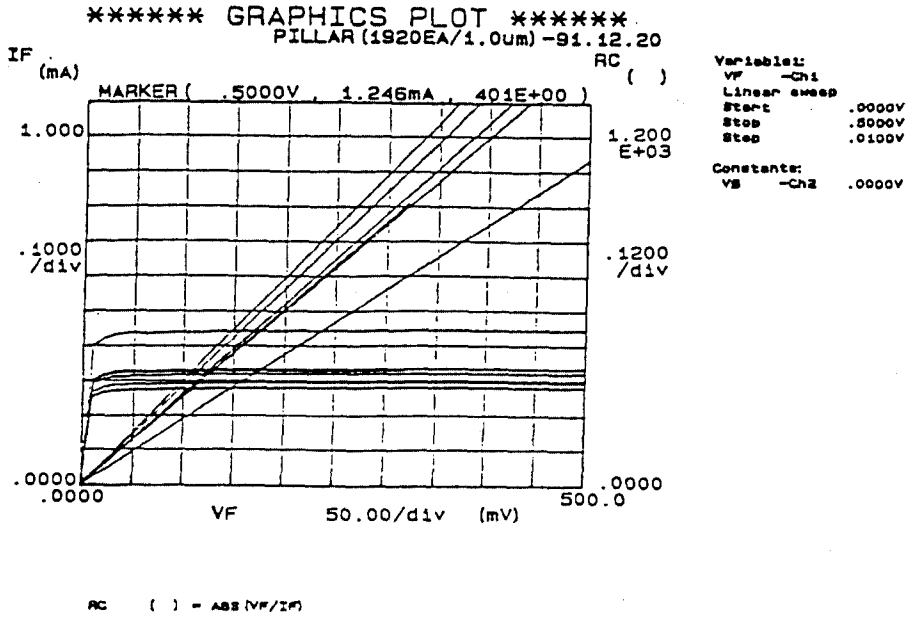


그림3) Pillar Process로 제작한 Via String 저항값의 Graphic Plot

측정결과 Via Size 1.0um인 경우 단위 면적당 저항값은 Conventional Process는 0.39-0.70[Ohm]인 반면 Pillar Process는 0.22[Ohm]으로 약간 낮게 나타났으며 1.2um, 1.5um, 2.0um의 Via Size는 전반적으로 비슷하거나 약간 높게 나타남을 알 수 있었다.

4. 결 론

본 실험결과 Via String의 절대저항값이 약간 높게 형성되었는데 그것은 Pillar Metal을 Etching할 때 Etch-Stop Layer로 TiW를 사용해 이들의 고유 Resistivity가 Serial로 작용해 높게 나타났다고 생각된다. 앞으로 TiW를 포함한 Pillar형성의 구조적인 문제, Planarization시 발생하는 여러가지 문제점등을 개선함으로써 좀더 저항값을 낮출 수 있으리라 본다.

참 고 문 헌

[1] Michael T. Welch and Chris Garcia, *Pillar Interconnection for VLSI Technology* IEEE,V-MIC Conf. June 9-10,1986

[2] E.R.Sirkin and I.A.Blech, *A Method of Forming Contacts Between Two Conducting Layers Seperated by a Dielectric* J.Electrochem.Soc,Sold-State Science. Jan,1984