

비휘발성 SNOSFET 기억소자의 동작특성에 관한 전산모사 (Computer Simulation on Operating Characteristics of Nonvolatile SNOSFET Memory Devices)

김주연*
이상배
이영희
서광열

광운대학교 대학원 전자재료공학과

Kim Joo-Yeon
Lee Sang-Bae
Lee Young-Hie
Seo Kwang-Yell

Dept. of Electronic Materials Eng.
Kwangwoon Univ.

ABSTRACT

To analyze Nonvolatile SNOSFET (polySilicon-Nitride-Oxide-Semiconductor Field Effect Transistor) memory device, two dimensional numerical computer simulation program was developed. The equation discretization was performed by the Finite difference method and the solution was derived by the Iteration method. The doping profile of n-channel device which was fabricated by 1Mbit CMOS process was observed.

The electrical potential and the carrier concentration distribution to applied bias condition were observed in the inner of a device. As a result of the write and the erase to memory charge quantity, the threshold voltage shift is expected.

Therefore, without device fabrication, the operating characteristics of the device was observed under various the processing and the operating condition.

기억소자는 기억유지전력이 없어도 그 기억상태를 유지할 수 있는 비휘발성을 갖고 있으며, 전기적으로 write와 erase가 가능하므로 ROM의 비휘발성과 RAM의 기억갱신능력을 결합시킨 EEPROM으로 응용되어 널리 사용되고 있다. 그러나 물성에 관한 정확한 정보 뿐만 아니라 비휘발성 반도체 기억소자로서의 기록, 소거, 저전압화, 고집적, 고신뢰성등의 개선에 많은 연구가 필요하다. 따라서, 이러한 요구를 만족하기 위해서는 소자를 직접 제작하지 않고도 동작특성을 예견할 수 있는 전산모사 프로그램 개발이 필요하다.

본연구는 수치해석적 모델을 사용하여 2차원 전산모사 프로그램을 개인용 computer에서도 사용할 수 있도록 개발하였다. 개발된 프로그램으로 SNOSFET 기억소자의 제작조건에 따른 불순물 농도분포를 구하여 그 특성을 관찰하였다. 또한 소자의 동작조건 변화에 따른 특성을 조사하기 위해 drain과 gate에 인가한 전압에 따른 소자 내부에서의 전위분포와 캐리어 농도분포 살펴보고 기억 트랩에 전하가 기억되었을때, 즉 기억과 소거 상태에 따른 소자 내부에서의 전위분포와 캐리어 농도분포 변화도 조사하였다.

2. 이론

1. 서론

전산모사는 소자를 직접 제작하지 않고도 여러조건을 바꾸면서 소자의 동작특성 변화를 예측할 수 있고, 또한 측정하기 힘든 소자내 전위, 전류, 캐리어등의 분포를 알 수 있다. 1964년 Gummel(1)이 최초로 수치해석적 모델을 사용한 이래 지속적인 발전이 있어 왔고 1980년대에 들어와서는 GEMINI와 2차원 전산모사 프로그램인 MINIMOS(2)등이 개발되었다. 이렇게 여러 소자들 특히, MOS소자에 대한 전산모사 프로그램은 이미 널리 사용되고 있지만, 비휘발성 SNOSFET 기억소자에 대한 프로그램은 아직 개발단계에 있다.

질화막과 산화막의 이중 절연막 구조를 갖는 SNOSFET

1) 반도체 방정식

입의의 구조를 갖는 반도체의 동작을 정확히 해석하기 위해서는 수치해석적 모델을 사용한 반도체 기본 방정식이 필요하다.

$$\text{div grad } \psi = \frac{q}{\epsilon} (n - p - C) \quad (2-1)$$

$$\text{div } J_n - q \cdot \frac{\partial n}{\partial t} = q \cdot R(\psi, n, p) \quad (2-2)$$

$$\text{div } J_p + q \cdot \frac{\partial p}{\partial t} = -q \cdot R(\psi, n, p) \quad (2-3)$$

$$J_n = -q \cdot (\mu_n \cdot n \cdot \text{grad } \psi - D_n \cdot \text{grad } n) \quad (2-4)$$

$$J_p = -q \cdot (\mu_p \cdot p \cdot \text{grad } \psi + D_p \cdot \text{grad } p) \quad (2-5)$$

$$J_n \cdot n = -q \cdot n \cdot \text{grad } \psi \quad (3-2)$$

$$J_p \cdot p = q \cdot p \cdot \text{grad } \psi \quad (3-3)$$

방정식의 해를 구하기 위해 다음 가정을 사용하였다.

- 소자는 정상상태에서 동작한다. 즉 시간에 대한 미분은 Zero가 된다.
- 소자내 불순물은 전부 이온화되었다.
- 온도분포는 소자내에서 일정하다.
- 유전율은 소자전반에 걸쳐 균일 하다.
- 전하이동도와 확산은 Einstein 관계 성립.

2) 물리적 모델

물리적 변수로는 전성 캐리어 농도(n_1)와 캐리어 이동도(μ_n, μ_p), 그리고 결합-재결합비(R)가 모델링 되었다. 불순물 농도가 높을 경우($>10^{18} \text{cm}^{-3}$) band narrowing으로 인하여 방정식이 상당히 복잡해 지므로 전성캐리어 농도, n_1 를 유효전성캐리어농도, $n_{1e}(T, N_D^+)$ (4)로 대체했다.

캐리어 이동도는 도핑농도 의존 이동도와 전계 의존 이동도를 모델링하였다. 도핑농도 의존 이동도, $\mu_{LI}(C;T)$ 는 온도 의존 함수인 격자의 열진동(lattice scattering)에 의한 이동도 μ_L 과 이온화된 불순물(Ionized impurity scattering)의 열진동에 의한 이동도 μ_I 를 고려하였다(5). 전계 의존 이동도, $\mu(E_{||}, E_T)$ 는 전류 흐름 방향에 평행한 전계에 의존하는 포화 현상(velocity saturation)(6)과 수직방향에 의존하는 표면산란(surface scattering)(7)에 의한 이동도를 고려하였다.

결합-재결합을 야기시킬 수 있는 mechanism중 thermal, impact ionization, three-particle의 상호작용(Auger 재결합), 표면 재결합(surface recombination) 과정에 의해 생긴 결합-재결합을 고려했으며 총 결합-재결합 비 R은 각 과정에 의해 생긴 비의 합으로 표현했다.(6)

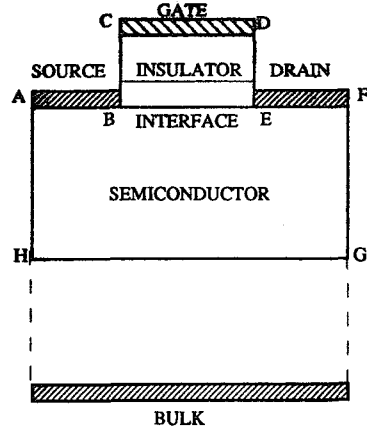


그림 3-1. 전산모사를 위한 SNOSFET의 단면도

source(A-B), drain(E-F), gate(B-E)는 ohmic접촉을 가정하여 전계와 캐리어 밀도의 변화가 없다고 가정하고 Dirichlet 경계조건을 적용했다. source와 drain접촉의 경계조건은 다음과 같다.

$$\psi = \psi_{\text{apply}} - \psi_b = \text{const.} \quad (3-4)$$

ψ_{apply} : 인가전압
 ψ_b : built- n potential(8)

$$\int (J_n + J_p) \cdot dA - I_D(t) = 0 \quad (3-5)$$

gate 접촉은 flatband voltage를 고려하여 경계조건을 구했다.

$$\psi = \psi_{\text{apply}} - V_{FB} = \text{const.} \quad (3-6)$$

V_{FB} : flat band voltage

3. 실험

1) SNOSFET 기억소자 제작

비휘발성 SNOSFET기억소자를 제작하기 위해 폴리실리콘 게이트 CMOS 1mbit 공정에 Si_3N_4 막의 증착 공정을 삽입하여 사용하였다. 사용기관은 비저항 6~9 Ω/cm^2 인 p형 실리콘(100)웨이퍼이다. 소오스와 드레인에는 hot carrier 문제를 해결하기 위해 DDD(Double Doped Drain)구조로 제작하였고 channel 영역은 문턱전압을 조절하기 위한 shallow implantation과 punch through 현상을 막기 위해 deep implantation을 하였다.

제작된 소자의 불순물 농도 분포는 기존의 프로그램인 suprem을 사용하여 깊이에 따른 1차원적 농도분포를 구한 다음 측면확산이 상보오차함수 분포를 갖는 2차원 불순물 농도를 구했다.(6)

2) 경계조건과 Scaling

가상 경계(A-H, C-B, D-E, F-E, G-H)는 경계면의 수직 방향으로의 전계와 캐리어 밀도의 변화가 없다고 가정하였다(6). 물리적 경계인 절연막과 실리콘의 계면(B-E)에서는 Gauss법칙을 만족하므로 경계조건은 다음과 같다.

$$\epsilon_{\text{ox}} \frac{\partial \psi}{\partial n} \Big|_{\text{ox}} - \epsilon_{\text{ins}} \frac{\partial \psi}{\partial n} \Big|_{\text{ins}} = Q_{\text{int}} \quad (3-1)$$

반도체 방정식에 사용된 각 변수들의 값의 차가 크므로 underflow와 overflow 발생을 피하기 위해 모든 변수를 무차원 값으로 만드는 Scaling(8)을 썼다.

3) 풀이방법

이 식을 위한 차승법(finite difference method)인 five point 이산화법을 사용하여 각 node점으로 이산화했다. 각 node점으로 이산화된 방정식의 해를 구하기 위해 Gummel이 제안한 반복 계산법(Iteration method)을 사용하였다. 전류연속방정식은 반복 계산법 중 Gauss-Seidel 방법(9)을 사용하였고 poisson방정식은 SOR(Successive Over Relaxation method)방법(9)을 사용하였다. 모든 node에서 수렴조건이 만족되었을때 방정식이 수렴되었다고 보았다. 전위와 캐리어 농도에 대한 초기값을 추측한 다음, poisson방정식으로 부터 전위분포를 구했다. 이때 전위분포가 수렴조건을 만족하면 전류연속방정식을 풀어 캐리어 농도를 얻고 캐리어 농도가 수렴조건을 만족하지 못하면 다시 poisson방정식을 푸었다. 이러한 과정을 통해 poisson방정식과 전류연속방정식 모두가 수렴될 때까지 반복했다.

4.결과 및 고찰

채널폭 $15\mu\text{m}$ 이고 길이가 $1.5\mu\text{m}$ 인 n채널-SNOSFET 제작 공정으로 부터 얻은 2차원 불순물 농도분포는 그림 4-1와 같다. 소오스와 드레인 영역의 농도는 약 10^{20}cm^{-3} 이며 약 $0.25\mu\text{m}$ 의 N+영역과 약 $0.1\mu\text{m}$ 의 N-영역이 DDD구조를 형성함을 볼 수 있다. 또한 유효 채널길이는 약 $0.2\mu\text{m}$ 의 측면확산에 의해 줄어 들었고, 문턱전압 조절을 위한 shallow implantation과 punch through 현상을 알기 위한 deep implantation을 볼 수 있다.

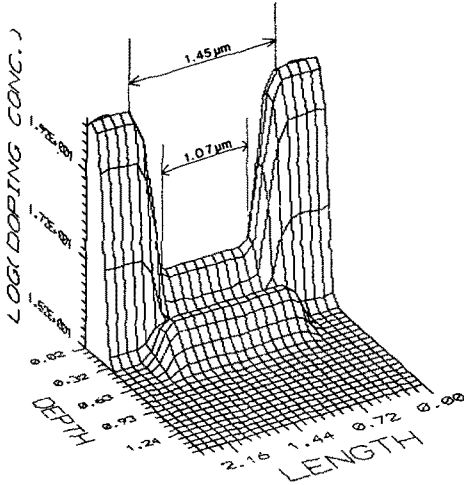


그림 4-1. 2차원적 불순물 농도분포

인가전압에 따른 전위분포와 캐리어 농도 분포변화를 조사하기 위하여 게이트에 9V를 드레인 3V를 인가한 경우를 조사하였다. 그림 4-2는 전위분포이다. 드레인 접속은 오른쪽이며, 인가한 게이트 전압에 의해 표면 전위 증가하여 소오스와 채널영역간의 전위차가 거의 존재하지 않음을 알 수 있다. 드레인 영역의 전위가 소오스 영역의 전위보다 인가전압 만큼 증가함을 보인다.

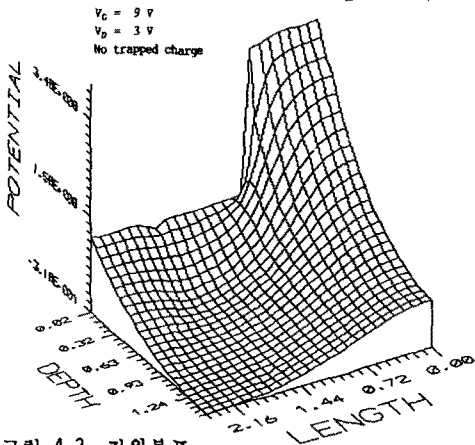


그림 4-2. 전위분포

($V_G = 9V, V_D = 3V, \text{No trapped charge}$)

그림 4-3은 전자농도분포이다. 게이트 전압에 의해 표면에서 전자 농도가 증가하여 채널을 형성한다. 이때 채널에서의 전자농도는 약 10^{17}cm^{-3} 이다. 인가한 드레인 전압에 의해 드레인과 벌크영역에서 역 바이어스가 증가한다. 따라서 이영역에서 공핍영역이 증가함으로 소오스와 벌크영역에 비해 전자 농도가 감소함을 보인다. 또한 드

래인과 채널 영역에서 pinch-off 현상이 나타나 전자농도가 크게 감소함을 볼 수 있다.

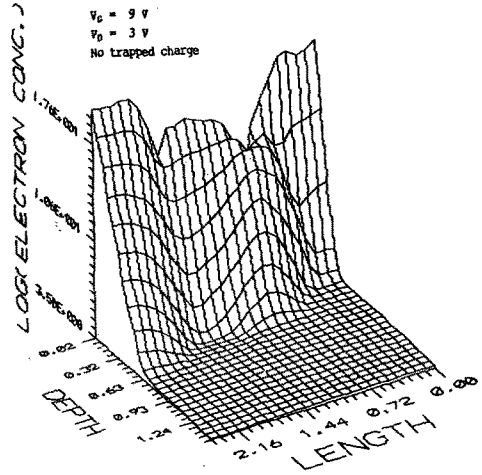


그림 4-3. 전자농도분포

($V_G = 9V, V_D = 3V, \text{No trapped charge}$)

기억전하량에 따른 전위분포와 캐리어 농도분포를 얻기 위하여 기억전하량이 10^{11}cm^{-3} 인 경우 ($V_G=0V, V_D=2V$)를 조사하였다. 기억트랩에 기억된 전하가 음(-)전하이므로 표면에는 양(+)전하가 증가한다. 따라서 표면에서의 전위가 벌크에서의 전위보다 훨씬 감소함을 보인다 (그림 4-4). 표면전위는 약 $-6.6V$ 로 소오스와 전위차는 약 7.0 정도이다. 게이트 전압을 9V로 증가하여도 표면전위(그림 4-5)는 여전히 낮음을 보인다. 기억전하가 없을 경우인 그림(4-2)에서 표면전위는 증가하여 소오스와 전위차가 거의 존재하지 않았던 반면에 트랩에 전하량이 존재할 경우에는 게이트에 같은 9V를 인가하여도 여전히 표면전위는 벌크전위보다 낮음을 알 수 있다. 그러므로 같은 표면전위를 갖기 위해서는 높은 게이트전압이 필요함을 알 수 있다. 문턱전압을 채널형성 전압으로 볼때 기억/소거에 따라서 문턱전압 이동을 예상 할 수 있다.

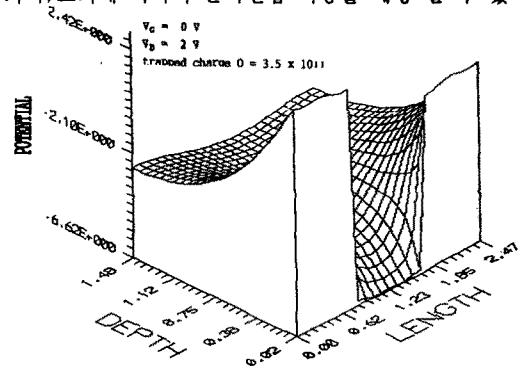


그림 4-4. 전위분포

($V_G = 0V, V_D = 2V, \text{trapped charge } Q = 3.5 \times 10^{11}$)

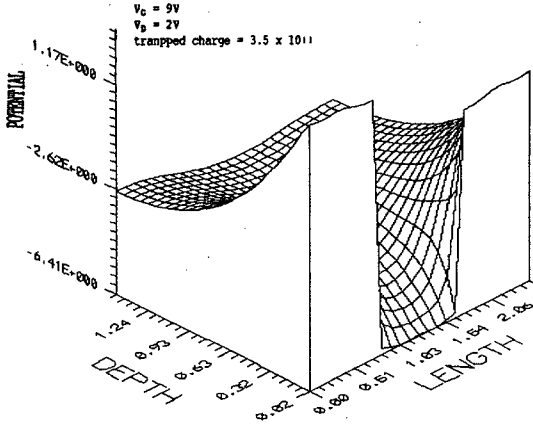


그림 4-5. 전위분포
($V_G = 9V$, $V_D = 2V$, trapped charge $Q = 3.5 \times 10^{11}$)

전자농도는(그림 4-6) 표면에는 축적된 양(+)전하로 인해 표면에서의 전자농도가 벌크에서 보다 적음을 나타낸다. 표면에서 전자농도는 약 10^{-5}cm^{-3} 이다.

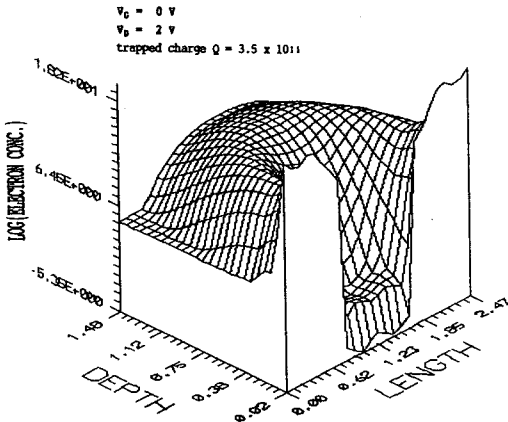


그림 4-6. 전자농도분포
($V_G = 0V$, $V_D = 2V$, trapped charge $Q = 3.5 \times 10^{11}$)

5. 결론

본 논문은 비휘발성 SNOSFET 기억소자를 직접 제작하지 않고도 제작조건과 외부인가 bias에 따른 동작특성을 2차원 전산모사 프로그램을 통해 예측하였다.

제작 조건과 소자 동작 조건에 따른 전산모사 결과는 다음과 같다.

1. 제작된 SNOSFET 소자는 DDD 구조를 가지며, $0.25 \mu\text{m}$ 의 측면 확산이 생겨 채널길이가 $1.07 \mu\text{m}$ 로 변화하였다.
2. 음전하가 기억트랩에 포획될 경우 전하량이 들수록 표면전위가 낮아지고, 트랩된 전하의 영향으로 표면에서 전자농도는 감소하며, 평균 농도는 증가함을 알 수 있다. 또한, 채널을 형성하기 위해서는 높은 GATE전압이 요구되며, 그 결과로 문턱전압의 이동을 예상할 수 있다.

3. DRAIN 전압이 증가하면, DRAIN 영역에서 공핍영역의 증가로 전자의 농도가 감소함을 확인할 수 있다
4. GATE 전압의 증가에 따라 표면전위가 증가하므로 GATE 영역과 SOURCE 영역과의 전위차는 감소하고, 표면에는 채널이 형성된다.

참고문헌

- 1) H.K.Gummel, IEEE Trans. Electron Dev., vol. ED-11, p.455, 1964
- 2) S.Selberherr, The Original Paper is Ph.D. Dissertation Thesis, Technical University of Vienna, Austria, Translated by Semiconductor Physics, Inc., 1982
- 3) S.Selberherr, et al., IEE Trans. Electron Dev., vol.ED-27, p.1540, 1980
- 4) Slotboom, J.W.: The pn-Product in Silicon. Solid State Electron. 20, p.279-283, 1977
- 5) G.Baccarani, et al., Advances in CAD for VLSI process and device modeling, (W.Engl, ed.), p.119, Elsevier science publishers b.v.Amsterdam, 1986
- 6) S.Selberherr, Ch.4, p.86, Springer-Verlag Wien New-York, 1984
- 7) K.Thornber, Journal of Applied Physics, vol.51, p.2127-2136, April 1980
- 8) P.A.Markowich, "The Stationary Semiconductor Device Equations", New York: Springer, 1986
- 9) G.D.Smith, "Numerical Solution of Partial Differential Equation: Finite Difference Methods", oxford