

# GTO 다이리스터의 미시적 모델링과 거시적 모델링에 의한 변환기 시뮬레이션

서영수\*, 백동현\*\*, 김영춘\*, 조문택\*, 서수호\*  
\* 명지대학교 \*\* 경원전문대학

Converter Simulation by the Micro Modeling and  
Macro Modeling of GTO Thyristor

Young-Soo Seo\*, Dong-Hyun Baek\*\*, Young-Chun Kim\*, Moon-Taek Cho\*, Soo-Ho Seo\*  
\* Myong-Ji University \*\* Kyung-Won Junior College

## Abstract

The GTO model is based on the Ebers-Moll equation extended to include the three - junction devices and a detailed description of the implementation of the model equation as well as defferent tests are discussed. Problems to be considered for the snubber design, such as voltage spike reduction, maximum GTO anode current, and switching power, were discussed using the calculation model.

The macro model is very useful for simulation of GTO circuit and high power circuit switch in high frequency and complex structure.

## I. 서론

본 논문에서 나타낸 GTO 다이리스터의 모델링은 미시적 방법과 거시적 방법을 제시했다. 개발한 미시적 모델링은 3접합 소자를 포함하기 위해 확장된 Ebers-Moll 방정식에 근거를 두었으며, 모델링 방정식의 상세한 설명을 나타냈고, 또한 GTO 다이리스터 내부의 물리적인 현상을 고려하지 않고 외부에서 일어나는 현상을 이용하여 모델링을 한 거시적 모델링은 모델이 간단하여 컴퓨터 계산효율을 높일 수 있을 뿐 아니라 모델내부에 정해진 루우프를 생각하지 않기 때문에 수치해석상의 문제는 발생되지 않는 큰 장점을 갖는다. 이러한 모델은 주로 대응량 혹은 고주파 전력회로의 시뮬레이션용으로는 대단히 유리하다.

## II. GTO 다이리스터 모델링

### II-1. 미시적 모델링

P-N-P-N 4층 소자의 동작을 위한 해석은 물리적 과정의 모델링에 근거를 두고 이것은 물리적인 소자과정에 관련된 회로 합성의 결과이다.

본 논문에 나타낸 GTO의 미시적 모델은 Ebers-Moll 방정식으로 부터 개발됐고, 방정식은 모델의 전류와 축적전하로 정의된다.<sup>[1]</sup>

$$\begin{aligned} I_{d3} &= I_{03}(e^{v_{3k}/v_{T3}} - e^{-v_{3k}/v_{T3}}) \\ I_{d2} &= I_{02}(e^{v_{23}/v_{T2}} - e^{-v_{23}/v_{T2}}) \\ I_{d1} &= I_{01}(e^{v_{12}/v_{T1}} - e^{-v_{12}/v_{T1}}) \\ I_{dd2} &= \alpha_3(I_{d3})I_{d3} + \alpha_1(I_{d1})I_{d1} \\ I_{dd1} &= \alpha_2(I_{d2})I_{d2} \\ I_{dd3} &= \alpha_4(I_{d2})I_{d2} \\ Q_1 &= Q_{01} e^{v_{12}/v_{T1}} \\ Q_2 &= Q_{02} e^{v_{23}/v_{T2}} \\ Q_3 &= Q_{03} e^{v_{3k}/v_{T3}} \end{aligned}$$

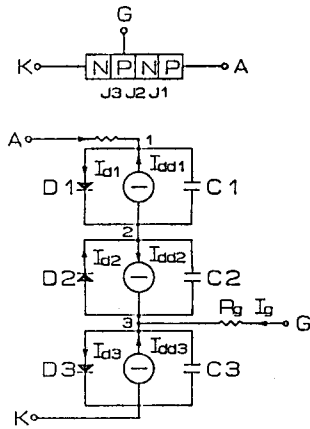


그림 2-1. GTO 모델의 등가회로

### II-2. 트랜지스터 모델링

그림 2-2는 E-B와 C-B 공핍층에 대한 전류 합성을 나타낸다. E-B 공핍층과 고차되는 에미터 전류는 2가지의 소수 캐리어 확산 전류로 계산된다.

그림 2-3은 Ebers-Moll 등가회로이다.

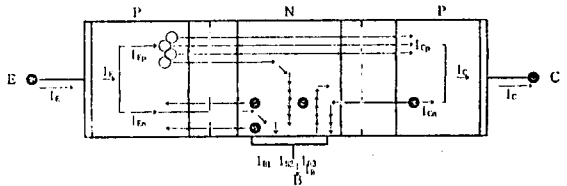


그림 2-2. 이상적인 바이폴라 트랜지스터

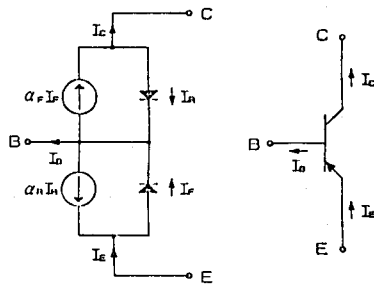


그림 2-3. Ebers-Moll 등가회로

### II-3. 전류 제어 전류원 모델링

그림 2-4에 나타난 전류 제어 전류원은 다음 식으로 쓸 수 있다.

$$V_d = 0, I_f = aI_d$$

$$V_{j0} - V_{j'0} = 0$$

$j$  절점에서  $\rightarrow (+1)I_d$

$j'$  절점에서  $\rightarrow (-1)I_d$

$K$  절점에서  $\rightarrow I_f = (+a)I_d$

$K'$  절점에서  $\rightarrow -I_f = (-a)I_d$

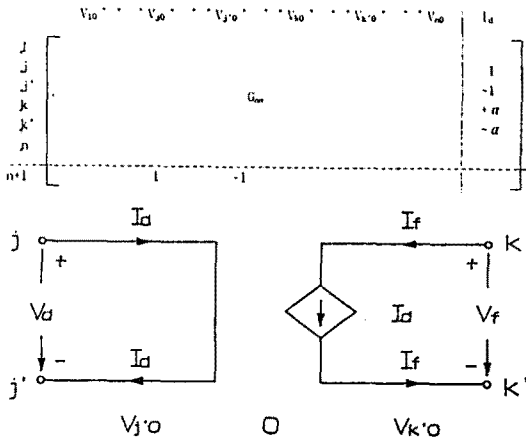


그림 2-4. 전류 제어 전류원

### II-4. 거시적 모델링

그림 2-5는 거시적 모델이다. 거시적 모델을 회로의 역할을 시뮬레이션해 주는 아날로그 모델과 GTO의 상태를 알고리즘적으로 점검해주는 논리모델로 구성되어 있다.

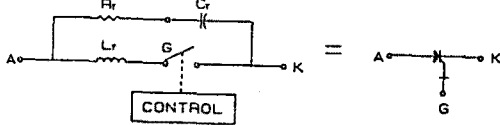


그림 2-5. GTO 거시적 모델

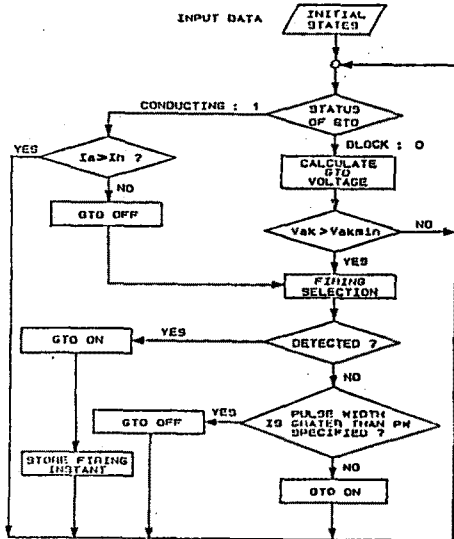


그림 2-6. 다이리스터 논리 모델

GTO 스위칭 요소는 그림 2-5에 나타난 것처럼 인덕터-저항기-캐패시터 결합으로 모델링 하였다. GTO 소자는 인덕터  $L_T$  값을 도통상태에서 유한값, 저지상태에서는 무한값으로 모델링 하였다. 인덕터  $L_T$ 와 병렬 결선된  $R_T$ 와  $C_T$ 회로는 턴-온, 턴-오프동안에 GTO소자의 다이내믹 회복 특성을 나타낸다. 이 모델은 높은 주파수에서 동작하는 다이리스터 회로나 대전력 다이리스터 회로의 역방향 과도 현상이 시뮬레이션 잘되는 수치 해석상의 문제가 해결된다. [2], [3]

### III. 스너버 회로 계산 모델

그림 3-1에 나타난 간단한 GTO 인버터에 키르히 호프의 법칙을 적용하면, GTO 스너버 회로에 대한 기본 방정식은 다음과 같이 쓸 수 있다.

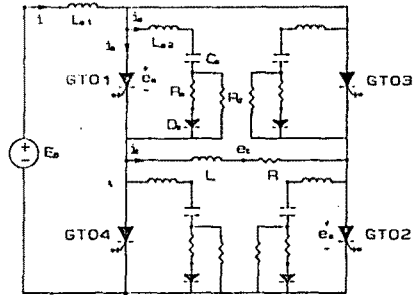


그림 3-1. 단상 인버터 회로

$$E_B = e_1 + L_{s1} \frac{di}{dt} + 2e_o$$

$$e_1 = L \frac{di_1}{dt} + Ri_1$$

$$e_o = L_{s2} \frac{di_s}{dt} + R_{eff} i_s + \frac{Q_s}{C_s}$$

$$i = i_a + i_s$$

$$R_{eff} = \frac{R_s R_d}{R_s + R_d}$$

### IV. 시뮬레이션 결과

본 논문에서 제안한 GTO 소자의 미시적 모델에서 턴-온과 턴-오프시 애노드 전류와 애노드 전압의 파형은 그림 4-1에 나타냈다. 이때 게이트 전류파형은 그림 4-2에 나타냈다. 그리고 거시적인 모델에 대한 턴-온과 턴-오프시 애노드 전류와 애노드 전압은 그림 4-3에 나타냈다. 그림 4-4는 스너버 인덕턴스  $L_{s2}$ 가 0.1[ $\mu$ H], 0.3[ $\mu$ H], 0.5[ $\mu$ H], 0.8[ $\mu$ H], 1[ $\mu$ H]일 때의 GTO 양단(A-K사이)에 나타나는 스파이크 전압과 오버-슈루트 전압을 시뮬레이션 한 것으로 서로 다른 결과를 보여주고 있다. 그림 4-5는 스너버 콘덴스  $C_s$ 에 의한 영향으로 0.5[ $\mu$ F], 1.0[ $\mu$ F], 2.0[ $\mu$ F], 3.0[ $\mu$ F], 4.0[ $\mu$ F]일 때 애노드 전압을 시뮬레이션한 것으로 스파이크 전압과 오버-슈루트 전압의 경감은 스너버 콘덴서 소자에 크게 영향을 받고 있다. 또한, 그림 4-6은 인버터 회로의 출력파형이다.

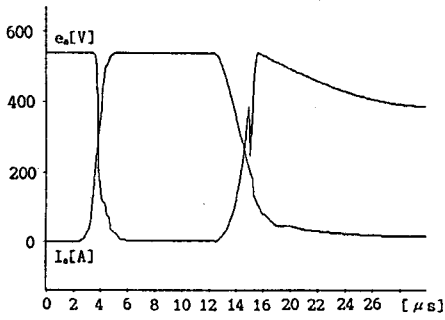


그림 4-1. 미시적 모델에 대한 턴-온과 턴-오프시 애노드 전압과 전류

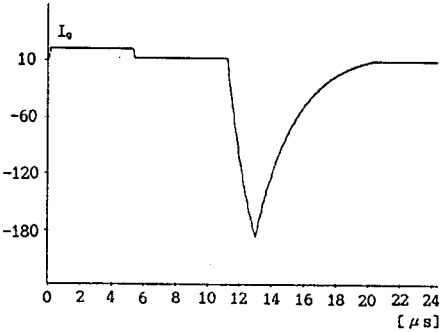


그림 4-2. 턴-온과 턴-오프시 게이트 전류

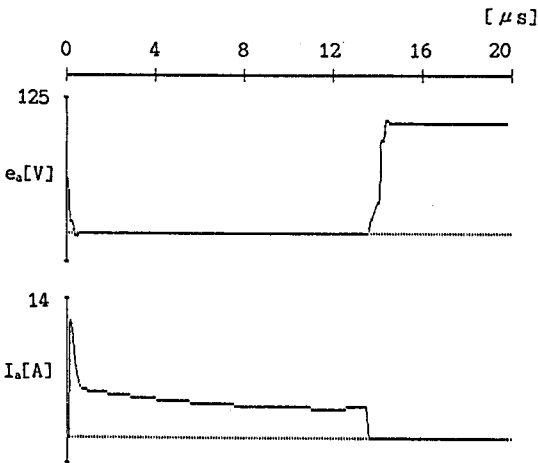


그림 4-3. 거시적 모델에 대한 턴-온과 턴-오프시 애노드 전압과 전류

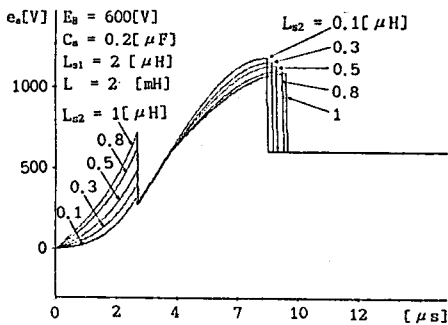


그림 4-4. 스너버 표류 인덕턴스  $L_s$ 가변에 대한 애노드 전압 파형

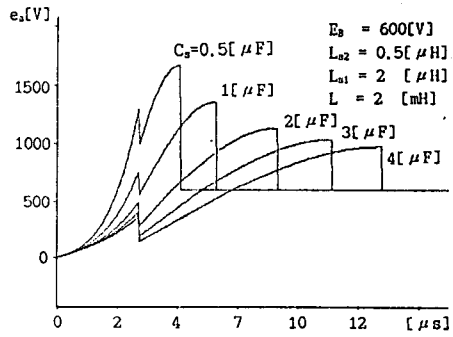


그림 4-5. 스너버 캐패시턴스  $C_s$ 가변에 대한 애노드 전압 파형

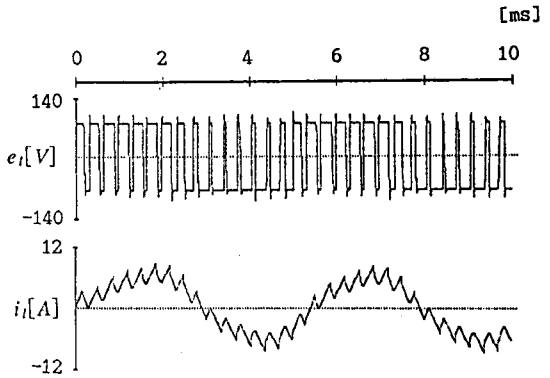


그림 4-6. 인버터 회로의 출력파형

## V. 결론

본 논문의 목적은 GTO 구조와 특성을 시뮬레이션 하기 위한 것이다. 제안한 미시적 모델은 GTO의 재생현상을 특별히 고려했다.

그리고 거시적 모델은 복잡한 구조와 고주파에서 스위칭 하는 GTO 회로나 대전력 회로의 시뮬레이션에 매우 유용 했다.

## 참고 문헌

- [1] M. Kurata, "A New CAD - Model of a Gate Turn - off Thyristor," in 1974 IEEE PESC Rec., pp.125-133
- [2] A. Tada and H. Hagino, "A High-Voltage, High-Power, Fast - Switching Gate turn - off Thyristor," IEEE Trans. Electron Devices, vol. ED-29, 1982, pp.66-73
- [3] Yon-Tack Chung, Young-Soo Seo, Moon-Taek Cho, "A Study on Circuit Simulation Using GTO Thyristor Modeling," Conference Rec. of the Power Conversion Conference-Yokohama, 1993, pp.557-562