

Short channel SONOSFET 비휘발성 기억소자의 Si-SiO₂ 계면특성에 관한 연구

김 화 목^{○*}, 이 상 배^{*}, 서 광 열^{*}, 강 창 수^{**}
 * 광운대학교 전자재료공학과, ** 유한전문대학 전자과

A Study on the Characteristics of Si-SiO₂ interface in Short channel SONOSFET Nonvolatile Memories

Hwa Mok Kim^{○*}, Sang-bac Yi^{*}, Kwang-yell Seo^{*}, Chang Su Kang^{**}
 * Dept. of Electronic Materials Engineering, Kwangwoon Univ., ** Dept. of Electronics, Yuhan College

ABSTRACT

In this study, the characteristics of Si-SiO₂ interface and its degradation in short channel SONOSFET nonvolatile memory devices, fabricated by 1Mbit CMOS process (1.2μm design rule), with 65Å blocking oxide layer, 205Å nitride layer, and 30Å tunneling oxide layer on the silicon wafer were investigated using the charge pumping method.

For investigating the Si-SiO₂ interface characteristics before and after write/erase cycling, charge pumping current characteristics with frequencies, write/erase cycles, as a parameters, were measured.

As a result, average Si-SiO₂ interface trap density and mean value of capture cross section were determined to be 1.203×10¹¹ cm⁻²eV⁻¹ and 2.091×10⁻¹⁶ cm² before write/erase cycling, respectively. After cycling, when the write/erase cycles are 10⁴, average Si-SiO₂ interface trap density was 1.901×10¹¹ cm⁻²eV⁻¹. Increasing write/erase cycles beyond about 10⁴, Si-SiO₂ interface characteristics with write/erase cycles was increased logarithmically.

1. 서 론

비휘발성 반도체 기억소자의 scale-down에 관한 연구는 EEPROM의 고집적화 및 저전압화를 위한 선행과제이다. 게이트 절연막 두께의 scale down은 저전압화 문제와 직접적으로 관계한다. MNOS 기억소자에 있어서, 산화막의 두께는 기억유지특성의 보장을 위해서 20Å까지, 절화막 두께는 charge centroid를 고려하여 190Å까지 scale down이 가능하다.^[1] 기억 및 소거동작은 10V~16V에서 구동 가능하다. 최근에 Suzuki등^[2]과 White등^[3]은 절화막위에 산화막을 한층 더 입힌 ONO(Oxide-Nitride-Oxide)구조를 비휘발성 EEPROM의 게이트 절연막으로 이용하여 절화막을 30Å까지 scale-down 시키므로써 ±5V 구동의 비휘발성 반도체 기억소자를 실현하였다. 비휘발성 SONOS 기억소자에서 Si-SiO₂ 계면특성은 기억주입 및 소거를 위한 스윕칭 특성과 기억유지특성에 크게 영향을 미친다. 기억상태의 스윕칭을 위해서는 고전압을 극성을 단리하면서 반복적으로 게이트에 인가하기 때문에 소자가 열화된다. 기억/소거의 반복횟수가 증가됨에 따라서 Si-SiO₂ 계면트랩밀도는 증가하여 채널의 표면이동도 감소, 문턱전압(threshold voltage)이동, memory window 크기 감소 및 중심이동, 그리고, 기억유지능력 저하등이 발생한다. 따라서, Si-SiO₂ 계면특성에 관한 연구는 고신뢰성의 비휘발성 EEPROM 실현을 위해서 상당히 중요하고 필요한 연구라 생각된다.

본 연구는 short channel SONOSFET 비휘발성 기억소자용 기존의 1 Mbit CMOS 제조공정(1.2μm design rule)에 따라서 제작하고, charge pumping 방법을 이용하여 Si-SiO₂ 계면특성

및 기록/소거 반복횟수에 따른 계면특성의 열화를 조사하는데 있다.

II. 이 론

주파수 f인 일련의 펄스파형 펄스전압을 게이트에 인가한 경우, charge pumping 전류(I_{CP})는 다음과 같다.^[4]

$$I_{CP} = 2fqA_g \overline{Dit} kT \left[\ln(\nu_{th} n_i \sqrt{\sigma_n \sigma_p}) + \ln\left(\frac{|V_{FB}-V_{th}|}{|\Delta V_G|} \sqrt{\alpha(1-\alpha)}\right) \right] \quad (1)$$

여기서, q는 전자전하량, A_g는 게이트 면적, \overline{Dit} 는 평균 Si-SiO₂ 계면트랩밀도, k는 Boltzmann 상수, T는 절대온도, ν_{th}는 캐리어의 평균 열속도, σ_nσ_p는 전자 및 정공의 포획 단면적, V_{FB}는 flatband 전압, V_{th}는 문턱전압, ΔV_G는 게이트 펄스 크기, 그리고 α는 1주기당 상승시간의 비이다.

따라서, 1주기당 재결합하는 계면트랩전하량 Q_{SS}은 다음과 같이 표현할 수 있다.

$$Q_{SS} = I_{CP}/f = 2qA_g \overline{Dit} kT \left[\ln(\nu_{th} n_i \sqrt{\sigma_n \sigma_p}) + \ln\left(\frac{|V_{FB}-V_{th}|}{|\Delta V_G|} \sqrt{\alpha(1-\alpha)}\right) \right] \quad (2)$$

식(2)를 log f로 미분하면 다음식과 같다.

$$\frac{dQ_{SS}}{d(\log f)} = \frac{2q\overline{Dit}kT}{\log e} A_g \quad (3)$$

또한, 식(2)에서 Q_{SS}를 영(0)으로 놓으면 다음과 같은 관계식이 성립된다.

$$\sqrt{\sigma_n \sigma_p} = \frac{1}{\nu_{th} n_i} \frac{|\Delta V_G|}{|V_{FB}-V_{th}|} \frac{f}{\sqrt{\alpha(1-\alpha)}} \quad (4)$$

식(3)과 식(4)로부터 알 수 있듯이 여러가지 주파수에 따른 charge pumping 전류값을 측정할 다음, log f에 대한 Q_{SS}의 관계로부터 얻은 곡선의 기울기를 구하여 평균계면트랩밀도 \overline{Dit} 를, 외삽법에 의해 Q_{SS}=0가 되는 주파수 f₀를 결정하므로써 $\sqrt{\sigma_n \sigma_p}$ 를 각각 얻을 수 있다.

III. 실험

본 연구를 위해서 사용한 SONOSFET 비휘발성 기억소자는 비저항이 6~9Ω-cm, 결정방향이 (100), p형 실리콘 웨이퍼를 기판으로 사용하여 기존의 1Mbit CMOS 제조공정(1.2μm design rule)에 따라 제작하였다. tunneling 산화막은 30Å, 절화

막은 205Å, blocking 산화막은 65Å이다.

반도체 금지간격내에서의 에너지 분포를 넓은 범위에 걸쳐 조사하기 위해서 펄스의 크기는 일정하게 하고 펄스의 기준준위만을 변화시키는 Elliot 측정법^[5]을 사용하였으며, charge pumping 측정장치는 그림1과 같다.

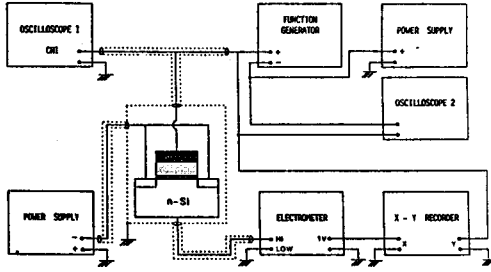


그림 1 Charge Pumping 측정 장치도
Fig. 1 Experimental setup for performing charge pumping measurements.

Si-SiO₂ 계면특성의 열화를 조사하기 위해서 게이트에 $V_w = +22V$, $V_B = -20V$, $t_p = 10msec$ 의 구형 펄스전압을 인가하여 소자의 열화를 촉진시키고 기억/소거 반복횟수를 달리 하면서 위에서의 동일한 방법으로 측정을 수행하였다.

IV. 결과 및 고찰

4-1. Si-SiO₂ 계면트랩특성

소오스 및 드레인에 $V_B = -0.5V$ 인 역바이어스 전압을 인가하고, $\Delta V_G = 3V$, $\sigma = 0.5$ 인 일련의 톨니파형 펄스전압을 인가한다. 이때, 펄스전압의 기준준위 V_{GL} 는 0V부터 +12V까지 변화시키면서 기판전류를 측정하면 $I_{CP} - V_{GL}$ 특성곡선을 얻을 수 있으며, 주파수에 따른 $I_{CP} - V_{GL}$ 특성곡선은 그림2와 같다. 그림2로부터 각각의 주파수에 따른 charge pumping 전류의 최대값을 구하여, 주파수에 따른 최대 charge pumping 전류값($I_{CP,MAX}$)을 나타내면 그림3과 같다. 그림에서 보는 바와같이 주파수가 증가함에 따라 I_{CP} 는 선형적으로 증가함을 알 수 있었다.

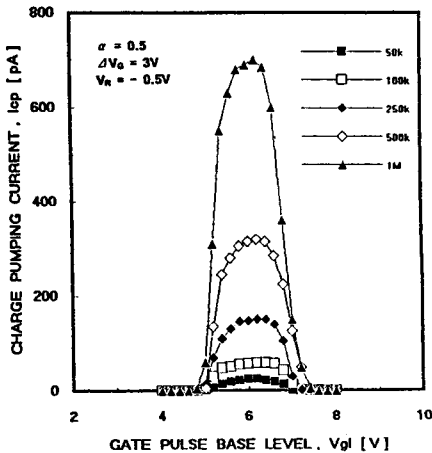


그림 2 주파수 변화에 따른 $I_{CP} - V_{GL}$ 특성 곡선
Fig. 2 Charge pumping current versus base level of the pulse applied on the gate for various frequencies.

그림3의 주파수에 따른 I_{CP} 값은 식(2)에 의해서 1주기당 재결합하는 전하량 Q_{SS} 값으로 바꾸면 주파수에 따른 Q_{SS} 관계를 얻을 수 있으며 그결과는 그림4와 같다. 그림으로부터 Q_{SS} 는 주파수에 따라서 대수함수적으로 증가함을 알 수 있었다. 최소자승법에 의하여 실험값과 가장 잘 일치하는 직선(그림4의 점선)

을 구한 다음, 그 직선의 기울기($= \frac{dQ_{SS}}{d \log f}$)를 식(3)에 대입하

여 평균계면트랩밀도 $\overline{D_{it}}$ 를 결정하고, 또한 그 직선을 가로축에 대해 외삽하여 $Q_{SS}=0$ 가 되는 주파수 $f=f_0$ 를 구하고, 이것을 식(4)에 대입하여 평균포획단면적 σ 을 결정하였다. 이렇게 구한 평균계면트랩밀도 $\overline{D_{it}}$ 및 평균포획단면적 $\sqrt{\sigma_n \sigma_p}$ 은 각각 $1.203 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$, $2.091 \times 10^{-16} \text{ cm}^2$ 이었다.

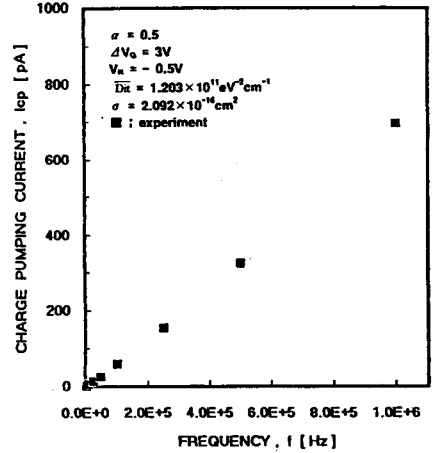


그림 3 주파수 변화에 따른 charge pumping 전류 특성
Fig. 3 Charge pumping current versus frequency of the pulse applied on the gate.

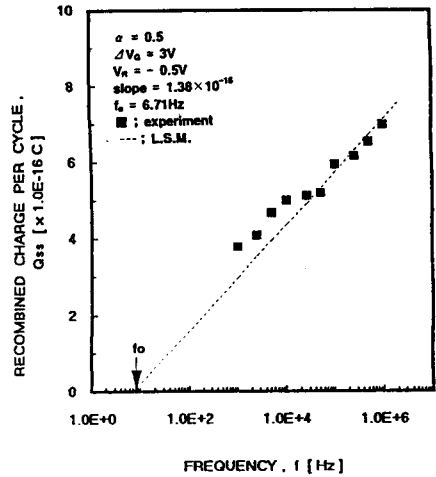


그림 4 주파수 변화에 따른 1주기당 재결합하는 전하량 관계
Fig. 4 Recombined charge per cycle versus frequency of the pulse applied on the gate.

4-2. 기억/소거 반복횟수에 따른 Si-SiO₂ 계면특성

$V_w = +22V$, $V_B = -20V$, $t_p = 10msec$ 인 구형 펄스전압을 기억/소거 반복횟수를 변화시키면서 게이트에 인가한 후, 주파수를 100kHz로 고정하고 반복횟수에 따른 $I_{CP} - V_{GL}$ 특성곡선을 측정하면 그림5와 같다.

그림으로부터 알 수 있듯이 상온에서 기록/소거 반복횟수가 증가함에 따라서 I_{CP} 가 증가함을 알 수 있었고, 이때, 4-1에서와 동일한 방법으로 각 반복횟수에 대한 I_{CP} 와 Q_{SS} 을 구하여 각 반

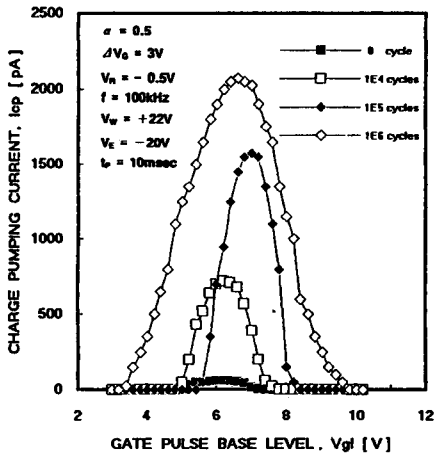


그림 5 기록/소거 반복횟수에 따른 $I_{CP}-V_{GL}$ 특성 곡선
 Fig. 5 Charge pumping current versus base level of the pulse applied on the gate for write/erase cycling.

복횟수에 따른 $\overline{D_{it}}$ 를 구한 결과 기록/소거 반복횟수가 10^4 , 10^5 , 10^6 회 일때 $1.901 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$, $5.266 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$, $8.326 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 이었다. 이 결과로부터 $\overline{D_{it}}$ 는 기록/소거 반복횟수에 따라 증가함을 알 수 있고, 기록/소거 반복횟수에 따른 $\overline{D_{it}}$ 의 관계를 나타내면 그림6과 같다. 그림으로부터 알 수 있듯이 기록/소거 반복횟수가 증가함에 따라 $\overline{D_{it}}$ 는 대수함수적으로 증가함을 알 수 있었다.

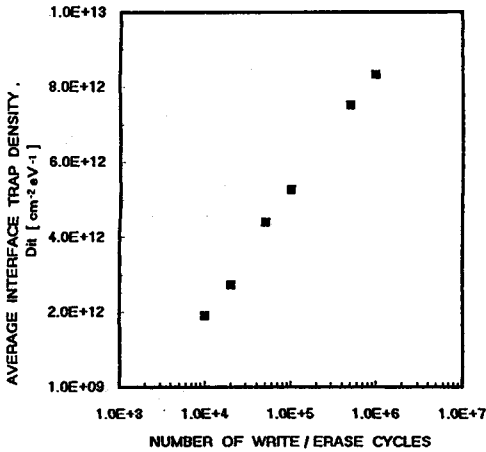


그림 6 기록/소거 반복횟수에 따른 평균 Si-SiO₂ 계면트랩밀도 관계
 Fig. 6 Average Si-SiO₂ interface trap density versus write/erase cycling.

V. 결론

본 연구를 위하여 1MBit CMOS 제조공정(1.2 μm design rule)에 따라서 제작한 채널길이 1.7 μm 의 short channel SONOSFET 비휘발성 기억소자를 제작하였다. tunneling 산화막의 두께는 30Å, 절화막의 두께는 205Å, 그리고 blocking 산화막의 두께는 65Å이며 게이트 진극재료로는 다결정 실리콘을 사용하였다. 소자의 Si-SiO₂ 계면특성과 기록/소거 반복횟수에 따른 계면특성의 열화를 charge pumping 방법에 의해 조사하였으며, 이상의 실험으로부터 얻은 결과는 다음과 같다.

- 1) 열화된 SONOSFET 기억소자의 평균계면트랩밀도는 $1.203 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 이고, 평균포획단면적은 $2.091 \times 10^{-16} \text{ cm}^2$ 이었다.
- 2) 기록/소거 반복횟수가 10^4 회 일때 부터 평균계면트랩밀도는 증가하기 시작하였으며, 특히 계면트랩밀도는 반복횟수에 대수함수적으로 증가하였다. 이때의 평균계면트랩밀도는 $1.901 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 이었다.

참고 문헌

- [1] S. Minami, et al., IEEE Trans. Electron Devices, vol.38, No.11, p.2519 (1991)
- [2] E. Suzuki, et al., Jap. J. Appl. Phys., vol.22, p.581 (1982)
- [3] M. H. White, et al., Solid-State Electron., vol.33(1), p.105 (1990)
- [4] G. Groeseneken, et al., IEEE Trans. Electron Devices, vol.31, p.42 (1984)
- [5] A. B. M. Elliot, Solid-State Electron, vol.19, p.241 (1976)