

Laser CVD법에 의한 III-V 화합물 반도체 표면의 불활성화

이한신^o, 이계신, 조태훈, 허윤종, 김성진, 성영권
고려대학교 공과대학 전기공학과

The passivation of III-V compound semiconductor surface by laser CVD

H.S.Lee^o, K.S.Lee, T.H.Cho, Y.J.Huh, S.J.Kim and Y.K.Sung
Dep. of Electrical Engineering, Korea Univ.

Abstract

The silicon-nitride films formed by laser CVD method are used for passivating GaAs surfaces. The electrical properties of metal-insulator-GaAs structure are studied to determined the interfacial characteristics by C-V curves and deep level transient spectroscopy (DLTS). The SiN films are photolysis deposited from SiH₄ and NH₃ in the range of 100°C-300°C on P type, (100) GaAs. The hysteresis is reduced and interface trap density is lowered to 10¹²-10¹³ at 100°C-200°C. The surface leakage current is studied too. The passivated GaAs have a little leakage current compared to non passivated GaAs.

1. 서론

GaAs를 비롯한 III-V 화합물 반도체는 Si에서 얻을 수 없는 고진자 이동도, 탁월한 광특성 등 여러 특질을 갖추고 있어⁽¹⁾ 이들 특질을 이용한 초고속 device가 광통신, 고주파 system 등의 여러 분야에 널리 적용되고 있으며 특히 최근 들어 GaAs를 IC화한 MMIC (Microwave Monolithic IC) 등의 개발이 크게 각광을 받고 있다.⁽²⁾ 그러나 이러한 GaAs계의 IC화에는 전기적, 화학적으로 안정하고 계면특성이 우수한 절연막을 형성시키기 어렵다는 단점과 함께 소자 제작후에 소자의 표면이 전기적으로 활성화되는 것을 방지하기 위한 불활성화막의 형성이 반드시 필요함에도 불구하고 그 기술이 현저하게 낙후되어 있는 실정이다. 기존의 막형성 방법으로 열 CVD법, 플라즈마 CVD법, 양극 산화법 등이 시도되어 왔으나^(3, 4, 5, 6, 7) 어느 방법도 양호한 계면특성과 전기적, 화학적으로 안정한 막을 형성시키는 것에는 이르지 못하고 있어 새로운 막형성 기술이 크게 요구되고 있다.

한편 최근 들어 크게 각광을 받기 시작한 laser CVD법은 Plasma CVD에서 문제가 되어왔던 표면의 damage 효과가 없고 저온 공정이 가능하면서도 양호한 계면 특성을 얻을 수 있는 장점이 있어 반도체 공정에의 응용을 위한 연구가 활발히 진행되고 있다.⁽⁸⁾ 본 연구에서는 GaAs의 불활성화막을 이러한 laser CVD법을 이용하여 형성시켜 막의 여러 특성을 보고자 하였다. 형성막은 SiN막을 위주로 채택하였으며 laser CVD를 이용한 GaAs의 SiN passivation막에 대해 막자체의 특성뿐만 아니라 GaAs-형성절연막 계면에 대해 C-V계면 및 DLTS 등을 통

하여 종합적인 분석과 검토를 행하고 아울러 표면 불활성화를 위한 절연막 형성이 전극간의 leakage 전류에 미치는 영향도 검토해 보았다.

2. 시료제작 및 측정

2-1 시료의 제작

Passivation막 형성에 사용한 기판은 Si이 doping된 p형 (100) GaAs 웨이퍼였으며, carrier density는 7x10¹⁶ cm⁻³였다. 시료의 제작에 앞서 웨이퍼 표면의 유기물 및 금속이온 등에 의한 오염물질과 자연 산화막을 제거하기 위한 전처리 과정으로서 NH₄OH:H₂O₂:H₂O 용액으로 wafer 표면을 닦아낸 후 다시 HF 용액으로 표면의 산화막을 제거하였다.⁽⁹⁾ SiN막을 GaAs기판 위에 형성시키기 위해 사용한 laser는 193nm의 단파장을 가지는 ArF excimer laser였으며 그 장치의 구성도는 그림 1에 나타난 바와 같이 두개의 window가 부착된 진공반응로, 광여기공정의 고유요소인 광원과 광학계, 반응가스 공급계, 기판 가열 장치 및 진공 배기계로 구성되었다. 반응로는 아르곤 용접처리된 스테인레스 스틸로 만들었으며 진공 반응로에 부착된 두개의 window는 193 nm의 파장에서 투과율이 좋은 인공 석영을 사용하였다. ArF laser 광은 초점거리 50cm인 렌즈를 통해 반응로내의 기판위(0.3mm이하)에 주로 수평으로 조사시켰다. 본 실험에서는 laser power를 80mJ로 repetition rate는 60Hz로 고정시키고 실험을 수행하였다. 한편 window에서의 막퇴적은 무과율을 저하시킬뿐만 아니라 window의 열화에 관련되므로 N₂ purge 가스로 막이 퇴적되는 것을 방지하였다. 또한 CVD 반응로는 시료를 넣기 전에 수분을 비롯한 잔유가스를 제거키 위해 기판 holder를 400°C로 1시간정도 baking한 후 시료를 넣고 1 x 10⁻² Torr로 배기시켰다. 그 후 반응가스를 SiH₄:NH₃:N₂=20:80:100(sccm)의 비율로 넣고 약 2 Torr로 반응 압력을 유지시키면서 Laser광을 시료위에 수평으로 약 10분간 조사하였다. 이때의 기판의 온도는 100°C, 200°C, 그리고 300°C로 변화시키면서 기판온도에 따른 각 형성막의 특성을 분석하였으며 반응가스로 다카치오사의 SiH₄(95%), NH₃(99.996%)를 사용하였고 carrier 가스로 N₂를 사용하였다.

2-2 시료의 측정

우선 SiN 막의 deposition rate의 온도 의존성을 알아보기 위하여 10분간 막을 deposition시킨 후 nanoscope로 막의 두

계를 측정하였다. 다음에 SiN형성막 위에 Al전극을 진공증착시켜 MIS구조를 제작한 후 고주파 C-V와 DLTS측정을 통하여 각 온도에서의 계면트랩밀도를 추출하였다. 또한 passivation 전후의 각 전극간의 leakage current를 조사하기 위하여 반절연 GaAs기판을 사용하여 그림 2와 같은 구조로 passivation 전후의 leakage current를 실측하였다.

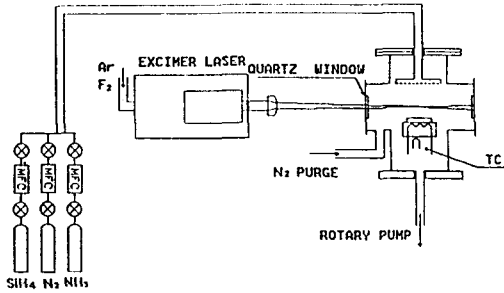


그림 1. Laser CVD 장치의 구성도

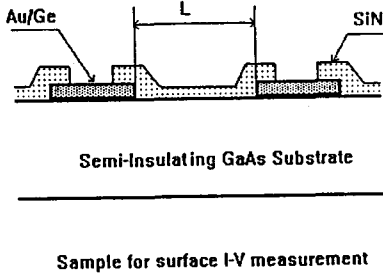


그림 2. 전극간 누설전류 측정을 위한 sample의 구성도

3. 결과 및 고찰

그림 3은 기판온도에 따른 SiN막의 deposition rate를 나타낸 것으로 기판온도가 증가함에 따라 deposition rate도 증가하는 양상을 나타내며 이는 온도 증가로 기판부근 원자들의 열분해와 반응율의 증가로 반응에의 참여 반응종들이 많아지기에 막의 퇴적율이 증가양상을 나타낸 것으로 본다.

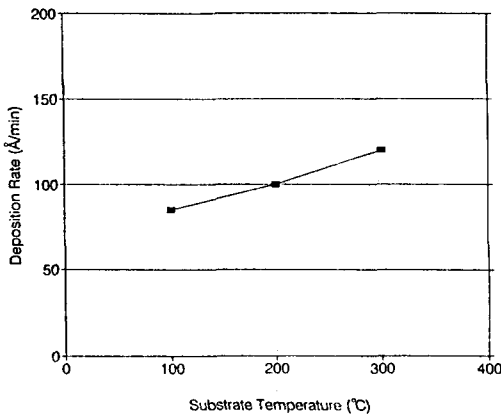


그림 3. 기판온도에 따른 SiN막의 퇴적율

그림 4는 C-V곡선의 온도효과 양상을 나타낸 것으로 V_{FB} 는 온도상승에 따라 (-)쪽으로 이동하며 hysteresis 곡선의 형태는 주입형의 양상을 나타낸다. 이것은 온도증가에 따라 Ga이온과 As이온이 SiN 막내로 더 많이 확산해 들어가고 이들의 확산이온에 의해 hysteresis가 더 심해진다는 것을 시사하고 있다. 따라서 Ga이나 As의 막 내부로의 확산방지는 저온공정 이 더욱 효과적임을 말해주고 있다.

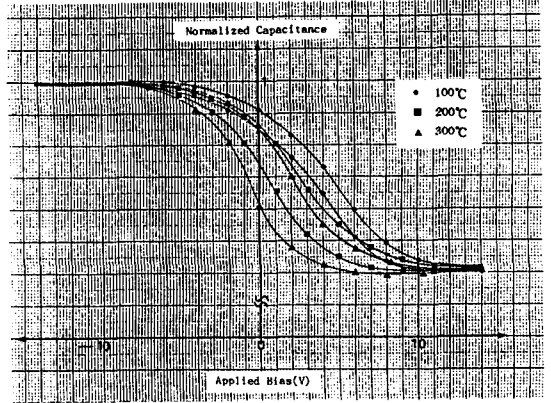


그림 4. 기판온도에 따른 C-V곡선

그림 5는 SiN 막과 GaAs계면의 계면트랩밀도를 추출하기 위한 DLTS signal의 한 예를 기판온도 100°C에서 형성시킨 SiN 막에 대해 나타낸 것이다.

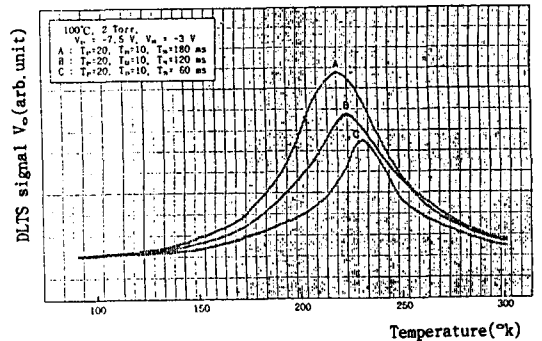


그림 5. 기판온도 100°C에서 성장시킨 SiN막의 DLTS signal

이와같은 DLTS signal에서 기존의 계면트랩밀도 도출식에 의해^(*) 계면트랩밀도를 추출한 결과는 그림 6과 같다. 그림에서 알 수 있는 바와 같이 기판의 온도가 증가할수록 계면트랩 밀도가 감소하는 양상을 나타내고 이것은 온도증가에 따라 Si와 N활성종이 GaAs의 결합이 더욱 밀접해지기 때문으로 간주된다. 그러나, 100°C-200°C정도의 저온에서는 계면트랩밀도는 10^{12} - 10^{13} eV⁻¹cm⁻² 정도로 비교적 양호한 계면상태를 이루고 있음을 알 수 있다.

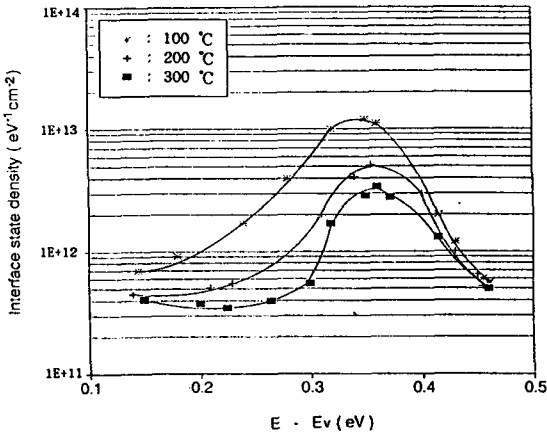


그림 6. 기판온도에 따른 계면트랩밀도의 분포

그림 7은 passivation전후의 전극간 표면 leakage전류를 측정하여 전극간의 전류-전압 특성을 나타낸 것으로 그림에서 알 수 있듯이 passivation막이 없는 경우는 저전계에서 ohmic rule에 따르나 어느임계전압 V_c 이상으로 되면 전류는 전압의 4-6승꼴로 급증한다. 그러나 절연막 형성후에 저전계에서는 non passivation과 같은 양상으로 전류치가 약간 증가하는 경향을 보이고 있으나 전류급증개시 전압 V_c 는 커지는 양상을 볼 수 있다. 이것은 passivation막 형성후에 표면 원자들의 전기적 활성이 크게 둔화된다는 것을 나타내 주고 있다.

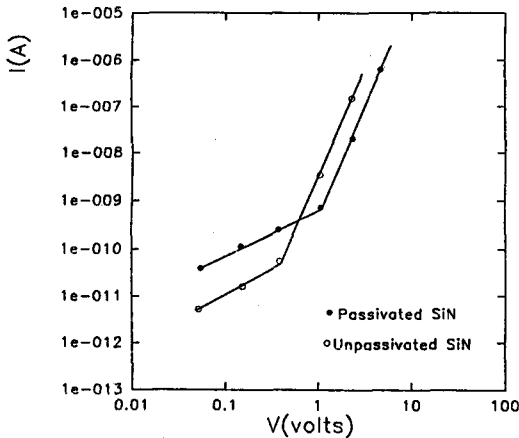


그림 7. 표면누설전류의 I-V 특성

그림 8은 전류급증개시 전압 V_c 의 전극간거리 L의존성을 나타낸 것으로 이 그림으로부터 V_c 는 L에 거의 비례하고 있고 전극간거리가 10 μm 정도로 되면 전류급증개시 전압 V_c 는 1V정도가 됨을 알 수 있다. 이 사실은 역으로 GaAs의 IC화에 있어서 IC화가 가능한 규모의 전원이 정해짐을 시사해 주고 있다.

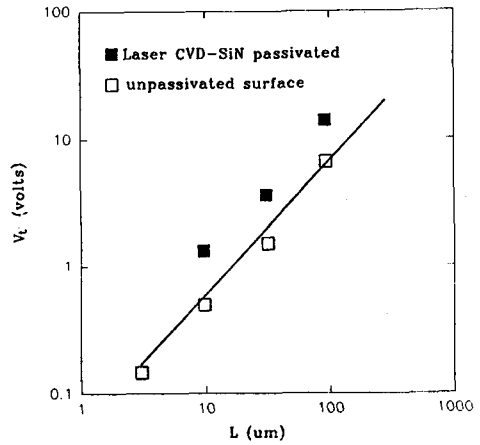


그림 8. 전류급증개시 전압(V_c)의 전극간 길이 의존성

4. 결론

Laser CVD법에 의해 GaAs기판위에 SiN막을 형성시킨 결과 다음의 결론을 이끌어 낼 수 있었다.

1. SiN막의 퇴적율은 기판온도에 따라 증가하는 양상을 보였다. 이것은 기판온도에 따라 반응에 참여할 수 있는 반응종의 생성량이 변화하기 때문이다.

2. CV곡선을 분석해 본 결과 온도증가에 따라 hysteresis 현상이 크게 나타나 Ga이나 As의 막내부로의 확산이 온도에 크게 의존함을 볼 수 있으나 100°C-200°C의 온도에서는 hysteresis 현상이 그리 크게 보이지 않아 소자 특성에는 큰 문제가 되지 않을 것으로 생각된다.

3. DLTS signal에 의해 계면트랩밀도를 측정한 결과 온도가 높을수록 계면트랩밀도가 줄어드는 것을 알 수 있었다. 그러나 100°C-200°C 정도의 온도에서도 계면트랩밀도는 10^{12} - 10^{13} eV⁻¹ cm⁻² 정도로 기존의 plasma CVD법보다 양호한 계면을 얻을 수 있었다.

4. passivation전후의 표면 leakage 전류를 측정한 결과 passivation후의 임계전압이 더 증가함을 알 수 있었다.

이상을 종합해 볼때 laser CVD법에 의해 SiN 불활성화 막을 GaAs 기판위에 형성시킬때 100°C-200°C 정도의 온도에서 막을 형성시키면 Ga이나 As의 막내부로의 확산을 억제할 수 있으며 또한 계면트랩밀도가 양호한 안정된 막을 얻을 수 있고 아울러 표면 원자들의 활성화를 방지하여 표면 leakage 전류를 줄일 수 있어 소자 제작에 응용할 때 좋은 소자 특성을 얻을 것으로 기대된다.

참고 문헌

1. M. J. Howes and D. V. Morgan, Gallium Arsenide, New York, Wiley(1986)
2. J. P. Nougier, III-V Microelectronics, New York, ϵ -MRS (1991)
3. J. Gyulai et al, Appl. Phys. Lett., 17, 332(1970)
4. S. P. Murarka et al, Appl. Phys. Lett., 26, 180(1975)
5. Amir A. Lakhani et al, IEEE Elec. Dev. Lett., EDL-6, 586(1985)
6. Raj Solanki et al, Solid State Tech., 220(1985)
7. S. Szpak, J. Electrochem. Soc., 124, 107(1977)
8. L. C. Kimerling, IEEE Trans. Nucl. Sci., 23, 1497(1979)