

\*김수성, 김일중, \*최연익, 한민구  
 서울대학교 전기공학부, \*아주대학교 전자공학부

A Design Methodology for The Minimum DIE Area of Power MOSFET's  
 Considering Thermal Resistance of the Package

\*Soo-Seong Kim, Il-Jung Kim, \*Yeorn-Ik Choi and Min-Koo Han  
 Seoul National University, \*Ajou University

ABSTRACT

An analytical method for the optimum design of the minimum die size in power MOSFETs is presented. The proposed methodology considers the thermal resistance of the package and gives the minimum die area for desired drain current levels. The results are compared with experimental data and it is found that the die size may be reduced if it is designed according to the proposed design procedure.

I. 서론

최근에 실리콘 공정 기술의 발달과 더불어 고전압 집적회로 응용 기술이 확대되면서 고전압, 대전류, 고속화를 요구하는 전력용 소자에 대한 이론적 연구가 활발히 진행 중이다. 그 가운데 전력 MOSFET은 종래의 Bipolar 트랜지스터에 비하여 입력 임피던스가 작고 스위칭 속도가 빠르며 고온에서의 안정성이 좋아 병렬 사용에 유리하여 전력 스위치로서 고전력 고속도를 요구하는 전력 회로에의 응용이 확대되고 있다. 따라서, 전력용 MOSFET의 최적 설계는 중요한 문제가 되는데, 특히 원하는 항복전압을 얻는 것과 On저항을 최소로 하는 것이 중요한 문제이다. 항복전압은 Junction termination 방법에 의하여 구현되고, 주어진 항복전압에 대하여 On저항을 최소로 하는 문제에 관한 많은 연구가 이루어졌다[3]. 그러나, 전력 MOSFET의 DIE 면적을 결정하는 문제에서는 경험적 방법에 의존하였으므로 주어진 최대 전력 및 전류에 대한 최소의 DIE 면적을 구현하는 명확한 기준이 없었다. 따라서 본 논문에서는 Package 의 열저항을 고려하여 전력용 MOSFET의 최소 DIE 면적을 구하는 해석적 방법을 제시하였으며, 이를 실험을 통하여 검증하였다.

II. 본론

전력용 MOSFET의 최대 전력은 두가지 방법으로 표현된다[1].

$$P = I_D^2 \cdot R_{on}(T_{jmax}) \quad (1)$$

$$P = \frac{T_{jmax} - T_C}{R_{thjc}} \quad (2)$$

여기서, P : power [W]  
 I<sub>D</sub> : 드레인 전류 [A]  
 T<sub>jmax</sub> : 접합부분의 최대 온도 [K]  
 T<sub>C</sub> : case 온도 [K]  
 R<sub>thjc</sub> : Package 의 열저항 [°C/W] 이다.  
 식(1)과 식(2)로부터 최대 드레인 전류를 구하면 다음과 같다.

$$I_D = \left[ \frac{T_{jmax} - T_C}{R_{on}(T) \cdot R_{thjc}} \right]^{\frac{1}{2}} \quad (3)$$

따라서, 드레인에 흐르는 최대전류는 접합부분의 온도가 최대일 때 얻어진다. 접합 부분의 최대 온도 (T<sub>jmax</sub>) 와 case 의 온도 (T<sub>C</sub>) 를 각각 150°C, 27°C 라고 가정하면 On저항은 아래와 같다.

$$R_{on}(T_{jmax}) = 2.2R_{on}(T_C) = 2.2 \frac{R_{on}'}{A_c} \quad (4)$$

여기서, A<sub>c</sub> 와 R<sub>on'</sub>는 각각 active cell 의 면적[mm<sup>2</sup>]과 specific On저항[Ω·mm<sup>2</sup>]을 나타낸다. 또한 DIE면적과 관련이 있는 Package의 열저항(R<sub>thjc</sub>)은 아래와 같이 표현할 수 있다[4].

$$R_{thjc} = \frac{a}{A_D} + b \quad (5)$$

여기서, a 와 b 는 package 형태에 따른 열저항 계수이고 A<sub>D</sub>는 junction termination 영역과 소오스 및 게이트 pad 면적을 포함한 DIE 면적이다. 식(4)와 식(5)를 식(3)에 대

입하여 최대 드레인 전류를 구하면

$$I_D = \left[ \frac{T_{jmax} - T_C}{\frac{2.2 R_{on}}{A_C} \left[ \frac{a}{A_D} + b \right]} \right]^{\frac{1}{2}} \quad (6)$$

로 표현된다. active cell의 면적과 DIE 면적의 관계가 변수  $f$ 에 관하여 다음과 같이 주어진다면 식(6)으로부터 DIE 면적을 해석적으로 구할 수 있다.

$$A_C = f \cdot A_D \quad (7)$$

$$A_D = \frac{b \cdot I_D^2 + (b^2 + I_D^2 + 4afa) \cdot \frac{1}{2} \cdot I_D}{2fa} \quad (8)$$

여기서,

$$a = \frac{T_{jmax} - T_C}{2.2 R_{on}} \quad \text{이다.}$$

일반적으로, 변수  $f$ 의 값은 0 과 1 사이에 존재한다고 알려졌으나[5], 쉽게 구할 수 없으므로 위의 방법을 적용하는데 어려움이 있다. 따라서, 본 논문에서는 DIE 를 정사각형으로 가정하여 해석하고 이를 그림1에 나타내었으며, 이때 active cell 의 면적과 DIE 면적은 아래의 관계를 갖는다.

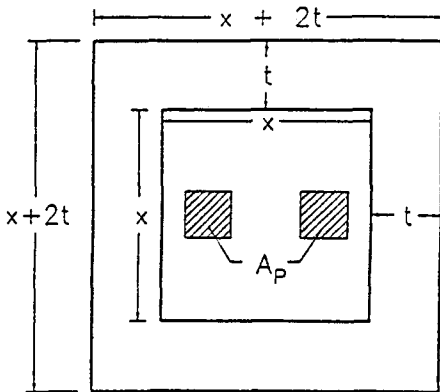


그림 1. DIE 영역의 평면도

$$A_C + A_P = x^2 \quad (9)$$

$$A_D = (x + 2t)^2 \quad (10)$$

여기서,  $A_P$  : 소오스 및 pad 면적

$x^2$  : cell의 면적과 pad 면적의 합

$t$  : Junction termination 영역의 폭

을 각각 나타낸다. 식(9)와 식(10)을 식(6)에 대입하여  $x$ 에 관하여 정리하면 다음과 같다.

$$x^4 + 4tx^3 + (4t^2 - A_P - \frac{bI_D^2}{a})x^2 - 4t(A_P + \frac{bI_D^2}{a})x - (4t^2A_P + \frac{I_D^2}{a}(4t^2b + a)) = 0 \quad (11)$$

그러므로, pad 면적이 결정되면 전력 MOSFET의 최적 설계는 제시된 방법에 따라 해석적 방법으로 구할 수 있다.

### III. 실험 결과

제시된 방법의 검증하기 위하여 널리 사용되는 VDMOS를 사용하여, 100[V] 급의 IRF510, 520, 530, 540 과 400[V] 급의 IRF710, 720, 730, 740의 DIE 면적을 측정하였다. On저항 ( $R_{on}$ ) 은 100[V] 급이  $5.8[m\Omega \cdot cm^2]$ , 400[V] 급이  $65[m\Omega \cdot cm^2]$  로 각각 나타났으며 Package 형태는 모두 TO-220 이다. 열저항 계수는 최소 자승법을 이용하여 구했으며 이를 그림2에 나타내었다. a 와 b 는 각각 0.117 과 0.67 로 나타났다.

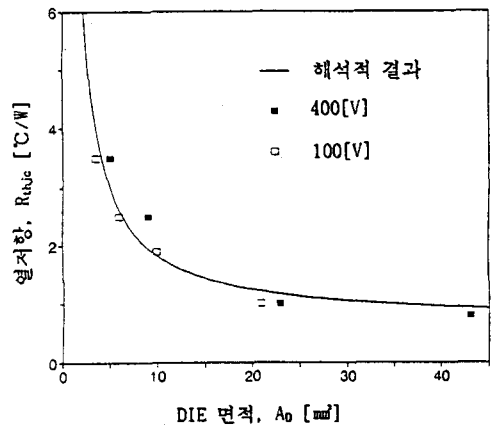
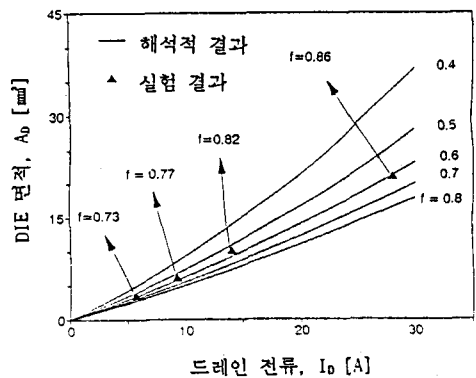


그림 2. 열저항과 DIE 면적과의 관계

변수  $f$ 에 대한 함수로써 식(6)을 그림3의 (a)와 (b)에서 실험 결과와 비교하였으며 드레인의 전류가 높은 경우에 있어서 DIE 면적이 더 줄어들 수 있음을 알 수 있다.



(a)

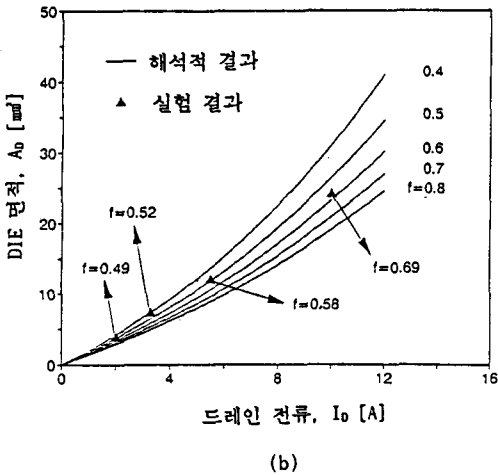


그림 3. 100[V]급(a)과 400[V]급(b)에서 변수  $f$ 에 관한 DIE 면적

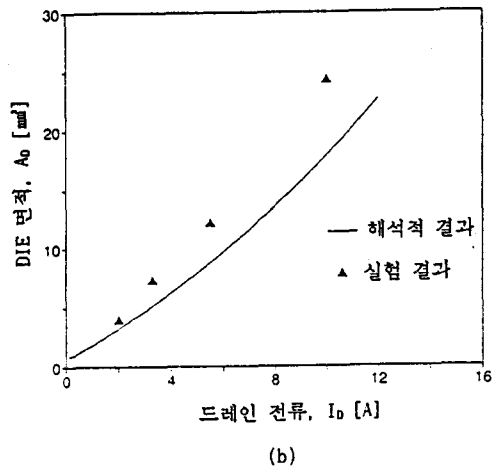


그림 4. 100[V]급(a)과 400[V]급(b)에서 최소 DIE 면적

DIE 면적의 최적 설계를 위해서 floating limiting ring의 간격은 이미 연구된 방법에 따라 계산하였으며[6], 그 결과 junction termination 영역의 폭( $t$ )을 100[V]급과 400[V]급에 대하여 각각  $69.67[\mu\text{m}]$ ,  $91.25[\mu\text{m}]$ 로 결정하였다. 또한 pad의 면적도  $2.090[\text{mm}^2]$ 와  $0.528[\text{mm}^2]$ 로 결정하였다. 식(11)에서 DIE 면적은 드레인 전류의 함수로 주어진다. 그러므로, 드레인 전류값이 주어지면 식(10)과 식(11)에 의하여 최소 DIE 면적을 구할 수 있다. 측정결과와 비교를 위하여 그림4의 (a)와 (b)에 나타내었으며, 여기서도 드레인 전류가 높을수록 더욱 DIE면적이 줄어들 수 있음을 보여준다. 실제 측정에 있어서 pad 면적은 평균값을 취하였고 DIE는 정사각형으로 가정하여 해석하였다. 게이트 line의 면적은 무시하였고 safety margin을 고려하지 않았으므로써 생기는 차이는 어느 정도 있을 수 있지만, 제시된 방법에 따르면 DIE면적은 더욱 줄어들 수 있음을 알 수 있다.

#### IV. 결론

본 연구에서는 Package의 열저항을 고려한 전력 MOSFET의 최적 DIE 면적 설계 방법을 제시하였으며 이를 실험을 통하여 검증하였다. 제시된 해석적 모델에 의하여 임의의 드레인 전류값에 대한 최소 DIE 면적을 구하였다. 이를 현재 제품화되어 사용되고 있는 전력용 MOSFET 소자를 측정하여 비교해 볼 때, 실제 DIE 면적은 더 줄어들 수 있음을 알 수 있다. 따라서 제시된 방법은 전력용 MOSFET의 최적 설계를 하는데 적절한 기준이 될 수 있음을 보여준다.

#### V. 참고 문헌

- [1] HEXFET Power MOSFET Designer's Manual, International Rectifier, pp. I-45-57, 1987.
- [2] B.J.Baliga, Modern Power Device, John Wiley & Sons, New York, 1987.
- [3] C.Hu, M.H.Chi and V.M.Patel, "Optimum Design of Power MOSFET's," IEEE Trans. Electron Device, Vol. 31, pp. 1630-1700, 1984.
- [4] K.Guen, "New Power MOSFETs Require Special Thermal Consideration," PCIM, Vol. 12, pp. 22-28, 1986.
- [5] D.A.Grant and J.Gowar, Power MOSFET Theory and Applications, John Wiley & Sons, New York, 1989.
- [6] K.D.Suh, S.W.Hong, K.R.Lee and C.K.Kim, "An Analysis for the Potential of Float Guard Rings," Solid State Electronics, Vol. 33, pp. 1125-1129, 1990.

