

OFF 전류의 감소를 위한 다결정 실리콘 박막 트랜지스터의 구조 연구

°오경민 민병혁 한민구
서울대학교 공과대학 전기공학부

A Study on the Structure of Polycrystalline Silicon Thin Film Transistor for Reducing Off-Current

°Jeong-Min Oh, Byung-Hyuk Min and Min-Koo Han
Dept. of Electrical Eng., Seoul Nat'l University

ABSTRACT

This paper proposes a new structure of polycrystalline silicon(poly-Si) thin film transistor(TFT) having a thick gate-oxide below the gate edge. The new structure is fabricated by the gate re-oxidation in wet ambient. It is shown that the thick gate-oxide below the gate edge is effective in reducing the leakage current and the gate-drain overlap capacitance. We have simulated this device by using the SSUPREM4 process simulator and the SPISCES-2B device simulator. As a simulation result, it is found that the new structure provides a low leakage current less than 0.2 pA and achieves a on/off ratio as high as 5×10^7 .

1. 서론

액정 표시 장치 (liquid crystal display, LCD)의 화소에 쓰이는 스위칭 소자로서는 다결정 실리콘(polycrystalline silicon, poly-Si) 박막 트랜지스터(thin film transistor, TFT)와 비정질 실리콘(amorphous silicon, a-Si) 박막 트랜지스터가 있는데, 최근에 있어서 다결정 실리콘 박막 트랜지스터에 관한 연구가 활발히 진행되고 있다. 다결정 실리콘은 비정질 실리콘에 비해 전기적 이동도(mobility)가 큰 장점이 있어 액정 화소의 스위칭 소자로서 뿐만 아니라 주변 구동 회로의 구성까지도 가능하기 때문에, 외부 회로와의 접속 등의 문제점을 제거할 수 있으므로 액정 표시기의 반도체 재료로서 매우 유리한 것으로 인식되고 있다. 그러나, 다결정 실리콘 박막 트랜지스터가 이러한 장점을 가진 반면에, 전기적 이동도가 큰 이유로 인한 턴 오프(turn-off)시의 누설 전류(leakage current)가 비정질 실리콘에 비해 크게 되어 이 점이 다결정 실리콘 박막 트랜지스터의 가장 큰 문제점으로 인식되고 있다. 누설 전류는 박막 트랜지스터가 오프 되었을 때, 일정 전압을 갖고 있는 드레인(또는 소오스)과 게이트 사이에 형성된 역전계에 의해 소오스-드레인간에 흐르게 되는 전류로서, 이로 인해, 축적된 전하로 일정 전위를 유지하고 있는 화소 전극 측에 접속하고 있는 소오스 단자로부터 채널 영역을 통하여 드레인 단자로 전류가 흐르게 되어 데이터 라인으로 전하가 누설되게 된다. 이로 인해 발생하는 문제점으로는 화소가 일정한 전압을 유지하여 밝기를 일정하게 유지하지 못하게 되므로 액정 표시기의

선명도가 감소되고, 화면의 미세한 깜박임(flickering)등이 일어난다.

본 논문에서는 이러한 문제점을 해결하기 위한 새로운 구조의 박막 트랜지스터를 제안하였다. 이러한 문제점을 해결하기 위하여 채널과 소오스-드레인의 일정 간격 떨어지게 하여 도핑 되지 않은 영역의 저항(오프셋 저항)을 이용하여 누설 전류를 감소시키는 일명 오프셋 구조가 발표된 바 있으나, 이는 기존의 poly-Si TFT 제작 공정에 비하여 마스크가 하나 더 추가되는 단점이 있어 공정이 복잡하고 제조 원가가 상승되는 단점이 있다. 본 논문에서는 기존의 TFT를 구성한 후 보호막 층으로 사용되는 절연막을 습식 산화로 진행시켰다. 그 결과로 습식 산화시 게이트의 양 측면이 산화되어 소오스-드레인과 채널 영역의 경계면 위에 게이트 산화막이 두꺼워 지는 효과를 얻는다(bird's beak 효과). 또한 이때 도핑된 소오스-드레인 영역도 산화가 진행되어 게이트 산화막 하부의 채널 영역과 소오스-드레인 영역이 서로 수평선 상에 위치하지 않는 기하학적 구조를 갖게 되어 채널 영역과 소오스-드레인 영역 사이의 도핑 되지 않은 영역이 갖는 저항 성분을 오프셋 저항으로 활용할 수 있다.

따라서 본 논문에서는 기존의 TFT 제조 공정과 동일한 공정을 유지하면서 위에 열거한 두 가지 효과를 이용하여 트랜지스터의 전기적 특성의 변화를 시뮬레이션을 통하여 분석하였다.

2. 제안된 구조 및 시뮬레이션 결과

1) 공정 시뮬레이션

제안된 새로운 구조의 TFT의 공정 순서를 간단히 설명하면 다음과 같다. 먼저, 유리나 석영 기판위에 비정질 실리콘을 2000Å 적층한 후 열처리하여 다결정 실리콘으로 결정화한다. 그 후 게이트 산화 막과 게이트 다결정 실리콘 그리고 그 위에 산화 막을 각각 1000Å 적층한 후 사진 식각 공정을 통하여 게이트를 형성시킨다. 그 후 3000Å 두께의 질화막을 증착하고 이방성 식각법(RIE)을 사용하여 게이트 양면에 질화막 스페이서를 형성시킨 후 이온 주입을 하면 질화막 스페이서 부분 아래의 활성 영역 중에는 이온 주입이 되지 않게 되어 게이트와 소오스 드레인이 일정 간격 떨어진 오프셋(off-set) 구조가 형성된다. 소오스-드레인 영역을 형성시킨다. 이후 질화막 스페이서를 습식 식각하여 제거한 후 습식 산화 공정을

수행하여 보호막 층(passivation oxide)을 생성시킨다. 이때, poly-Si 게이트의 양 모서리 부분이 bird's beak 효과에 의하여 산화되어 소오스-드레인과 채널 영역의 경계면 위의 게이트 산화막이 두꺼워지는 효과를 얻게 된다. 그림 1 에서 지금 까지 설명된 공정 순서를 간략하게 그림으로 나타내었다.

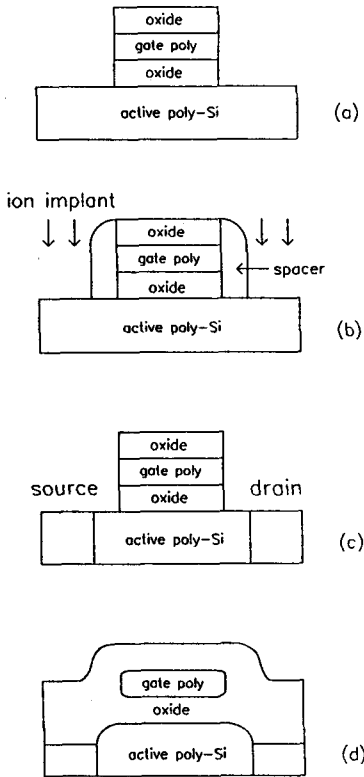


그림 1 제안된 소자의 공정 순서도
 (a) 활성층과 게이트 형성
 (b) 스페이서 형성후 이온 주입
 (c) 스페이서 식각
 (d) 습식 산화로 보호막 층 형성

위의 공정의 실험은 공정 시뮬레이터 SSUPREM4를 사용하여 검증하였다. 그림 2는 SSUPREM4를 통하여 얻어진 소자의 구조이다. 습식 산화 공정은 900°C, 15분으로 진행하였다. 그리고, 소자 특성의 비교를 위하여 위의 공정 중 스페이서 공정이 없는 소자에 대해서도 소자의 구조를 SSUPREM4를 통하여 구현하였다.

2) 소자 시뮬레이션

제안된 소자의 전기적 특성을 검증하기 위해 SPICES-2B 소자 시뮬레이터로 시뮬레이션을 수행하였다.

그림 3은 게이트 전압과 드레인 전류와의 상관 관계를 나타낸 그림이다. 누설 전류 면에서는 본 연구에서 제안한 소자가 기존의 박막 트랜지스터에 비해 작은 값을 가지며, 특히 습식 산화 공정과 질화막 스페이서 공정을 거친 소자의 오프 전

SSUPREM4

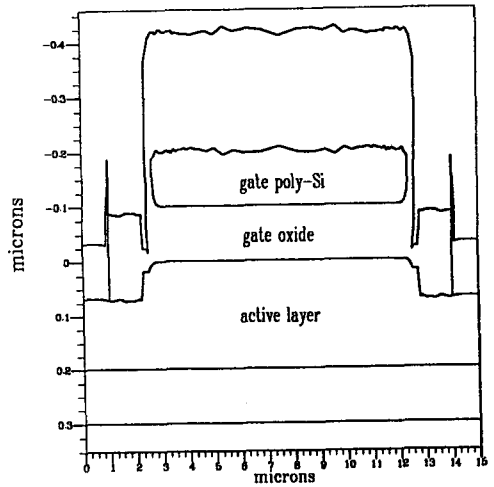


그림 2 SSUPREM4로 얻어진 TFT 구조

류는 0.2 pA 로 다른 두개의 구조에 비해 가장 작은 값을 나타냄을 볼 수 있었다. 한편, on/off 전류비의 경우에는 기존의 박막 트랜지스터와 습식 산화와 스페이서 공정을 거친 소자는 10⁷로 유사한 반면, 습식 산화막만을 거친 소자는 5×10⁷로 향상되었다.

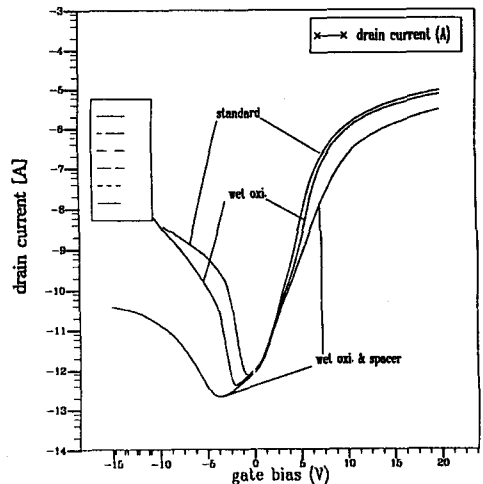


그림 3 I_d-V_g 특성

그림 4와 5는 채널 영역(channel region)의 전계 분포를 세 가지 구조에 대해 도시한 그림이다. 이때 x 방향의 전계는 소오스와 드레인 방향의 전계 분포를 나타내고 y 방향의 전계는 채널의 표면에서 bulk 방향으로의 전계분포를 나타낸다. 그림에서 standard 구조는 보통의 다결정 실리콘 박막 트랜지스터의 수치를 나타내고, 제안된 소자 중 습식 산화 공정만을 채용한 구조와, 습식 산화와 질화막 스페이서를 모두 채용한 구조에 대해 비교하였다. 그림에서 나타난 바와 같이 제안된 구조에 있어서 채널과 소오스, 드레인 경계면 공핍층(depletion region)에서의 전계의 최고치가 낮아지는 효과가 나타남을 볼 수 있어 누설 전류의 감소는 드레인 영역 근처의 공핍층의 전계의 감소에 기인한다는 것을 확인할 수 있었다.

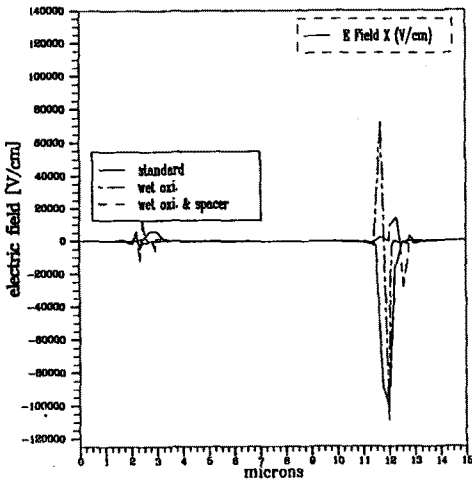


그림 4 채널 영역 중의 X 방향 전기장 분포 ($V_g = -5\text{ V}$, $V_d = 5\text{ V}$ 인 경우)

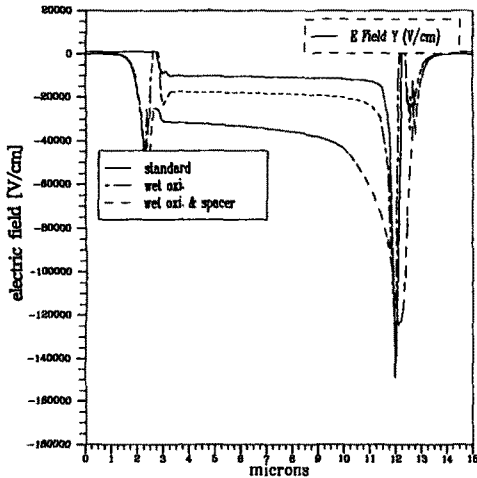


그림 5 채널 영역중의 Y 방향 전기장 분포 ($V_g = -5\text{ V}$, $V_d = 5\text{ V}$ 인 경우)

- [1] J. Ohtawa et al, "Peripheral Circuit Integrated Poly-Si TFT LCD with Gray Scale Representation", IEEE Trans. Electron Devices, vol. 36, no. 9, pp. 1923-1928, 1989.
- [2] Y. Nishihara, S. Yamamoto, et al. "Fully Integrated Poly-Si TFT CMOS Drivers for Self-Scanned Light Valve", SID Digest, pp. 609-612, 1992.
- [3] J. G. Fossum, A. Ortiz-conde, H. Shichijo and S. K. Banerjee, "Anomalous Leakage Current in LPCVD Poly-Si MOSFET's", IEEE Trans. Electron Devices, vol. ED-32, pp. 1878-1884, 1985.
- [4] Angel Rodriguez et al., "Model for the Anomalous Off-Current of Poly-Si Thin-Film Transistors and Diodes", IEEE Trans. Electron Devices, vol. 40, no. 5, pp. 938-943, 1993.
- [5] Y. Kaneko, Y. Tanaka et al., "A New Address Scheme to Improve the Display Quality of a-Si TFT/LCD Panels", IEEE Trans. Electron Devices, vol. 40, no. 5, pp. 938-943, 1993.
- [6] Shunji Seki, Osamu Kogure and Bunjiro Tsujiyama, "Leakage Current Characteristics of Offset-Gate-Structure Polycrystalline silicon MOSFET's", IEEE Electron Device Letters, vol. EDL-8, no. 9, pp. 434-436, 1987.

3. 결론

본 논문에서는 새로운 소자구조의 개발을 통하여 다결정 실리콘 박막 트랜지스터의 누설 전류를 감소시키려는 연구에 대한 시뮬레이션 결과를 검증하였다. 제안된 소자 구조의 실현 가능성을 검증하기 위해 공정 시뮬레이션을 수행하여 제안된 소자 구조를 얻었고, 이 구조를 이용하여 소자 시뮬레이션을 수행하여 오프 전류의 감소를 검증하였다. 시뮬레이션 결과 누설 전류는 습식 산화만을 거친 소자는 0.2 pA, 질화막 스페이서와 습식 산화를 거친 소자는 0.5 pA로 나타났고, on/off 전류비는 각각 5×10^7 , 10^7 로 나타나 스페이서와 습식 산화를 거친 소자가 누설 전류는 가장 작으나 on/off 전류비에서는 습식 산화만을 거친 소자가 가장 크게 나타나는 결과를 얻을 수 있었다. 따라서 본 연구에서 제안한 박막 트랜지스터는 공정시 마스크의 추가없이 누설 전류의 감소 및 on/off 전류비를 향상시킬 수 있는 소자의 개발 가능성을 확인 하였다.