

디지털 보호계전기 성능 시뮬레이터에 관한 연구

최 상 봉 문 영 환

한국전기연구소

A study on the Performance Simulator of Digital Protective Relay

Sang-Bong Choi Young-Wan Moon

KERI

ABSTRACT - Protective Relay in power system play a prominent part in minimizing power delivery interruptions and help to get a fast and secure restoration when a failure occurs. In order to meet the higher functional requirements in power system, the performance tests on response characteristic of protective relay is essential to ensure reliability. The purpose of this study is as follows: In order to evaluate performance of protective relay, it is intended to develop performance of digital protective relay simulator which is composed of digital protective relay part, behaviour analysis part, waveform generation part and simulation program to simulate power system in detail.

1. 서 론

전력계통 보호계전기는 계통에서 발생하는 사고를 신속, 정확하게 검출하고 그고장을 신속히 판단, 제거하여 설비를 보호하고 건전계통으로 고장이 파급하는 것을 방지하는 역할을 수행함으로써 전력공급의 지장을 최소화하는 중요한 역할을 담당하고 있다. 이와같이 계통에 중요한 영향을 미치는 전력계통 보호계전기는 반도체 소자의 발달과 더불어 전자형에서 정지형으로 이전되고 또한 최근에 와서는 마이크로 프로세서의 성능향상과 적용분야의 확대에 의하여 계전기의 디지털화가 빠르게 진행되고 있는 실정이다. 디지털 보호계전기는 종래의 전자형, 정지형 계전기에 비하여 계전기의 기능, 자동감시등 많은 장점을 가지고 있지만 노이즈에 약한 단점을 가지고 있다. 또한 계전기의 기능이 소프트웨어에 의하여 실현되기 때문에 다양한 관점에서의 연산 알고리즘의 검토가 필요하다. 이와같은 상황에서 아날로그 필터, 디지털 필터, 그리고 계전기 연산 알고리즘에 대한 특성 조사를 위주로 계통 보호 계전기의 평가 연구를 행할 목적으로서 디지털 보호계전기 성능 시뮬레이터를 설치하고자 한다. 다음은 디지털 보호계전기 성능 시뮬레이터의 사양과 기능에 대하여 기술하였다.

2. 시뮬레이터의 개요

본시뮬레이터는 디지털 보호계전기부, 동작해석부, 파형발생부로 구성되어 있으며 전체 하드웨어 구성은 다음 그림 2.1 과 같다.

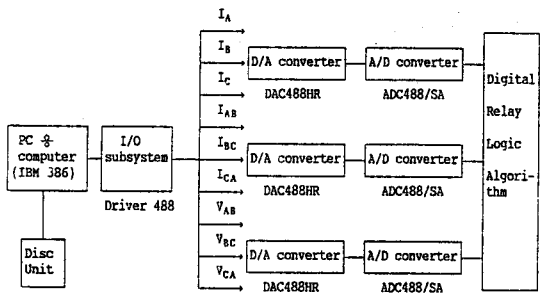


그림 2.1 디지털 보호계전기 성능시뮬레이터의 하드웨어 구성도

2.1 디지털 보호계전기부

345 KV 계통용 방향거리 계전기 방식으로서 과전류 계전기가 조합된 거리 3단 방식의 알고리즘으로 구성된 1 Unit로 구성되어 있다. 이와같은 각 계전기는 계전기 트립 등의 본래의 출력 이외에 샘플링에 의한 입력전압, 전류, 각 계전기 요소의 연산도중 결과와 동작판정등, 계전기 내부동작을 표시한 데이터를 출력한다. 다음은 파형발생장치로부터 발생된 아날로그 전압, 전류 파형을 디지털 보호계전기 논리 알고리즘으로 입력하기 위한 A/D 변환기의 기능을 요약하였다.

i) A/D 변환기 (ADC488/SA)

파형발생장치로부터 입력된 데이터를 샘플링 시간에 따라 A/D 변환을 수행하기 위하여 ADC488/SA 을 사용하였으며 다음은 ADC488/8STM 의 주요한 기능이다.

- 100,000 Samples/second 까지 16 bit A/D 변환 가능
- 8개의 Differential 아날로그 입력
- 512 Kbytes 까지 Memory 확장 가능
- 12 Channel 동시 샘플링 가능

2.2 동작해석부

동작해석부는 IBM PC용 IEEE 488 Driver 소프트웨어를 이용하여 데이터 전송장치, 데이터 I/O 그리고 인터페이스 하드웨어 및 그 주변장치로 구성되어 있다. 다음은 각 동작해석부의 기능을 요약하였다.

i) 데이터 전송장치, 데이터 I/O 및 인터페이스

파형발생장치로부터 생성된 데이터를 디지털 보호계전

기로 전송하기 위하여 Driver 488 소프트웨어를 사용하였다. Driver 488 의 모듈 구조는 기존의 IEEE 에서 사용되어온 디바이스 Driver의 개념을 확장하여 실제적으로 어떤 I/O 디바이스나 제어할 수 있도록 사용하기 쉽게 만들어져 있다.

ii) 주변장치

동작해석부의 주변장치는 파형발생장치 부분인 D/A 변환기로 부터 출력된 데이터를 실시간내에 칼라 디스플레이로 출력하는 RTLib 488 그래픽 소프트웨어로 구성되어 있다.

2.3 파형발생부

파형발생부는 플로피 디스크에 저장되어 있는 전압, 전류파형 디지털 데이터를 D/A 변환후 출력한다. 다음은 파형발생장치의 구성별 요소에 대한 기능을 요약하였다.

i) PC computer system

- Hard disk : 40 Mbytes
- Processor : 15MHz, Intel 80386
- Coprocessor : Intel 80387
- RAM memory : 1 Mbytes
- Monitor : VGA

ii) D/A 변환기(DAC488HR)

- 디스크에 저장되어 있는 전압, 전류 데이터를 매 1.389E-04초(7.2KHz) 마다 읽어들이어 D/A 변환을 행하기 위하여 DAC488HR 을 사용하였다.(총메모리 기억분: 0.1 초분)

3. 시플레이터의 특징

본 디지털 보호계전기 성능 시플레이터는 디지털 보호계전기 논리 알고리즘으로 구성된 디지털 보호계전기부와 데이터 전송장치, 데이터 I/O 로 구성된 동작 해석부 그리고 고장 파형을 얻기 위한 파형발생부로 이루어져 있으며 본 시플레이터 장치의 특징을 요약하면 다음과 같다.

1. 디지털 보호계전기부의 계전기 논리 알고리즘을 수행하기 위한 A/D 변환기는 최대 100 KHz, 12 Channel 까지 동시 샘플링이 가능하다.
2. 파형 발생부의 D/A 변환기는 정량적으로 최대 100 KHz (10 μ s) 까지 현상 재현이 가능 하도록 구성되어 있다.
3. 해석용 출력 데이터에 의해 계전기 동작 및 시플레이션의 실행 현황등이 해석 가능하다.
4. 출력데이터가 기억되기 때문에 시플레이션에 의한 동작의 재현, 계전기 알고리즘 변경에 따른 효과의 검토가 가능하다.
5. 파형발생부는 수치데이터를 근거로하여 전압, 전류를 발생시킴으로서 실측데이터, 혹은 고장시의 과도현상

해석 결과에 대한 디지털 계전기의 응답을 용이하게 해석가능하도록 하여준다.

다음 그림 3.1 와 3.2 은 본 디지털 보호계전기 성능 시플레이터에 대한 외관과 구성을 도시하고 있다.

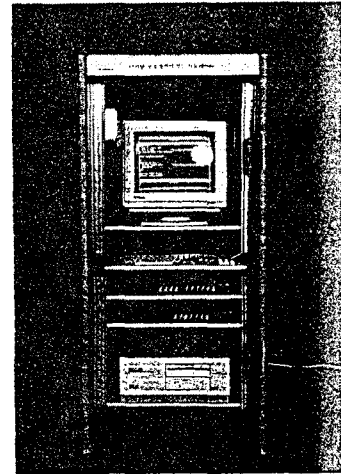


그림 3.1 디지털 보호계전기 성능 시플레이터에 대한 외관도

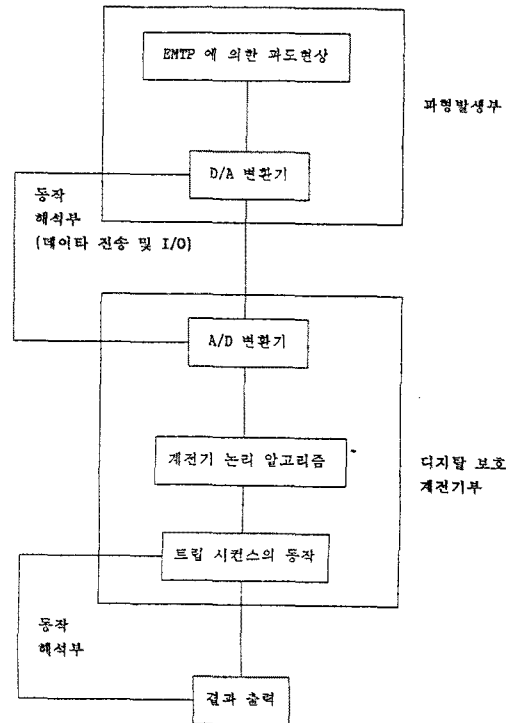


그림 3.2 디지털 보호계전기 성능 시플레이터에 대한 구성도

4. 디지털 보호계전기 연산방법

4.1 디지털 보호계전기의 개요

디지털 계전기를 시플레이션 하기위한 모델 전력계통은 345 KV, 3상 1회선 송전선로로 최대 200 KM 의 공장을 갖는

60HZ 선로를 가정하였다. 이때 345 KV의 송전선로의 선로정수는 EMTF의 선로정수 서브루틴 프로그램을 이용하였다. 보호방식은 거리 3단방식으로서 제1단은 순시, 제2단과 제3단은 한시차단으로서 제1단, 제2단은 리액턴스(Reactance) 계전방식, 제3단은 모(Mho) 계전방식으로 구성되어 있으며 샘플링 주파수는 720HZ로서 전기각 300 마다 샘플링 데이터가 보호계전기에 입력되도록 되어 있다.

4.2 디지털 보호계전기 논리

가. 보호 방식

과전류 보호계전기가 조합된 거리 3단방식으로서 그림 4.1 과 같이 Mho 보호계전기(SU)와 Reactance 보호계전기(O₁, O₂)의 조합으로서 보호계전기의 특성이 발휘된다.

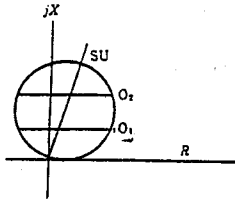


그림 4.1 보호 방식

나. 전압, 전류의 LSB와 필터특성

전압, 전류는 CT 2차측 환산에서 각각 128[V], 64[A]이며 따라서 1 bit 당 가중치 즉, LSB는 다음과 같다.

$$I_{LSB} = 64 \times 2^{-11} = 31.25 \text{ [mA]}$$

$$V_{LSB} = 128 \times 2^{-11} = 62.50 \text{ [mV]}$$

따라서 $V_{LSB}/I_{LSB} = 2[\Omega]$ 이다. 한편 각거리계전기의 내적연산을 보다 용이하게 하기 위하여 보호계전기의 전류입력이 전압에 비하여 750진상이 되도록 이상연산을 실시하였다.

다. 연산원리

본 보호계전기는 적분필터라 불리는 알고리즘에 의하여 벡터내적을 구하게 되며 연산원리는 다음과 같다. 우선, (4.1)식과 같은 교류입력을 고려해 보면,

$$\begin{aligned} v &= V_m \sin(\omega t + \theta) \\ i &= I_m \sin \omega t \end{aligned} \quad (4.1)$$

(4.1)식의 순시치적을 구하면

$$v \cdot i = \frac{1}{2} V_m I_m \{ \cos \theta - \cos(2\omega t + \theta) \} \quad (4.2)$$

(4.2)식을 600 마다 1주기분씩 가산하면, $3 V_m I_m \cos \theta$ 가 되고 따라서 전압, 전류의 내적을 얻을 수 있다. 이와같은 관계를 식(4.3)과 같이 표현한다.

$$[v(m)xi(m)]\text{적분필터} = 3 V_m I_m \cos \theta \quad (4.3)$$

i) 과전류 보호계전기

과전류 보호계전기의 연산 원리식은 식(4.4)와 같다.

$$|I| \geq I_s \quad (4.4)$$

I : 상전류 I_s : 정정치

$$|I|^2 \geq I_s^2 \quad (4.5)$$

식(4.5)에 적분필터를 취하면,

$$[i(m)xi(m)]\text{적분필터} \geq 3 (I_s / I_{LSB})^2 \quad (4.6)$$

ii) 리액턴스 보호계전기(O₁, O₂)

Z_s 을 정정치 $[\Omega]$, PCT 2차측 전압, 전류를 각각 V, I라고 하면 원리식은 식(4.7)과 같다.

$$(Z_s I e^{j90} - V) \cdot (Z_s I e^{j90}) \geq 0 \quad (4.7)$$

보호계전기 전류입력을 750진상하고, 정정치 Z_s 을 정수치로 환산하기 위하여 $Z_s = 10Z_s$ 을 고려하면,

$$\{Z_s (I e^{j75})_{(m)} \cdot I_{LSB} - 10(V e^{-j15})_{(m)} \cdot V_{LSB}\} \{Z_s (I e^{j75})_{(m)} I_{LSB}\} \text{적분필터} \geq 0 \quad (4.8)$$

$2 \cos 150 (V e^{-j15})_{(m)} = V(m) + V(m-1)$, $(I e^{j75})_{(m)} = I(m)$, $I_{LSB}/V_{LSB} = 1/2$ 을 식(4.8)에 대입하여 정리하면,

$$\begin{aligned} &1 \\ &\{ \left(\frac{1}{2 \times 10} Z_s (I e^{j75})_{(m)} - (V e^{-j15})_{(m)} \right) \{ Z_s (I e^{j75})_{(m)} \} \} \\ &\text{적분필터} \geq 0 \end{aligned} \quad (4.9)$$

식(4.9)의 1항을 다시 쓰면,

$$Z_s' Z_s I(m) - K(V(m) + V(m-1)) \quad (4.10)$$

여기서,

$$Z_s' = \frac{2 \cos 150}{2 \times 10} K$$

또한, 정정치 Z_s' 을 정수치로 환산하기 위하여 $Z_s'' = 100 Z_s'$ 을 고려하고 연산결과를 1 word 이내로 하기 위하여 각항의 결과를 8 bit 우측 shift 하여 식(4.10)을 정리하면,

$$\begin{aligned} &[[Z_s Z_s'' I(m)]/100 - K(V(m) + V(m-1))] \times 2^{-8} \\ &\times [[Z_s Z_s'' I(m)]/100] \times 2^{-8} \text{적분필터} \geq 0 \end{aligned} \quad (4.11)$$

iii) Mho 보호계전기(SU)

Z_s 을 정정치 $[\Omega]$, PCT 2차측 전압, 전류를 각각 V, I라고 하고 V_p 을 극성전압이라고 하면 원리식은 식(4.12)와 같다.

$$(Z_m I e^{j75} - V) \cdot V_p \geq 0 \quad (4.12)$$

여기서, $V_p = V + V(-2\text{cycle})2^{-3}$

정정치 Z_m 을 정수치로 환산하기 위하여 $Z_m = 10Z_m$ 을 고려하면,

$$\{Z_m I(m) \cdot I_{LSB} - 10V(m) \cdot V_{LSB}\} \{V_p(m) \cdot V_{LSB}\} \text{적분필터} \geq 0 \quad (4.13)$$

$$\{ \left(\frac{1}{2} Z_m I(m) - 10V(m) \right) \{ V_p(m) \} \} \text{적분필터} \geq 0 \quad (4.14)$$

여기서 $V_p(m) = V(m) + 1/8 V(m-24)$ 이다.

식(4.14)의 1항을 다시 쓰면,

$$Z_s' Z_m I(m) - KV(m) \quad (4.15)$$

여기서 $Z_s' = K / (2 \times 10)$

또한, 연산결과를 1 word 이내로 하기 위하여 제1항의 결과를 8 bit 우측 shift 하여 식(4.14)을 정리하면,

$$\{ \{ Z_s' Z_m I(m) \} - K(V(m)) \} \times 2^{-8} \times \{ V_m + V(m-24) \times 2^{-3} \} \text{적분필터} \geq 0 \quad (4.16)$$

4.3 트립 시퀀스

트립 시퀀스는 각상별 과전류 보호계전기 를 check 하고 각상 입력을 선간값으로 변환하여 Mho 보호계전기 연산을 실시한다. 이때 두 조건이 만족하면 제 1 단 Reactance 보호계전기 와 조합하여 트립 신호가 발생하게 된다. 만약 이경우에 트립신호가 발생되지않을 경우에는 시간간격을 두고 제 2 단 Reactance 보호계전기 와 제 3 단 Mho 보호계전기 가 동작하게 된다.

5. 계통적용 사례연구

본 디지털 보호계전기 성능 시뮬레이터에 대한 사례연구는 다음 그림 5.1 에 제시한 전력계통 모델 구성도에 대하여 실시하였으며 디지털 보호계전기 시뮬레이션 프로그램과의 결과 비교를 위하여 시뮬레이션 프로그램에서 행한 사례연구와 동일한 가정을 선택하였다.

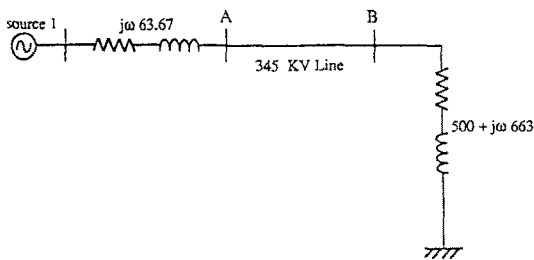


그림 5.1 샘플계통 구성도

다음 그림 5.2 은 송전선로의 100 Km 지점에서 A, B 상 단락사고가 발생하였을 경우에 대하여 계전기 위치에서의 각 보호계전기 논리에 대한 특성검토와 응답특성 측, 동작량, 억제량 그리고 동작판정 시퀀스에 대한 판정 결과이다. 판정 결과 계전기 트립 시간은 17.5 msec 로서 디지털 보호계전기 시뮬레이션 프로그램과 같은 결과를 얻었다.

6. 결론

본 연구에서 개발한 디지털 보호계전기 성능 시뮬레이터에 대하여 보호계전기 시뮬레이션 프로그램과의 결과 비교를 위하여 동일한 조건의 사례연구를 실시하였다. 그 결과 각 사례연구별로 계전기 논리에 대한 동작량과 억제량을 비교해 보면 시뮬레이션 프로그램과 그 값이 거의 일치함을 알 수 있다. 단 이때, 완전 일치하지 않은 이유는 시뮬레이터의 파형발생부 D/A 변환기가 여러 Channel 을 동시에 변환하는 과정에서 기인된 것으로 볼 수 있다.

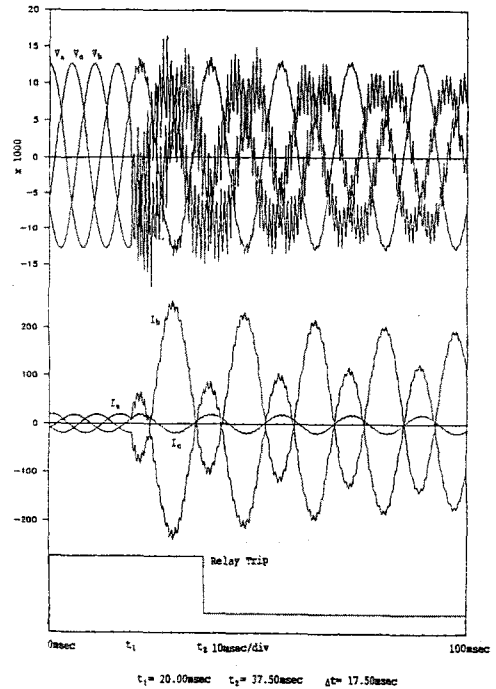


그림 5.2 A, B 상 단락사고시의 전압, 전류파형

또한 동작판정 시퀀스에 대한 판정결과와 경우도 단지 지락사고의 경우에만 시뮬레이션 프로그램 결과와 비교하여 한 샘플링 시간 (1.389 msec) 판정 지연이 발생하였을 뿐 거의 일치된 결과를 얻을 수 있었다.

디지털 보호계전기 시뮬레이션 프로그램은 일종의 EMTP 를 이용한 시뮬레이션 기법이다. 일반적으로 EMTP 시뮬레이션 기법은 실제 계통에서 고장시 얻은 데이터와 매우 유사한 결과를 가진 것으로 판명되어 여러 전력회사에서 그 신뢰성을 인정 받고 있는 실정이다. 따라서 본 사례연구 결과, 디지털 보호계전기 성능 시뮬레이터와 시뮬레이션 프로그램이 거의 일치함을 보이고 있어 향후 실시간에서의 디지털 보호계전기 성능 시뮬레이터에 대한 타당성과 정확성이 입증되었다.

7. 참고문헌

1. 電力中央研究 報告書, “テ”シ”タル リレ-綜合解析装置の仕様と諸機能” 11, 1982
2. 電力中央研究 報告書, “テ”シ”タル リレ-シミュレーションプログラムの開發”, 昭和 59 年 1 月
3. 電氣協同研究會, “テ”シ”タル リレ-, 테”시”탈 리레-專門委員會” 昭和 61 年 1 月
4. 電氣書院, “電力系統のテ”시”탈 制御, 保護”