

상관관계를 이용한 홉필드 네트워크의 VLSI 구현

오재혁* 박성범 이종호
인하대학교 전기공학과

VLSI Implementation of Hopfield Network using Correlation

Jay Hyouk O Seong Beom Park Chong Ho Lee

Dept. of Electrical Eng. Inha University

Abstract

This paper presents a new method to implement Hebbian learning method on artificial neural network. In Hebbian learning algorithm, complexity in terms of multiplications is high. To save the chip area, we consider a new learning circuit. By calculating similarity, or correlation between X_i and O_i , large portion of circuits commonly used in conventional neural networks is not necessary for this new Hebbian learning circuit named COR. The output signals of COR is applied to weight storage capacitors for direct control the voltages of the capacitors. The weighted sum, $\sum W_{ij} O_j$, is realized by multipliers, whose output currents are summed up in one line which goes to learning circuit or output circuit. The drain current of the multiplier can produce positive or negative synaptic weights. The pass transistor selects either learning mode or recall mode. The layout of an learnable six-neuron fully connected Hopfield neural network is designed, and is simulated using PSPICE. The network memorizes, and retrieves the patterns correctly under the existence of minor noises.

1. 서론

아날로그 집적회로방식을 이용하여 인공 신경망을 구현하는데에는 데이터의 저장이나, 학습알고리즘의 구현, 그리고 학습된 데이터의 적절한 처리라는 몇가지 제약이 있었다. 다행히도 이들중 데이터의 저장문제에 있어서는 많은 연구결과가 있어왔고 특히 혼합(Hybrid)방식인 아날로그 방식의 결점을 충분히 보완할 수 있다는 연구결과도 나왔다. 그러나 이외에도 앞서 말한 두가지의 문제에 대해서는 적절한 해결방법을 찾지 못한채 하나의 연결고리(Synapse)를 구현하기 위해서 다수의 MOS를 필요로 하게 되었고, 연결고리의 수를 증가시킬수록 소자간의 신호전달지연을 문제삼지 않을수가 없었다. 결국 칩의 적절한 구성속도에 대한 문제점들이 제기되고 있다. 특히 학습알고리즘을 구현하는데 있어서 인공 신경망, 특히 자체의 구조적인 규칙성과 알고리즘의 간결성때문에 많은수의 연결고리를 구현할 수 있을것으로 보여지는 홉필드 네트워크의 경우에도 다수의 곱셈을 필요로 하는 특징때문에 많은 제약이 따르고 있다.

이러한 결점때문에, Louvain의 연구결과¹⁾에서는 흥분성(Excitatory)과 억제성(Inhibitory)의 두가지 전류로 분리하였으며, 선형성과 결과의 정확한 전달을 위해서 약 40개의 MOS를 사용하여 구현하였고 그 외에도 게이트에 인가된 전압이 문턱전압(Threshold voltage)보다 작을 경우에는 출력전류가 지수함수적으로 변화하는 효과(Subthreshold effect)를 이용하여 출력함수를 시그모이드가 아닌 지수함수로 구현하거나, Bipolar연결세기를 가지고 Shift 레지스터와 간단한 Bit 셀을 이용하여 디지털 방식으로 구현한 예도 있으며, 모듈형으로 한개의 층을 각각 별도의 칩에 구현하여 여러개의 칩으로 하나의 신경망을 구현하는 방법도 제안되었다.

본 논문에서는 학습알고리즘 상에서 곱셈이 사용되었다고 해서, 제한된 칩의 면적을 낭비하면서까지 곱셈기를 이용해서 구현해야만 하는가에 대한 의구심을 갖게 되었다. 이에 대한 해결책으로 곱셈기는 외부입력신호와 연결세기(Weight)사이의 곱셈만을 실행한다. 대신에 홉필드 네트워크의 학습신호가 필요로 하는 다수의 곱셈대신에 외부 입력신호와 현재 네트워크의 출력신호사이의 유사성 즉, 상관관계를 알아보고 이신호를 학습신호로 하여 학습을 진행시켜 나가는 구현방법을 제시하였다. 그리고 정해진 방법으로 학습을 시킨후 예정된 I/O 핀을 이용해서 재생된 값을 출력시킬 수 있는 On-Chip 구현방법을 이용하여 홉필드 네트워크를 구현하였다. 학습과정과 재생과정의 구현은 두개의 Pass 트랜지스터를 이용하여 학습과정과 출력과정을 선택하였다. 곱셈기의 경우, MOS 5개로 2개의 사분면에서 비교적 선형적으로 동작하는 곱셈기를 채용하였다. 1개의 연결고리회로를 20개의 MOS만으로 구현하였으며, 총 뉴런의 개수는 6개, 연결고리의 개수는 30개 이고, 사용된 핀의 개수는 21개이다.

2. 기본회로

2.1. 연결고리회로의 구조와 동작원리

연결고리회로의 구성은 외부입력전압과 연결세기의 곱셈을 처리함과 동시에 전압신호를 전류로 출력시키는 transconductance의 역할을 하는 곱셈기, 입력전압과 연결고리의 출력사이의 상관관계를 결정하는 상관관계 결정회로, 학습결과를 아날로그 형태의 연결세기로 저장하기 위한 저장회로, 그리고 학습과정과 재생과정을 구분하는 회로로 구성되어진다. 또한 MOS의 특성상 곱셈기나 전체적인 네트워크의 출력이 전류이므로 각 회로들의 출력단에 전류-전압변환 회로를 사용하였다.

2.1.1. 곱셈기

본 논문에서 사용된 곱셈기의 용도는 하나이다. 외부입력과 연결세기사이의 곱셈만을 위한 아날로그 곱셈기는 5개의 MOS²⁾로 구성된

이저 있고 각각의 CMOS는 포화영역에서 동작을 하도록 공동드레인 n-MOS로 출력하게 되었다. 또한, 두개의 입력단에 각각 인가되는 전압의 결정은 시뮬레이션의 결과로서 상부입력에는 -2V와 2V 사이의 연결세기 전압을, 하부입력에는 -5V에서 0V 사이의 입력전압을 인가하였고 출력신호는 공동드레인 전류이다. 본 논문은 칩 면적을 줄이기 위해서 OP-Amp대신에 간단한 구조의 전류-전압변환 회로를 사용하였고, 이 회로의 성능이 탁월한 -5V에서 0V사이로 입력전압 범위를 정하였다. 곱셈기 회로의 실제 회로도도 출력전류파형이 그림 1에 도시되었다. 그림에서 알 수 있는 것처럼 연결세기 전압 -1V와 1V사이에서 선형적으로 동작함을 볼 수 있다. 또한 정해진 입력전압에 대해서 연결세기가 증가할수록 출력이 포화상태가 되어서 뉴런의 시그모이드 출력함수를 생각하게 되었다.

2.1.2. 상관관계 결정회로

홉필드 네트워크를 이용하여 연상기억이나 패턴인식을 할 경우, 제생시에 인가되는 입력패턴들은 잡음이 섞여 있기 때문에 직교성이 유지된다고 보는 것은 약간의 무리가 있으며, 데이터 역시 0 또는 1의 이진 데이터가 아니다. 그러나, 학습시에 인가되는 학습패턴들은 각각 서로 직교성을 가지고 있으며, 0과 1로 이루어진 이진 데이터이다. 특히 홉필드 네트워크의 경우, 하나의 뉴런 출력 O_i 는,

$$O_i = f\left(\sum_{j=1}^n w_{ij} OUT_j + X_i\right) \quad <1>$$

이고, O_i 와 O_j 가 각각 뉴런 i 와 뉴런 j 의 출력일때, 학습신호는

$$\Delta W_{ij} = O_i O_j \quad <2>$$

의 형의 학습방법을 따른다. 하나의 뉴런 출력은 연결세기와 되돌림 되어진 다른 뉴런의 출력사이의 내적에 외부로부터 인가되어진 외부입력을 더한 값이다. 그런데, 초기에 뉴런의 출력은 외부입력 이 뉴런에 바이어스와 같이 인가되고 이값이 되돌림되어져서, 식 <1>과 같은 형태에 한 단계의 뉴런 출력의 곱셈을 낸다. 이렇게 해서 이루어진 뉴런의 출력들 사이의 내적이 식 <2>와 같은 학습신호를 따라서 연결세기를 변화시킨다.

최적화 문제에 적용시킬 경우에는 네트워크가 안정될 때까지 무한 되먹임이 이루어 지는 반면, 본 결의 서두에서 밝혔던 문제에 대해서는 한번의 되먹임으로 한 단계의 최종결과를 낼 수가 있게 된다. 또한 홉필드 네트워크는 자기연상(Autoassociation)을 행하기 때문에 외부입력과 뉴런의 출력사이의 유사성이 연결세기에 적용이 된다고 볼 수 있다.

본 논문에서는 외부입력과 뉴런 출력사이의 유사성이 식 <2>의 학습신호를 대체 할 수가 있으며, 이러한 방법은 VLSI구현시에 많은 수의 곱셈기를 필요로 하지 않는점이 목적을 두었다. 또한 유사성이라는 말은, 두 신호사이의 상관관계(Correlation)라는 말로 바꿔 말할 수 있기 때문에, 연결세기의 변화량을 결정하는 회로를 상관관계 결정회로라 하였다.

상관관계 결정회로의 실제 구현방법은 디지털 회로의 XNOR회로와 유사한 동작을 하게 되는데, 입력 X_i 를 MOS의 게이트단에 그리고, 출력 O_i 를 소스단에 인가하여 MOS의 동작특성을 통해서 상관관계를 알아보고 이 값을 커패시터에 연결함으로써 해서 이루어진다³⁾ 이해를 돕기 위해 가장 간단한 디지털 형태의 입력에 대해서 알아본 것이 그림 2(a)이다. 두개의 pMOS를 직렬로 연결하고, +1.0V의 디지털 입력에 대해서 알아보면, 두 신호 (X_i, O_i)가 같을 때만 +1이 나오게 된다. 서로다를 경우에는 -1이 된다. 그러므로 두 신호가 같거나 비유할수록 출력이 증가하고 상이할수록 출력이 감소하는 특성을 내게 된다. 그림 2(b)는 실제로 사용된 상관관계 결정회로이며 이 회로의 동작특성은 학습과정에서 행한 시뮬레이션과 동일한 결과값을 내고 있다.

2.1.3. 전류-전압변환 회로

MOS로 구성되어져 있는 회로의 출력은 전류이기 때문에, 입력되는 전류를 선형적으로 전압의 형태로 변환시키는 전류-전압변환이 불가피하게 된다. 특히 신경망의 경우, 외부로부터의 입력과 연결세기 사이의 기중합산을 얻기 위해서 곱셈기의 출력의 출력은 키트히프의 전류변칙을 이용해서 구하고 이를 안에서 제안한 상관관계 회로에 인가하기 위해서 전압으로 변환시켜야 할 필요가 있다.

2.1.4. 모드선택 회로

제한된 회로는 온 라인 학습이 아니므로 학습과정과 재생과정을 나누어야 한다. 그래서 제한된 회로에서는 VLSI기술에서 많이 쓰여지는 CMOS Pass 트랜지스터를 사용하였다. 그림 4와 같이 Pass 트랜지스터 2개를 병렬로 연결하고 이들의 입력은 공통으로 곱셈기의 출력(WX)이 된다. 출력은 학습과정에는 상관관계 결정회로로 그리고 재생과정에는 출력회로로 가는 두가지의 모드로 각각 구별하도록 했다. 또한 일반적으로 인버터의 성질이 다소 떨어지기 때문에 보다 완벽한 스위칭 동작을 위해서 두개의 핀에 각각 5V와 -5V를 직접 Pass 트랜지스터의 게이트단에 인가하였다.

22 출력회로

홉필드 네트워크에서 각 뉴런의 입력은 연결세기가 없는 일종의 바이어스 값처럼 간주된다. 즉 식 <3>에서,

$$net_i = \sum_{j=1}^n w_{ij}X_j + i_i - T_i \quad \text{for } i = 1, 2, \dots, n \quad <3>$$

i_i 에 해당하므로 실제구현시에는 곱셈기의 연결세기의 인가단에 +2V를 가하여서 상대적으로 바이어스 값으로 동작하도록 하였다. 학습시에는 외부로부터의 입력과 곱셈기의 출력신호를 비교함으로써 특별한 출력회로를 필요로 하지 않는다. 그러나 재생시에는 하나의 행(row)의 출력값들을 키르히호프의 전류법칙에 의해서 모두 더하고 이를 전류 - 전압변환회로를 통과시켜서 전압형태로 출력시키게 된다. 이에 대한 그림이 그림 5이다.

3 연결고리의 불록드 및 동작

지금까지 알아본 연결고리의 내부회로들을 모두 연결하여 도시한 것이 그림 6이다. 외부입력은 곱셈기의 하부입력과 상관관계 결정회로의 게이트단에 각각 인가 된다. 여기서 두개의 Pass 트랜지스터(그림에서는 하나의 스위치로 보았다)에 의해서 입력과 연결세기의 곱셈결과는 선택적으로 출력회로 또는 상관관계 결정회로의 소스단에 인가가 된다. 상관관계 결정회로와 커패시터사이의 전류 변환회로(I-REG)는 출력전류의 범위를 변형시키기 위하여 사용하였다. 다시 말해서, 본래 상관관계 결정회로의 출력전류는 양(Positive)의 값이다. 이러한 양의 값으로는 상관관계에 따라서 탄력적으로 커패시터의 전압을 증가 또는 감소시키기 위해서 사용하였다. 그래서, 그 범위가 -1 ~ +1V사이의 전압에 해당하는 전류로 바뀌어서 커패시터의 전압이 적정영역(-2 ~ +2V)사이에서 변화하도록 한다. 그리고 게이트의 전압이 항상 +5V인 nMOS를 연결하여 전류로 다시 바뀌어서 커패시터로 흐르게 하여 전하량을 조정하게 된다. 그러나 곱셈기의 출력이 출력회로로 연결되어지는 경우에는 곧바로 출력회로에 의해서 출력된다.

4. 시뮬레이션 결과

4.1 학습과정

학습과정에 있어서 가장 중요한 것은, 앞서서도 말한 것처럼 어떻게 상관관계 결정회로의 결과를 적절하게 커패시터에 적용하느냐이다. 상관관계 결정회로의 결과는 전류형태이고 커패시터의 변화량을 결정하므로 이를 전류 - 전압변환 회로를 이용하여 -1 ~ +1V 사이의 전압으로 바뀌어서 커패시터의 전압이 적정영역(-2 ~ +2V)사이에서 변화가 용이하게 한다. 그리고 게이트의 전압이 항상 +5V인 nMOS를 연결하여 전류로 다시 바뀌어서 커패시터로 흐르게 된다. 그림 7은 상관관계 결정회로의 결과를 입력전압들을 각각 독립적으로 변화시켰을때 출력되는 값을 도시하였다. 그림에서보는 것처럼 O_i 가 1V일 때에는 X_i 가 증가할수록 출력이 작아지고 5V일 때에는 증가하는 것을 볼 수가 있다. 그리고 이들사이의 값(+2 ~ +4V)의 경우에는 약간 다른 현상을 볼 수가 있다. 3V또는 4V의 경우에는 5V는 아니지만 상대적으로 큰 값들이므로, 미약하지만 입력전압이 0V에 가까워 질수록 출력이 증가하고 있다. 2V의 경우에는 1V에 가까우므로 출력이 감소하는 특성을 보이기 때문에 중간값에 대해서도 올바른 동작을 커패시터에 미치고 있다. 행의 학습방법은 곱셈기를 사용하지 않고서도 X_i 와 O_i 사이의 상관관계를 이용하여 커패시터의 전하량을 변화시키므로 해서 구현할 수가 있다.

4.2 재생과정

패턴인식의 예제를 가지고서 재생과정에 대해서 PSPICE를 이용하여 시뮬레이션을 하였다. 최악(Worst Case)의 상태에서의 회로동작특성을 알아보기 위해서, 이진데이터를 사용하였다. 연결세기는 하나의 학습패턴 (1, 0, 1, 0, 1, 0)에 대해서, 이진형태의 연결세기를 구하는 홉필드 네트워크의 학습법칙,

$$W_{ij} = (1 - \delta_{ij}) \sum_{m=1}^p (2X_i^{(m)} - 1)(2X_j^{(m)} - 1) \quad <4>$$

$$\delta_{ij} : \text{Kronecker function} \begin{cases} \delta_{ij} = 1, & \text{if } i = j \\ \delta_{ij} = 0, & \text{if } i \neq j \end{cases}$$

$$m : \# \text{ Sample Pattern, for } m = 1, 2, \dots, p$$

$$X_i^{(m)} : m\text{-th sample pattern of } i\text{-th neuron}$$

을 이용하여 계산하였다. 이렇게 해서 이루어진 재생회로의 입력레타는 0과 1로 이루어진 펄스입력이고 이는 각각 -5V와 0V에 해당한다. 연결세기는 -1과 1에 대해서 각각 최대치인 -2V와 +2V에 해당한다. 출력은 0 ~ 3.5V의 범위로 출력이 된다. 그림 8은 입력 (1, 0, 1, 0, 1, 0)에 대해서 이론적으로 계산하여 학습된 연결세기와 학습이 섞여진것으로 간주하고 (1, 1, 1, 1, 1)의 입력이 들어갔을 때의 재생시킨 결과이다. 상당한 잡음이 들어갔음에도 불구하고 적절한 출력을 내고 있다.

5. 결론

아날로그 회로는 특성상 커패시터의 전하량을 변화시키는 것이 용이하지 않으며 디지털 회로에 비해서는 덜하지만, 다수의 곱셈기를 사용함으로써 넓은 칩 면적을 필요로 하였다. 본 논문에서는 홉필드 네트워크의 VLSI구현에서 이루어져 왔던 기존의 방법과는 달리, 곱셈기의 사용을 최소로 줄이고 대신에 몇 개의 MOS소자만을 가지고서 행의 학습방법을 구현하게 했기 때문에 하나의 칩위에 더욱 많은 수의 연결고리를 구현할 수 있는 가능성과 이에따르는 소자들 간의 지연시간에 대한 고려를 배제할 수가 있었다. 그리고 학습과정의 알고리즘상 잡음이 섞인 입력신호에 대해서도 동작이 원활하기 때문에 고장허용도(fault - tolerant ratio)가 증가하였다. 본 논문에서 제안된 방법으로 구현된 홉필드 네트워크는 연상기억(Associative memory)이나 패턴인식(Pattern recognition)에 적용이 가능하다.

6. 참고문헌

- [1] 한 일송, "하이브리드 신경망 칩의 확장성과 특성", JCEANF '92, pp 516-521, 1992.
- [2] Philip Treleaven, Marco Pacheco, & Marley Velasco, "VLSI Architecture for Neural Networks," IEEE MICRO, pp 8-27, Dec. 1989.
- [3] Michael Verleysen, Paul G.A. Jespers, "An Analog VLSI Implementation of Hopfield's Neural Network," IEEE MICRO, pp. 46-55, Dec. 1989.
- [4] Tzi-Der Chiuoh and Rodney M. Goodman, "VLSI Implementation of a High-Capacity Neural Network Associative memory," Advances in NIPS II, Ed. david S. Touretaky, Morgan Kaufmann, 1989.
- [5] Shawn P. Day, "A VLSI Neural Network with On-Chip Learning," Advances in NIPS III, 1990.
- [6] M. R. Choi, F. M. A. Salam, "Implementation of FFANN with Learning Using Standard CMOS VLSI Technology," ISCAS, pp. 1509-1512, 1991.
- [7] Bang W. Lee & Bing J. Sheu, *Hardware annealing in Analog VLSI Neurocomputing*, Kluwer Academic Publishers, pp. 89-99, 1991.
- [8] Philip D. Wasserman, *Neural Computing: Theory and Practice*, Van Nostrand Reinhold, pp. 93-112, 1989.
- [9] Card, H. C., C. R. Schneider, & W. R. Moore, "Hebbian Plasticity in MOS Synapses," IEEE Proc. Part F 138(1): 13-16, 1991.

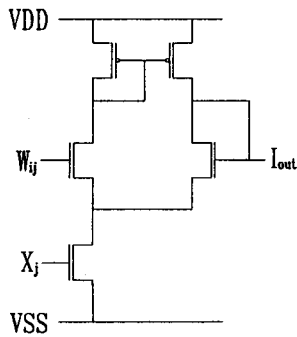


그림 1. 곱셈기 회로
Figure 1. Multiplier Circuit

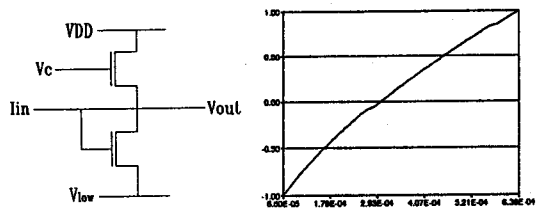
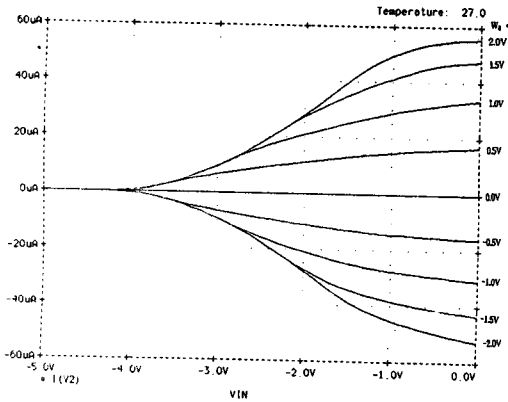
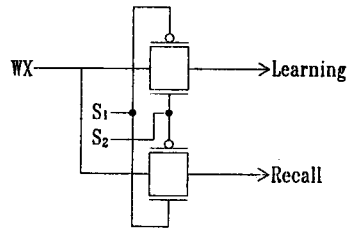
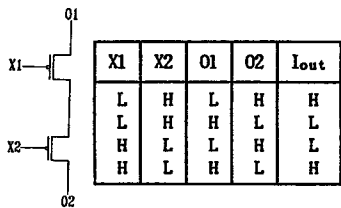


그림 3. 전류전압 변환 회로
Figure 3. Linear impedance Circuit

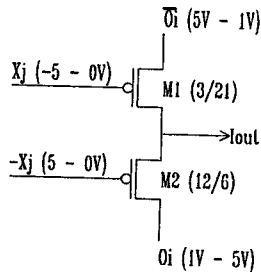


Select	Mode
S ₁ S ₂	Mode
+5 -5	Recall
-5 +5	Learning

그림 4. 모드 선택 회로
Figure 4. Switching mode Circuit



(a) 예제



(b) 실제 회로도

그림 2. 상관관계 결정회로
Figure 2. Correlation (COR) Circuit

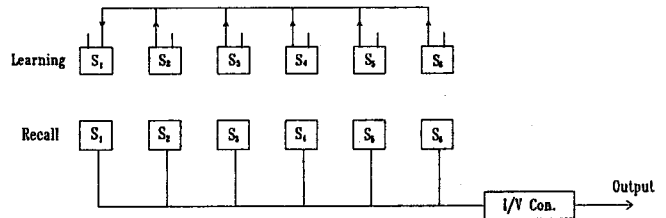


그림 5. 단일 뉴우런에 대한 출력회로
Figure 5. Output circuit of single neuron

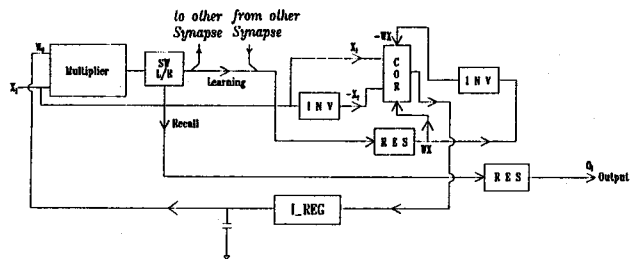


그림 6. 단일 연결고리에 대한 블록도
Figure 6. Block diagram of single synapse

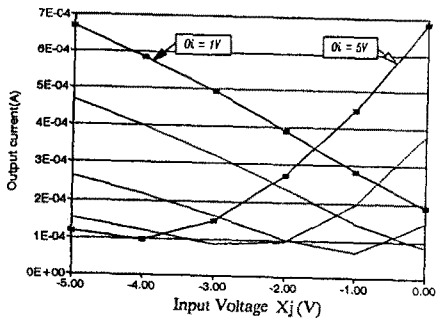
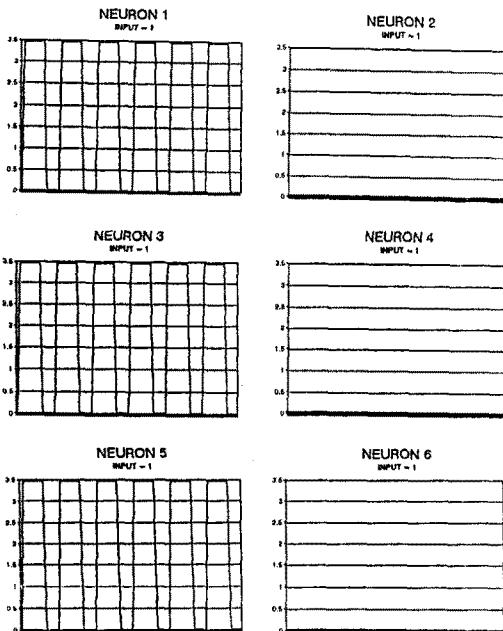


그림 7. 상관관계에 의한 학습신호
Figure 7. Learning signal by Correlation

j \ i	1	2	3	4	5	6
1	0	-1	1	-1	1	-1
2	-1	0	-1	1	-1	1
3	1	-1	0	-1	1	-1
4	-1	1	-1	0	-1	1
5	1	-1	1	-1	0	-1
6	-1	1	-1	1	-1	0

(a) 연결세기



(b) 재생결과

그림 8. 재생과정
Figure 8. Recall Mode

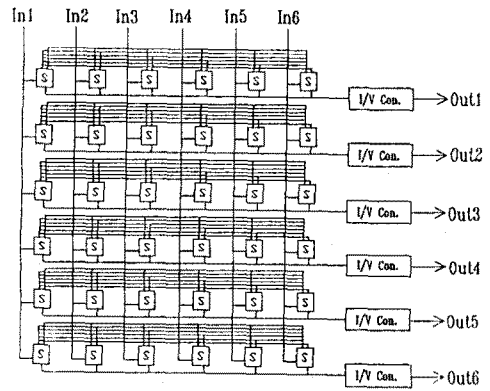


그림 9. 전체 회로도
Figure 9. 6-neuron Hopfield network

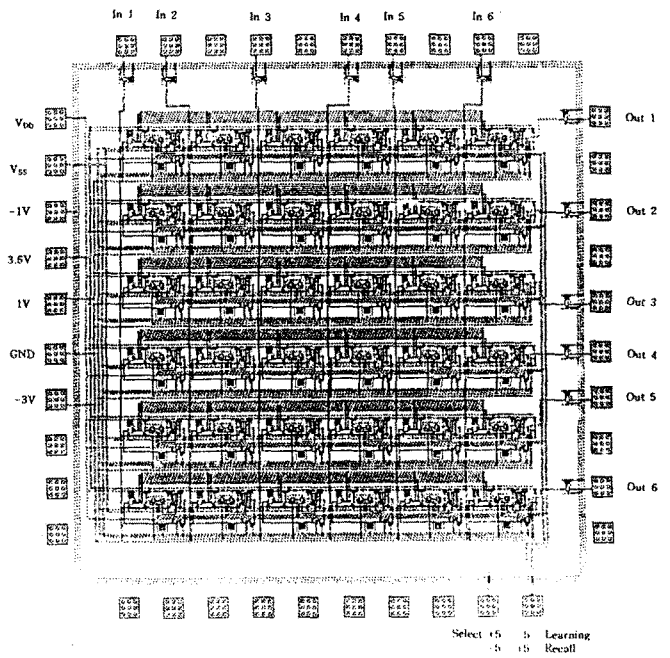


그림 10. Layout
Figure 10. Layout