

디지털 필터의 설계 및 구현에 관한 연구

서은택, 정진현
 광운대학교, 제어계측공학과

A Study on Design and Implementation of Digital Filter

Eun Taek Seo, C. H. Chung
 Kwangwoon Univ., Dept. of Control and Instrumentation Eng.

Abstract.

Digital filter is a signal processor which converts the sequence input sampled from analog signal into another sequence output. It includes software routines which filter digital signal, a computer system for executing the routines, and a data acquisition system which implements A/D, D/A signal conversion.

In this paper, a data acquisition system is designed and implemented for one-board computer of MC68000. Also, the theory regarding signal conversion and its problems occurred in implementation are considered. And then, with the hardware implemented like this, design of a digital low-pass filter with the cutoff frequency of 200Hz is implemented, and related characteristics are considered.

제 I 장 요약

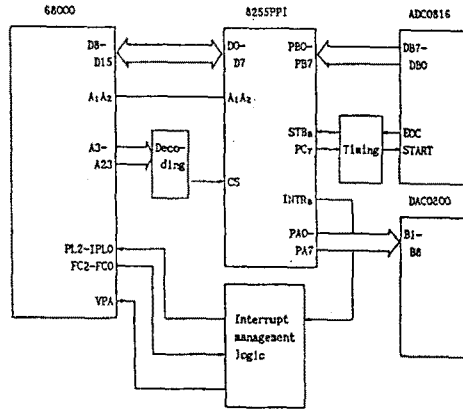
디지털 신호처리 분야에서 디지털 필터는 아날로그 신호로부터 샘플링된 순차(sequence)의 입력을 또 다른 순차인 출력으로 변환시키는 신호 처리기로서, 디지털 신호의 필터링을 담당하는 소프트웨어 루틴과 이 루틴을 실행하기 위한 컴퓨터 시스템, 그리고 A/D, D/A 신호 변환을 구현하는 data acquisition system을 포함한다.

본 논문에서는 Motorola사의 범용 마이크로프로세서인 MC68000을 이용하여 만들어진 one-board computer를 위한 data acquisition system을 설계 제작하고, 신호 변환에 관련된 세부적 이론, 실제 구현에 있어서 발생하는 여러 문제점들을 고찰하였다. 또한 이렇게 구현된 하드웨어를 이용하여 200Hz의 차단 주파수(cutoff frequency)를 갖는 디지털 저역통과 필터(digital low-pass filter)의 설계를 구현하고, 특성들을 고찰하였다.

제 II 장 Data Acquisition System의 구현

1. 시스템의 구성

<그림 1>에 전체 시스템의 블럭도를 나타내었다.



<그림 1> 전체 시스템의 블럭도

2. 데이터 변환 성능의 고찰

2.1 Throughput rate의 계산

시스템의 throughput rate는 매번의 변환 과정에 소요되는 전체 시간을 추정함으로써 계산된다.

S/H 포착시간 (sample & hold acquisition time)	6μs
S/H 출력 정착 시간 (output settling time)	1μs
ADC 변환 시간 (conversion time)	102.4μs
OUT 명령 실행, EOC 감지 및	
IN 명령 실행 지연 시간	40μs

매 변환에 소요되는 전체 시간 지연 149.4μs
 따라서 가능한 최대 throughput rate는 6667 samples/sec가 된다.

2.2 정확도(Accuracy)의 계산

아날로그 입력과 그에 대응하는 디지털 출력간에 존재하는 오차(error)의 원인들은 다음과 같다.

S/H 전압 불확실도 (voltage uncertainty)

$C_h = 1000\text{pF}$ 의 경우 0.2%

S/H 이득 오차 (gain error)	0.01%
ADC 양자화 불확실도(quantization uncertainty)	0.2%
ADC 오프셋, 이득, 선형 오차 (offset, gain, linearity error)	0.3%
ADC 기준전압 변동 오차 (error due to reference signal drift)	0.1%
최악의 경우의 오차 총합 (대수합)	0.81%
통계적 평균오차 (rms)	0.42%

위에서 보여지듯 전체 오차는 어떤 경우에도 1%보다 작은 값이 되므로 비교적 안정하다 볼 수 있다.

제 III 장 Digital Filter의 설계 / 구현

채용한 ADC의 변환시간이 100μs이고, 필터루틴의 실행으로 소요되는 시간 지연이 150μs (Butterworth 4차, 1D cascaded structure[1] 사용의 경우)정도이므로, 가능한 최대 샘플링 주파수는 약 4kHz가 된다. 신뢰할 수 있는 아날로그 신호의 샘플을 얻으려면 한 주기동안 적어도 10 번의 샘플링은 이루어져야 하므로 입력 가능한 최대 주파수는 400Hz 정도가 된다. 본 논문에서는 이 범위내에서 통과대역을 설정하여, 200Hz의 차단 주파수를 갖는 Butterworth 4차 저역통과 필터의 설계를 구현하였다.

1. Filter 설계

1.1 H(s)의 결정

표준 4차 Butterworth 필터의 전달함수는

$$H(s) = \frac{1}{(s^2 + 0.76536s + 1)(s^2 + 1.84776s + 1)} \quad (3.6)$$

이를 200Hz의 차단 주파수를 갖도록 주파수 변환하면,

$$H(s) = \frac{2.49367 \times 10^{12}}{(s^2 + 961.77974s + 1.57914 \times 10^6) \cdot (s^2 + 2321.96370s + 1.57914 \times 10^6)}$$

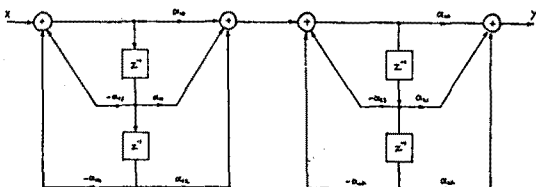
1.2 H(z)로의 변환

앞에서 구한 H(s)를 bilinear trans-formation하고 T 값을 대입하여 정리하면 다음과 같은 디지털 필터의 전달함수를 얻는다.

$$H(z) = \frac{0.03251 \times (1 + Z^{-1})^4}{(1 - 0.64533z^{-1} + 0.74336z^{-2}) \cdot (1 - 0.47361z^{-1} + 0.09148z^{-1})}$$

1.3 필터 구조(Filter structure)

이러한 필터 구조로 구현하면 <그림 2>와 같다.

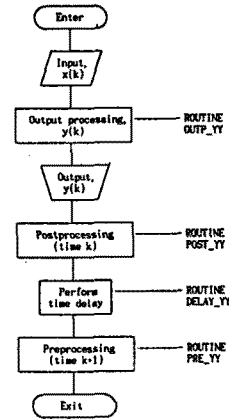


<그림 2> 설계된 필터의 cascaded structure.

2. Filter의 구현

2.1 Second-order module의 구현

Second-order module을 구현하기 위한 모든 프로그램은 <그림 3>의 순서도에 의한다. 1D module의 처리과정은 사후처리(post-processing) 없이 완결된다.



<그림 3> General second-order module

$$YY = 1D, 2D, 3D, 4D$$

이와같은 처리를 위한 계산과정은 1D structure인 경우에 다음과 같이 정리된다.

$$\text{OUT_1D} : \begin{aligned} m(k) &= x(k) + T_1 \\ y(k) &= a_0 m(k) + T_2 \end{aligned}$$

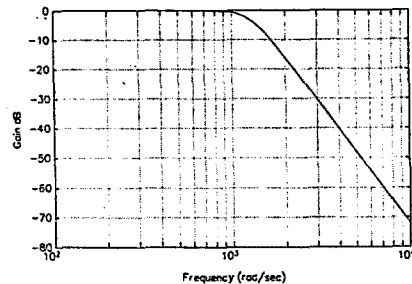
$$\text{POST_1D} : \text{none}$$

$$\text{PRE_1D} : \begin{aligned} T_1 &= -b_1 m(k-1) - b_2 m(k-2) \\ T_2 &= a_1 m(k-1) + a_2 m(k-2) \end{aligned}$$

제 IV 장 결과 및 고찰

1. 컴퓨터 시뮬레이션

앞에서 설계한 아날로그 필터의 성능은 H(s)의 Bode plot에 의해 관찰되는 주파수 응답으로 고려된다. IBM PC에서 MATLAB[8] 프로그램을 사용하여 시뮬레이션 한 결과가 <그림 4>에 보여진다.

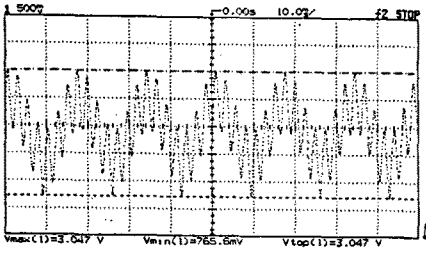


<그림 4> H(s)의 Bode plot

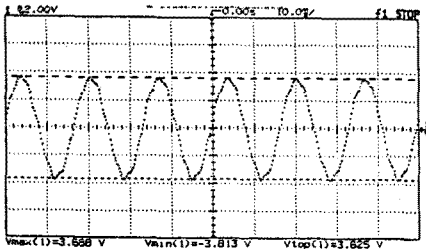
2. 실험결과와의 비교/고찰

구현된 디지털 필터의 동작을 실험하기 위하여, 두가지 방법으로 그 성능을 관찰하였다. 먼저 통과대역내의 주파수인 60Hz의 정현파와 정지대역내의 주파수인 400Hz의 정현파를 그 구성성분으로 갖는 신호를 디지털 필터에 입력하여 그 출력을 오실로스코프로 관찰하였다.

<그림 6>과 <그림 7>에 필터 입/출력 신호를 보였다. 그림에서 볼 수 있듯이 400Hz 성분은 완전히 제거되는 않았으나, 거의 60Hz 정현파에 가까운 모양의 파형이 출력되었다.

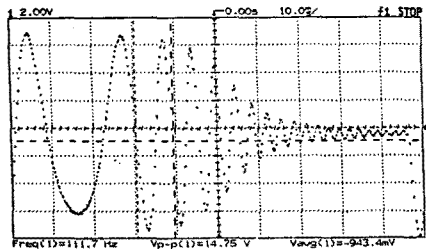


<그림 6> 필터 입력 파형



<그림 7> 필터 출력 파형

위의 방법으로 일단 필터링 동작을 하고 있음은 알 수 있으나, 그 주파수 응답 특성등을 알 수는 없다. 이를 알아보기 위하여, 필터에 입력되는 신호의 주파수를 통과대역 내의 낮은 값으로부터 차차 높여가며 필터의 출력 파형을 관찰하였다. <그림 8>에 그 결과를 나타내었다. 발생하는 오차는 ADC의 분해능을 비롯한 각종 오차, 컴퓨터 내부 계산 과정중 - 워드 사이즈의 제한(finite word length)에 기인하는 - 곱셈 결과 표현에 있어서의 버림(truncate)문제, DAC 출력신호를 conditioning하는 과정(interpolation)에서 발생하는 오차 등에 그 원인이 있다.



<그림 8> 주파수 응답

제 V 장 결론

Data acquisition system의 성능을 결정하는 중요한 요인은, analog-to-digital 신호변환의 throughput rate에 가장 큰 영향을 미치는 ADC의 conversion time과, 변환된 디지털 데이터의 정확도를 결정하는 resolution이다. 이는 CPU module과 필터 루틴을 포함하는 전체 디지털 필터 시스템에 있어서 하드웨어적 한계로 작용한다. 한

편, 주파수 선택 필터는 통과대역내 주파수 응답의 unity-magnitude 특성, transition-band의 폭, 정지대역내 주파수 응답의 zero-magnitude 특성 등에 기준하여 그 성능이 평가된다. 일반적으로 필터의 차수(order)를 높임으로써 이와같은 특성들을 개선할 수 있으나, 차수가 높아지면 소프트웨어 루틴에서 소요되는 시간지연이 길어지므로 시스템의 샘플링 주파수가 낮아지게 되고, 이는 처리 가능한 최대 입력 주파수를 떨어뜨리는 효과를 가져온다. 따라서 data acquisition system과 프로세서의 하드웨어적 한계를 염구에 두고, 여과되어질 신호의 특성과 시스템의 사용 목적에 부합하도록 필터의 사양을 결정하여야 한다.

구현된 디지털 필터의 주파수 응답은 시뮬레이션 결과에 비하여 그 transition-band의 폭이 넓게 관찰되었다. 이와같이 실제로 구현된 필터의 성능이 떨어지는 원인은 전송한 데이터 변환과정에서 발생하는 오차 외에 컴퓨터에 의한 계산과정에 포함되는 오차가 있다. 컴퓨터 내부에서 필터의 계수와 중간결과를 저장하는 레지스터와 메모리의 사이즈가 일정하게 정해져 있으므로 계산의 정확도에 제한이 있고, 그러한 효과는 계산이 거듭될수록 커지게 되기 때문이다.

제 VI 장 참고문헌

- [1] Charles L. Phillips and H. Troy Nagle, "Digital Control System Analysis and Design", 2nd ed., Prentice-Hall, 1990.
- [2] Samir S. Soliman and Mandym D. Srinath, "Continuos and Discrete Signals and Systems", Prentice-Hall, 1990.
- [3] Alan V. Oppenheim and Alan S. Willsky, "Signals and Systems", Prentice-Hall, 1983.
- [4] Willis J. Tompkins and Hohn G. Webster, "Interfacing Sensors to the IBM PC", Prentice-Hall, 1988.
- [5] Yu-Chen Liu, "The M68000 Microprocessor Family", Prentice-Hall, 1991.
- [6] Wunnava V. Subbarao, "16/32-bit Microprocessors 68000/68010/68020", Maxwell Macmillan, 1991.
- [7] 서은택 외 5인, "MC68000 Microprocessor를 위한 Data Acquisition System의 제작과 이를 이용한 디지털 필터의 구현", ICIS-TR-RAL93-2, 제어계측시스템 연구소, 광운대학교, 1993.
- [8] John Little and Loren Shure, "386-MATLAB SIGNAL PROCESSING TOOLBOX", The MathWorks, Inc. 1988.