

# 고주파용 필터구현을 위한 개선된 CMFB회로를 이용한 CMOS Op-amp 설계

<sup>0</sup>임대성<sup>#</sup> 최영재<sup>#</sup> 이명수<sup>#</sup> 김동용<sup>#</sup>

<sup>#</sup>전북대학교 전기공학과

## A CMOS Op-amp Design of Improved Common Mode Feedback(CMFB) Circuit for High-frequency Filter Implementation.

<sup>0</sup>Lim Dae Sung<sup>#</sup> Choi Young Jae<sup>#</sup> Lee Meung Su<sup>#</sup> Kim Dong Yong<sup>#</sup>

<sup>#</sup>Dept. of Electrical Eng. Chonbuk Univ.

### ABSTRACT

A fully balanced differential amplifier can achieve high-gain wide-bandwidth characteristics. And also, Offset, PSRR, CMRR and Noise performance of that are excellent, but these merits can be achieved only when the architecture holds fully balanced. Commonly, the fully balanced differential amplifier has a common mode feedback(CMFB) circuit in order to maintain the balance.

This paper presents improved characteristics of the CMFB circuit and designs the wide-bandwidth CMOS Op-amp. The unity gain bandwidth of this Op-amp is 50MHz with the load capacitor 2pF, and the value of phase margin is 85

### 1. 서론

아날로그 회로 및 아날로그-디지털 회로에서 Op-amp는 매우 중요한 내부구성 회로이며, 전체회로의 성능이 Op-amp의 특성에 영향을 받을 수 있으므로 회로 설계시, 좋은 특성을 갖는 Op-amp의 설계는 매우 중요하다. Op-amp는 현재 매우 다양한 구조로서 구성되어 있으며 일반적으로 널리 사용되고 있는 Op-amp를 형태별로 분류해보면, 단일출력단을 가지는 일반적인 구조, 차동출력단을 가지는 구조, 균형적인 차동출력단을 가지는 구조로 나눌 수 있다. 특히 균형적인 차동출력단을 갖는 구조는 다른 구조에 비해서 회로가 복잡하여 칩면적이 커지고 전력의 소비가 크다는 단점이 있는 반면에 완전한 대칭 구조를 이루므로써 고이득, 광대역특성을 얻을 수 있을 뿐만 아니라 상보적, 대칭적 구조로 구성되므로써 입력력 오프셋, PSRR, CMRR 및 잡음특성등이 우수하다는 장점이 있다. 이러한 장점들은 언급한 단점들을 감수할 만큼의 강점으로 작용하므로 균형적인 차동출력단을 갖는 Op-amp는 고주파용 필터를 비롯한 아날로그 시스템에서 널리 쓰이고 있다. 이 때 이 구조는 균형적인 차동출력특성을 유지하기 위하여 상동모드 피이드백(CMFB) 회로를 사용하고 있다.

지금까지 널리 사용되고 있는 CMFB 회로는 Choi<sup>[1]</sup>에 의해서 제안된 회로가 있으나 이 회로는 그의 특성에 있어서 개선의 여지가 있다.

본 논문에서는 기존에 제안된 CMFB 회로의 단점을 개선하고 보다 우수한 특성을 가지는 CMFB 회로를 설계하여 고주파용 Op-amp 설계에 응용하고자 한다.

### 2. 광대역 CMOS Op-amp의 구조

#### 2.1 2단(two stage) 구조

2단 구조는 설계방법이 간단하고 비교적 높은 전압이득과 출력전압 스윙을 얻을 수 있다. 그러나 전체의 전압이득에 기여하는 두 개의 높은 임피던스 노드는 두개의 극점(P<sub>1</sub>, P<sub>2</sub>)을 형성시키게 되어 고주파영역에서의 안정성을 해치게 된다. 따라서 이를 보상하기 위해서는 극점분리용 커패시터(C<sub>c</sub>)와 nulling 저항(R<sub>n</sub>)이 필요하다. 이 구조의 극점은 식(1)과 식(2), 전압이득(A<sub>v</sub>)은 식(3), 단위이득 대역폭(GB)은 식(4), Slew Rate(SR)은 식(5)와 같다.

$$P_1 = - \frac{1}{g_{m2} R_1 R_2 C_c} \quad (1)$$

$$P_2 = - \frac{g_{m2}}{C_2} \quad (2)$$

$$A_v = g_{m1} R_1 g_{m2} R_2 \quad (3)$$

$$GB = g_{m1} / C_c \quad (4)$$

$$SR = I_o / (C_c + C_L) \quad (5)$$

윗 식들은 C<sub>c</sub>에 의해 회로의 특성이 저하됨을 보여준다. 또한 C<sub>c</sub>는 고주파영역에서 PSRR 특성에도 상당한 영향을 준다. 결론적으로 2단 구조의 Op-amp는 고주파용으로는 적당하지 않다.

#### 2.2 1단(one stage) 구조

이 구조는 전체회로의 전압이득이 대부분 출력단에서 얻어진다. 즉, 높은 임피던스 노드가 출력단에만 존재한다. 이때 극점은 식(6), 식(7)과 같다.

$$P_1 = - \frac{1}{R_2 C_L} \quad (6)$$

$$P_2 = - \frac{1}{R_1 C_1} \quad (7)$$

윗 식에서 입력단의 출력 저항  $R_1$ 이 매우 작기 때문에  $P_2$ 와 주극점  $P_1$ 은 2단 구조의 경우에서 보다 멀리 떨어진다. 따라서 주파수 보상용  $C_c$ 가 불필요하게 되며 용량성 부하  $C_L$  자체에 의하여 자동적으로 주파수 보상이 된다. 이 구조의 GB는 식(8), SR은 식(9)와 같다.

$$GB = g_m / C_L \quad (8)$$

$$SR = I_0 / C_L \quad (9)$$

윗 식들은  $C_c$ 에 의하여 제한을 받지 않는다. 결국, 1단 구조는 고주파용 Op-amp에 적합하다고 할 수 있다.

### 2.3 Folded-cascode 구조를 갖는 1단 Op-amp

고주파용 Op-amp 설계에 유리한 1단 구조의 가장 큰 단점으로는 단일 이득단으로 인하여 높은 DC 전압이득을 얻기가 어렵다는 것이다. 대개의 경우 이러한 단점을 보완하기 위하여 그림 1과 같은 cascode 부하를 사용한다<sup>[1]</sup>.

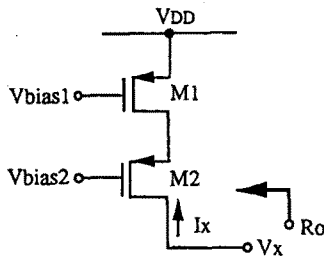


그림 1. cascode 부하

이때 부하의 출력저항  $R_0$ 는 식(10)과 같다.

$$R_0 = r_{d1} + (1 + g_{m2} r_{d1}) r_{d2} \approx r_{d1} g_{m2} r_{d2} \quad (10)$$

이 식에서 M2는 M1만의 출력저항  $r_{d1}$ 을 약  $g_{m2} r_{d2}$ 배 증폭시켜 준다. 이러한 cascode 부하를 출력단에 이용한 1단 구조의 Op-amp의 한 종류는 그림 2와 같다.

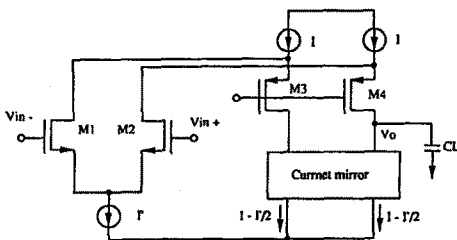


그림 2. Folded-cascode 구조의 Op-amp

이 구조에서 전원으로부터 공급되는  $I$ 는 차동입력단 M1과 M2로 흐르는 전류( $I/2$ )와 M3 또는 M4에 의하여

매우 크게 증폭된 저항을 가지는 출력단으로 흐르는 전류 ( $I/2$ )로 나뉘어 흐르게 된다. 이때 DC 전압이득은 식(11)과 같으며 이는 2단 구조

$$A_v = g_{m1} r_0 g_{m3} r_{d3} \quad (11)$$

에서의 DC 전압이득 식(3)과 비교해 볼 때 대등한 값이다. 이때 극점들의 위치는 식(12), 식(13)과 같다.

$$p_1 = - \frac{1}{g_{m3} r_{d3} r_0 C_L} \quad (12)$$

$$p_2 = - \frac{g_{m3}}{C_{gd3}} \quad (13)$$

한편 이 구조는 출력단이 직렬의 cascode 부하들로 구성되었기 때문에 출력 전압스윙이 작다는 단점을 가지고 있다.

본 논문에서는 이 구조를 이용하여 완전균형 차동출력 형태의 Folded-cascode 구조를 갖는 1단 Op-amp를 설계한다. 이 Op-amp는 완전 차동출력 형태를 유지하기 위하여 상동모드 피이드백(CMFB) 회로를 갖는다.

### 3. 상동모드 피이드백(CMFB) 회로 설계

CMFB의 개념도는 그림 3과 같다.

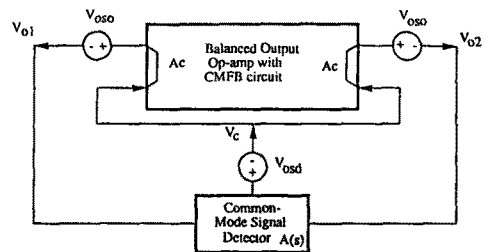


그림 3. CMFB 회로가 포함된 완전차동 Op-amp의 블럭도

$$V_{01} = \frac{A_c V_{0sd} + V_{0sp}}{1 - A_c A_s} \approx - \frac{V_{0sd}}{A_s} - \frac{V_{0sp}}{A_c A_s} \quad (14)$$

$$V_{01} = V_{02} \approx - \frac{V_{0sp}}{A_c} \quad (15)$$

CMFB가 없는 경우의  $V_{01}$ 과  $V_{02}$ 는 식(14), CMFB가 있는 경우에는 식(15)와 같다. 그림 4는 Choi<sup>[2]</sup>에 의해서 제안된 CMFB 회로이다. 이때 open loop 이득을 구하면 식(16)과 같다.

$$A_{c,choi} \approx - g_{m3} R_{out} \quad (16)$$

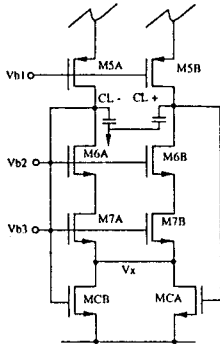


그림 4. Choi가 제안한 CMFB 회로

이때 Choi의 회로는 선형영역에서 동작한다. 또한  $V_{oc}$ 가 식(17)의 관계를 갖게 되면 선형성을 벗어나게 되어 CMFB의 선형성을 잃게 된다.

$$(V_{oc} - V_{ss}) < (V_x - V_{ss} + V_{th}) \quad (17)$$

(단,  $V_{th}$ 는 MCA 또는 MCB의 문턱전압)

CMFB 회로의 설계조건을 요약하면 다음과 같다.

- CMFB 회로의 높은 이득  $A_c$
- CMFB 회로의 안정성을 위한 주파수 보상
- 차동입력단의 동작에 무관한 출력단의 균형

즉, Choi의 회로는 위의 조건을 만족시키지 못하고 있다. 상기의 설계조건에 기초를 두어 본 논문에서 설계된 차동 증폭단을 이용한 CMFB 회로는 그림 5와 같다.

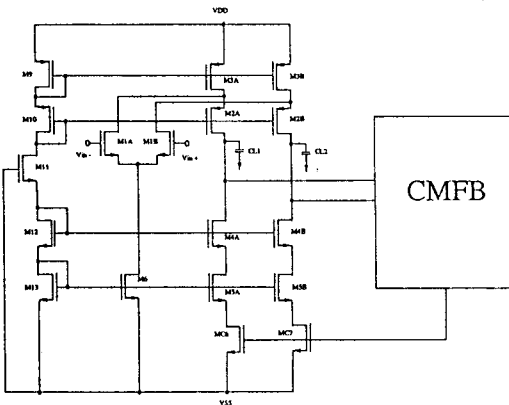


그림 5. 설계된 차동증폭단을 이용한 CMFB 회로

이때 그림5에 보인 설계된 회로에서 구한 CMFB 회로의 open loop 이득은 식(18)과 같다.

$$A_{c,diff} = - \left( g_{mcl} \frac{G_{in}}{g_{dcl} + G_s + G_{in}} \right) R_L \quad (18)$$

$$\approx - g_{mcl} R_{out}$$

여기서  $G_{in} = g_{m2a}(1 + R_L/r_{da})$ ,  $G_s = g_{da}$ ,  $R_{out}$ 은 출력단의 출력저항,  $R_L = r_{da}(1 + g_{m2a}r_{da})$ 이다. 한편 식(18)과 앞에서 살펴 보았던 Choi의 CMFB open loop 이득을 나타내는 식(16)사이에는 식(21)의 관계가 성립되고 여기서  $g_{mcl} > g_{m2a}$ 이므로 CMFB 회로의 open loop 이득  $A_c$ 가 개선되었음을 보여준다.

$$\frac{A_{c,diff}}{A_{c,choi}} \approx \frac{g_{mcl}}{g_{m2a}} \quad (21)$$

또한 차동과 상동 양 신호는 모두 cascode 출력단을 신호 전달의 통로로 공유하고 있게 되므로 출력단에 대하여 주파수 보상을 하면 CMFB 회로 역시 주파수 보상이 이루어진다.

#### 4. 광대역 Fully Balanced-cascode CMOS Op-amp 설계

설계된 Op-amp의 회로도에는 그림6과 같다.

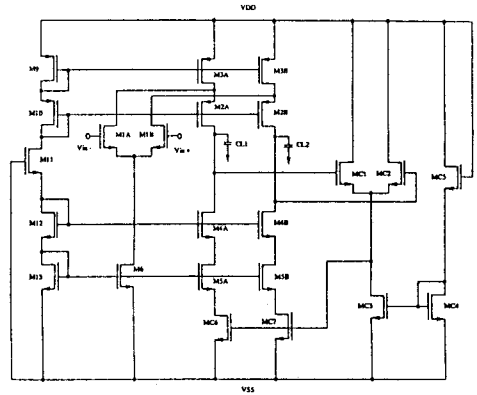


그림 6. 설계된 Op-amp의 회로도

설계된 Op-amp의 SPICE 시뮬레이션에 의한 특성결과를 표 1과 그림 7에 나타내었다.

표 1. SPICE 시뮬레이션에 의한 Op-amp의 특성

OPEN LOOP GAIN	66 dB
UNITY GAIN FREQUENCY	50 MHz
PHASE MARGIN	85 °
SLEW RATE	10.13 V/μsec
PSRR VDD	74 dB
PSRR VSS	70 dB
CMRR	112 dB
POWER DISSIPATION	62 mW

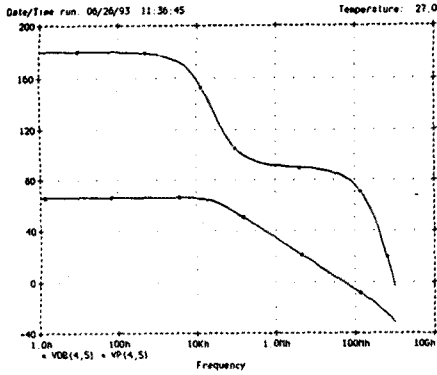


그림 7. SPICE 시뮬레이션에 의한 Op-amp의 특성

[5] M. Bazes, "Two Novel Fully Complementary Self-Biased CMOS Differential Amplifiers", IEEE J. Solid-State Circuit, vol. SC-26, no. 2, pp. 165-168, Feb. 1991.

## 5. 결론

1단 구조의 Op-amp 회로중에서 완전균형차동 출력단을 갖는 구조는 고이득, 광대역특성을 얻을 수 있고 입력력 오프셋, PSRR, CMRR 및 잡음특성등이 우수하다는 장점이 있다. 그러나 이러한 장점들은 회로 내에서 완전한 차동출력 및 완전균형 특성을 유지함으로써 나타날 수 있으며, 이를 위하여 상동모드 피이드백(CMFB) 회로를 내부에 사용한다. 본 논문에서는 CMFB 회로를 새롭게 설계하였다. 설계된 CMFB 회로는 지금까지 널리 사용되고 있는 Choi<sup>[1]</sup>에 의해서 제안된 CMFB 회로에 비하여 특성이 개선되었다. 또한 제안된 CMFB 회로를 사용하여 CMOS Op-amp 설계에 응용하였다. SPICE 시뮬레이션 결과, 설계된 CMOS Op-amp의 단위이득 대역폭은 2pF의 부하상태에서 50MHz이었으며, 위상마진은 85°였다.

본 연구에서 설계된 CMOS Op-amp는 광대역의 단위이득 대역폭을 가지고 있으며 고주파영역에서 높은 PSRR 등 좋은 특성을 기대할 수 있어서 고주파용 필터나 MOSFET-C 필터등, 고주파용 아날로그 회로의 내부 구성 소자로써 응용이 가능할 것이다.

## 참 고 문 헌

- [1] P. R. Gray, "Basic MOS Operational Amplifier Design - An Overview", in Analog MOS Integrated Circuits. New York : IEEE Press, pp. 29-49, 1980.
- [2] P. R. Gray and R. G. Meyer, "MOS Operational Amplifier Design - A Tutorial Overview", IEEE JSSC, vol. SC-17, no. 6, pp. 969-982, Dec. 1982.
- [3] M. Banu et al, "Fully Differential Operational Amplifier with Accurate Output Balancing", IEEE JSSC, vol. SC-23, no. 6, pp. 1410-1417, Dec. 1988.
- [4] T. Takemoto and M. Inoue, H. Sadamatsu, " A Fully Parallel 10 Bit A/D Converter with Video Speed", IEEE J. Solid-state Circuit, vol. SC-17, no. 6, Dec. 1982.