

# 이중 구조 Gate를 이용한 MOS 특성 개선

최영찬, 정회환, 정관수

경희대학교 전자공학과

최근들어 반도체 소자의 고집적화에 따라 다결정 실리콘 박막(polysilicon film)과 게이트 절연막의 두께가 얇아지는 추세이므로 절연물질인 산화막( $\text{SiO}_2$ )의 중요성이 증대되고 있다. 더우기, E<sup>2</sup>PROM이나 DRAM 소자는 전도층간의 용량성 문제를 개선하기 위해 얇은 산화막(thin oxide)을 사용하므로 누설 전류가 증가하고 절연파괴전압이 낮아지는 문제점을 갖고 있다. 따라서, 이를 개선하기 위해 산화막보다 비유전율이 큰 질화막을 사용하거나 산화막과 질화막을 적층시킨 다층막을 사용하고 있는데 앞으로는 고유전율 절연막이나 강유전체막이 적용되리라 예상된다. 그러나 산화막에 영향을 주는 요인들을 개선하는 것 또한 중요한 문제이다.

그 중에 특히, 전극에 사용하는 다결정 실리콘(polysilicon) 막질 자체가 thin oxide의 신뢰성 및 절연파괴전압(breakdown voltage)에 영향을 주는 주요인중의 하나이다. 본 실험에서는 현재 산화막/다결정 실리콘/ $\text{POCl}_3$ 의 도핑(doping)순으로 진행되는 MOS 공정에서의 다결정 실리콘에 도핑되는 인(phosphorus) 이온이 다결정 실리콘의 grain boundary를 따라서 확산되어 하부의 산화막 열화에 주 원인이 됨을 조사하였고 Gate 전극 재료를 이중 구조(다결정/비정질)로 하면 비정질 실리콘과 다결정 실리콘과의 grain mismatch에 의해 인 이온이 산화막에 유기되어 산화막이 열화되는 것을 방지할 수 있어 개선된 breakdown voltage값을 얻을 수 있었다.