

건식/습식 산화막을 적용한 MOS 특성 개선

정 회 환, 정 관 수

경희대학교 전자공학과

E²PROM이나 DRAM 소자는 전도층간의 용량성 문제를 개선하기위해 얇은 게이트 절연막을 사용하므로 누설전류가 증가하고 절연파괴전압이 낮아지는 문제점을 갖고 있다. 따라서, 이를 개선하기위해 산화막보다 비유전율이 큰 질화막을 사용하거나 산화막과 질화막을 적층시킨 다층막을 사용하고 있는데 앞으로는 고유전율 절연막이나 강유전체막이 적용되리라 예상된다. 그러나 기존에 사용되고 있는 산화막의 특성을 개선하는 것 또한 중요한 문제이다. MOS IC의 고집적화에 비례해서 게이트 산화막(gate oxide) 두께는 점점 감소하지만 인가하는 게이트 전압은 줄어들지 않았다. 따라서 이러한 thin oxide는 미세한 결함에도 민감한 반응을 하기 때문에 결함에 오래 견디는 특성을 가진 산화막을 만드는 것이 최대 과제라 하겠다.

MOS 집적회로에서 thin oxide 막의 quality는 그 device의 신뢰성과 직접관련되어 있으므로 결함 원인에 대한 정확한 해석과 개선책이 요구된다. 본 연구에서는 기존에 사용되고 있는 건식산화막과 습식산화막의 장, 단점을 비교, 평가하였는데, 습식산화막이 건식산화막보다 전기적 특성이 매우 우수하지만, polysilicon Gate에 전기적 특성을 좋게하기위해 POCl₃을 도핑할 때 인(phosphorus) 이온이 하부의 산화막에 유기되어 산화막 열화에 주 원인이 되어 산화막 내압 특성이 저하되는데, 건식산화막은 산화막 열화에 대한 내성을 가지고 있기때문에 습식산화막과 건식산화막의 특성을 결합한 이중 산화막(건식+습식)의 적용은 산화막 내압특성을 향상 시키므로 게이트 산화막 재질로서는 가장 우수한 막질이라는 것을 제시하였다. 이러한 특성을 알아보기 위하여 Al gate 및 polysilicon gate를 이용한 breakdown voltage와 capacity & voltage 및 time dependent dielectric breakdown를 통한 전기적 특성평가를 실시하였다.