

## Process Parameter의 Modelling에 의한 BiCMOS 소자 설계의 최적화 방안에 관한 연구

강이구\*, 김태익\*, 우영신\*, 이계훈\*, 성만영\*, 이철진\*\*  
 \* 고려대학교 전기공학과 \*\* 군산대학교 전기공학과

### A Study on the Computer Modelling with Process Parameters for the Optimization of BiCMOS Device

Ey-Goo Kang\*, Tae-ik Kim\*, Young-Shin Woo, Kye-Hun Lee\*, Man-Young Sung\*, Cheol-Jin Lee\*\*

\* Dept. of Electrical Eng. Korea Uni., \*\* Dept. of Electrical Eng. Kun San Uni.

#### Abstract

BiCMOS is the newly developed technology that integrates both CMOS and bipolar structures on the same integrated circuit. Improved performance can be obtained from combining the advantages of high density and low power in CMOS with the speed and current capability advantages by bipolar. However, the major drawbacks to BiCMOS are high cost, long fabrication time and difficulty of merging CMOS with bipolar without degrading of device performance because CMOS and bipolar share same process step. In this paper, N-Well CMOS oriented BiCMOS process and optimization of device performance are studied when N-Well links CMOS with bipolar process step by 2D Process and 3D Device simulation. From the simulation, Constriction of linking process step has been understood and provided to give the method of choosing BiCMOS for various analog design request.

#### 1. 서론

본 논문은 BiCMOS 소자의 최적 설계 조건의 도출을 위해 10~30V 영역에 활용할 수 있는 CMOS 제조 기술을 기본 공정으로 하여 설계 제작된 BiCMOS 소자에 대해 process parameter와 design parameter의 상호 관련성 및 parameter 별 최적 조건의 제시라는 측면에 비중을 두었다. 본 논문의 BiCMOS 공정은 각 소자를 독립적으로 제작 할 때와는 달리 CMOS 트랜지스터는 채널 Implant 공정에 의해, 바이폴라 트랜지스터와 PMOS 트랜지스터는 N-Well 공정에 의해 연결되어 있다. 이와 같이 각각의 공정 변수들이 동시에 2개의 서로 다른 소자의 특성에 영향을 미치고 있으므로, 이러한 영향들을 고찰하여 가장 적절한 소자 특성을 얻기 위해, 2차원 Process simulation을 하였고, 이 결과를 토대로 BiCMOS 소자의 동작 특성을 3차원 Device simulation을 하였다. 따라서 본 논문에서 고찰한 결과들은 다양한 아날로그 설계 요구에 있어서 BiCMOS 공정의 선택 기준과 BiCMOS 소자의 최적화 설계 방안에 도움이 되리라 사료된다.

#### II BiCMOS 소자의 Process Simulation

##### 1 주요 Process 과정과 조건의 설정

본 논문의 BiCMOS 소자에 대한 설계는 N-Well CMOS 기술<sup>[1]</sup>을 기본으로 한 공정을 선택하였고, 제작 공정의 흐름도는 그림1과 같다. 바이폴라 트랜지스터를 합하기 위한 각 추가적인 공정에 있어서 1) N'-buried 영역은 기존의 CMOS 소자 불순물 분포의 변화를 최소화 하기 위해 Sb를 사용한다. 2) P-에피층 두께는 CMOS N-Well의 접합 깊이와 불순물 농도, N'-buried층의 up-diffusion의 정도, NPN 트랜지스터의 최대  $h_{FE}$  및 최대 동작 전압등을 고려하여야 한다<sup>[2,3]</sup>. 3) 깊은 N' 영역은 N'-buried 영역과 연결 되어야 하고, 4) 에미터와 베이스는 CMOS 공정에 대

해 독립적으로 설계할 수 있게 설정 하였다.

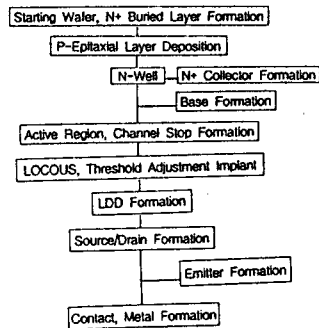


그림1 BiCMOS 소자의 제작 공정 흐름도

BiCMOS 제작시 소자들의 공정상 복합적인 결합으로 인한 특성 변화의 양상을 분석하기 위해, 얇은 채널 Implant 공정과 N-Well 공정의 이온 주입 도우즈량을 변수로 설정 하였고, 주요 공정 조건은 표1에 나타내었다. 이러한 공정 조건의 설정 기준은 다음과 같다. N'-buried 영역은 접합 깊이가 약 2.5 $\mu$ m이고, 면저항이 약 20  $\Omega/\square$ 가 되고<sup>[4]</sup>, 바이폴라 트랜지스터의  $h_{FE}$ 와  $BV_{CEO}$ 를 각각 150과 약 9V가 되도록 설정하여 설계하였다. 복합적인 결합을 이루는 N-Well공정은 Implant 도우즈량을 조절하여 앞의 설정기준을 만족하는 N-Well의 농도가  $2 \times 10^{16} \text{ cm}^{-3}$ 를 전후하여 변화하게 하였다. 한편 Threshold 전압을 조절하기 위한 얇은 채널 Implant공정은 NMOS 트랜지스터의 Threshold 전압을 기준으로 0.5~1V가 되도록 하였으며, 주어진 범위에서 도우즈량을 변화 시켰다.

표1 주요 공정의 실험 조건 (단위: 도우즈량 [ $\text{cm}^{-2}$ ], 에너지 [KeV], 온도 [ $^{\circ}\text{C}$ ], 시간 [분])

주요 단계 공정	공정 조건
N'-Buried 영역의 형성	도우즈량: $5 \times 10^{16}$ 불순물:ANTHRACENE 에너지:300 KeV 온도:1150도 확산시간:30 두께:0.45 $\mu$ m 온도:1050도 시간:15
P-에피층의 형성	불순물:BORON
N-Well의 형성	도우즈량: $3 \times 10^{16}$ 불순물:PHOSPHOR 에너지:300 KeV 온도:1070도 확산시간:10 $4 \times 10^{16}$ 확산온도:1070도 $5 \times 10^{16}$ 확산시간:10
N'-접합역의 형성	도우즈량: $2.5 \times 10^{16}$ 불순물:PHOSPHOR 에너지:150 KeV 온도:1070도 확산시간:215 $3 \times 10^{16}$ 확산온도:1070도
베이스의 형성	도우즈량: $5 \times 10^{16}$ 불순물:BORON $6.5 \times 10^{16}$ 에너지:10 $10 \times 10^{16}$ 에너지:10
깊은 채널 Implant	도우즈량: $6.3 \times 10^{17}$ 불순물:BORON 에너지:130
얇은 채널 Implant	도우즈량: $2 \times 10^{17}$ 불순물:BORON $4 \times 10^{17}$ 에너지:30 $6 \times 10^{17}$ 확산온도:1070도 $8 \times 10^{17}$ 에너지:28 $10 \times 10^{17}$ 에너지:28
LDD 형성	도우즈량: $2 \times 10^{16}$ 불순물:PHOSPHOR 에너지:30
에미터의 형성	도우즈량: $5 \times 10^{16}$ 불순물:PHOSPHOR 에너지:285 확산온도:900 확산시간:5.4

### 3 Process Modelling 알고리즘

각 공정들을 표현하는 수학적 모델들은 coupled nonlinear differential Equation들의 합으로 이루어져 있으며, 이들을 풀기 위해서 이산화 과정을 거쳐 수치 해석 방법(Newton, Gummel)을 사용한다.

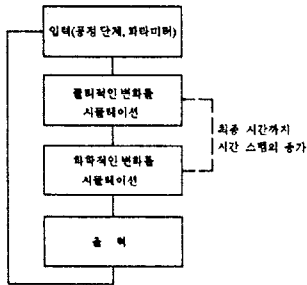


그림2 Process Modelling의 블록 선도

그림2는 이러한 Process Modelling을 도식적으로 표현하고 있으며, 물리적, 화학적 변화의 시뮬레이션은 다음의 2단계를 거친다.

- 1) 공간적, 시간적으로 이산화된 거친 각 공정 단계의 방정식이 모든 grid에서 Newton 방법 또는 Gummel 방법에 의한 수치 해석적인 계산이 이루어진다.
- 2) 시간 단계가 증가하면, 전 시간 단계에서 얻은 새로운 표면 경계 조건들을 취하여 입력된 최종 시간까지 이산화 방정식을 다시 계산 한다.

이러한 내부 루프프가 중요되면, 그 결과치는 외부 루프프를 따라 다음 공정의 입력이 되어 다음 공정을 수행한다.

### 3 Process 조건에 따른 Simulation 결과

본 절에서는 2절의 조건을 토대로 2차원 Process simulation한 결과를 보이고 있다. 그림3는 공정조건 변수인 N-Well Implant의 도우즈량에 따른 N-Well의 농도 분포를 나타낸 것이며, 그림4와 5는 N-Well Implant의 도우즈량이  $3 \times 10^{14} \text{cm}^{-2}$ 일때 얇은 채널 Implant 도우즈량에 따른 NMOS 트랜지스터와 PMOS 트랜지스터의 채널에서의 농도 분포를 나타낸 것이다.

### III BICMOS 소자의 Device Simulation

#### 1 3D Device Modelling의 알고리즘

포아송 방정식, 전류 연속방정식, 캐리어 이동방정식을 FEM에 의해 변형시켜 소자특성을 해석하였으며, 좀 더 정확한 Modelling을 위해 Fermi-Dirac 통계, 불완전한 절연물의 이온화, band gap narrowing, Schottky 장벽 감소등의 물리적인 모델들을 포함하였다. 캐리어의 이동도는 전계의 세기와 방향에 따라 변수로 처리하였다. 접합은 종류에 따라 ohmic, schottky, insulator 접합이 있으며, 접합위의 경계에는 Neumann 조건을 사용하였다. 수치해석 방법으로 Gummel과 Newton 방법을 사용하며, 그림6은 Device simulation과 Newton, Gummel 방법의 각 흐름도이다.

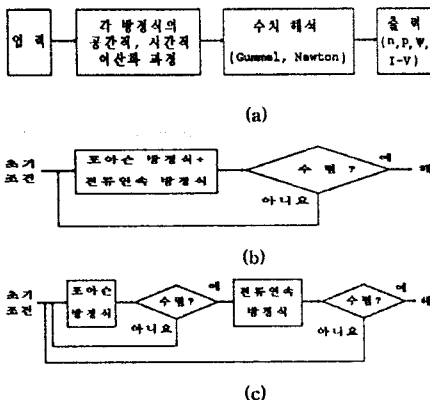


그림6 Device simulation의 흐름도

(a) 전체 흐름도 (b) Newton 흐름도 (c) Gummel 흐름도

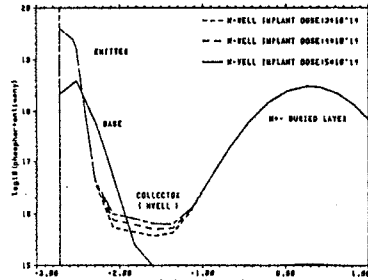


그림3 N-Well Implant 도우즈량에 따른 N-Well 농도 분포

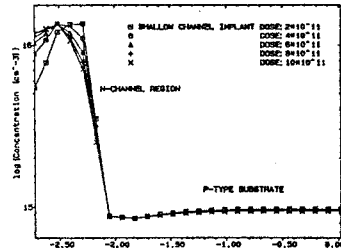


그림4 채널 Implant 도우즈량에 따른 NMOS 트랜지스터의 농도 분포

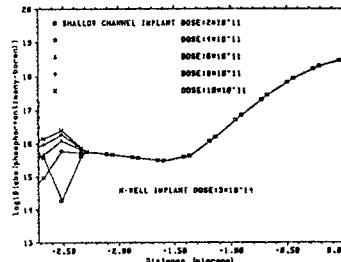


그림5 채널 Implant 도우즈량에 따른 PMOS 트랜지스터의 농도 분포

#### 2 3D Device simulation의 결과

본 절에서는 얇은 채널 Implant와 N-Well Implant에 따른 CMOS 트랜지스터 Threshold 전압의 정합과 PMOS 트랜지스터와 바이폴라 트랜지스터의 특성 변화의 결과를 나타내고 있다. 그림7과 8은 CMOS 트랜지스터의 공정조건에 따른 Threshold 전압이며, 이중 주어진 설계조건을 만족하는 값은 얇은 채널 Implant 도우즈량이  $8 \times 10^{14}$ 이고 N-Well Implant 도우즈량은  $3 \times 10^{14}$ 일때 0.771 7V와 -0.7347V가 된다. 그림9와 10은 설계조건을 만족하는 베이스 Implant 도우즈량이  $9 \times 10^{13}$ 일때의 공정에미터이득과 차단 주파수를 보이고 있다. 이중 CMOS Threshold 전압 정합을 만족하는 조건은 베이스 Implant 도우즈량이  $9 \times 10^{13}$ 이고 N-Well Implant 도우즈량은  $3 \times 10^{14}$ 인 경우이다. 그림10으로부터 차단 주파수는 14.5GHz가 됨을 알 수 있는데, 이는 독립적으로 제작한 경우 보다 0.3 GHz 낮은 값이다. 그림11은 N-Well Implant 도우즈량에 따른 항복 전압을 나타내며 앞의 설계조건을 만족하는 공정 조건에서의 항복 전압은 약 6.5V인데 이는 설계조건보다 2.5V 낮은 값인데 이러한 특성의 저하는 BiCMOS 공정자체가 갖는 제한에 의해 발생하는 현상이다. 그림12는 각 소자의 캐리어 분포를 보이고 있다. 캐리어 분포로부터 PMOS 트랜지스터가 NMOS 트랜지스터보다 큰 항복 전압과 subthreshold 전류를 갖음을 알 수 있고, 바이폴라 트랜지스터에서 약 6V이상에서 전자 순사태 현상이 발생함을 알 수 있다.

### IV 결론

BiCMOS 소자의 최적화를 위한 simulation 결과로부터 얻어진 결과들을 요약하면 다음과 같다.

1. 설계 기준에 근접하는 소자의 특성은 CMOS Threshold 전압에 대한 정합점(matching point)이 NMOS 트랜지스터와 PMOS 트랜지스터 각각 0.7717V와 -0.7437V 일 때 이루어지며, 이때

바이폴라 트랜지스터의 공통 에미터 이득은 약 155정도로 나타났으며, 차단 주파수는 14.5 GHz를 얻을 수 있었고, 항복 전압은 6.5V로 나타났다.

2. BiCMOS 소자의 최적 설계 및 제작 조건은 simulation 결과로부터 얻은 채널 Implant 도우즈량이  $8 \times 10^{11} \text{cm}^{-2}$ 이고, N-Well Implant 도우즈량은  $3 \times 10^{14} \text{cm}^{-2}$ 로 얻어졌다.

3. 바이폴라 트랜지스터는 독립적인 설계인 경우에 비해 특성 저하를 보이는데 이는 소자들이 채널 Implant와 N-Well 공정을 동시에 공유하고 있기때문에 발생하는 현상이다.

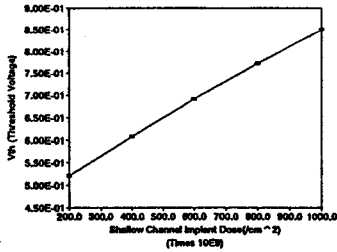


그림7 NMOS 트랜지스터의 Threshold 전압

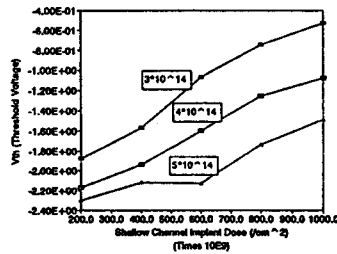


그림8 PMOS 트랜지스터의 Threshold 전압

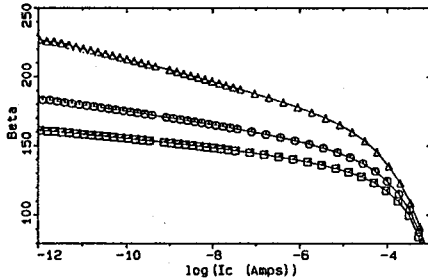


그림9 N-Well Implant 도우즈량에 따른 공통 에미터 이득  
□ :  $3 \times 10^{14}$  ○ :  $4 \times 10^{14}$  △ :  $5 \times 10^{14} \text{cm}^{-2}$

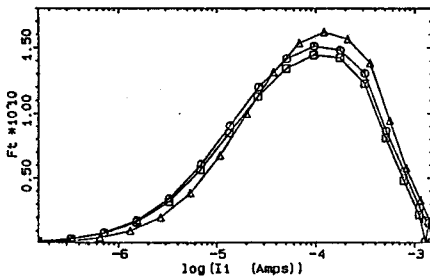


그림10 N-Well Implant 도우즈량에 따른 차단 주파수  
□ :  $3 \times 10^{14}$  ○ :  $4 \times 10^{14}$  △ :  $5 \times 10^{14} \text{cm}^{-2}$

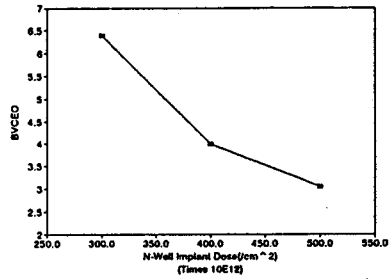
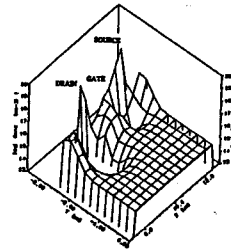
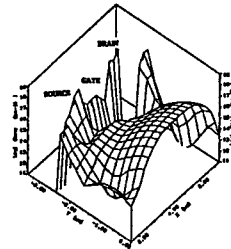


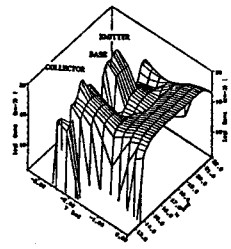
그림11 N-Well Implant 도우즈량에 따른 항복 전압



(a)



(b)



(c)

그림12 각 소자의 캐리어 분포

(a) NMOS :  $V_{DS}=3V, V_G=1V$  (b)PMOS :  $V_{DS}=-3V, V_G=-1.15V$

(c) 바이폴라 트랜지스터 :  $V_{CE}=6V, V_{BE}=0.75V$

참고 문헌

[1] Alvarez, A. R., "BiCMOS Technology and Applications", Kluwer Academic Publishers, 1989.  
 [2] T. Ikoda, A. Watanabe, Y. Nishio, I. Masuda, N. Tamba, M. Odaka, K. Ogiue, "High Speed BiCMOS Technology with a Buried Twin Well Structure", IEEE Electron. Dev. vol.ED-34, NO.6, pp1304-1310.  
 [3] C. K. Lau, C. H. Lin, D. L. Packwood, "Sub-Micron BiCMOS Process Design For Manufacturing", 1992 BCTM, pp76-83.  
 [4] S. Wolf, R. N. Tauber, "Silicon Processing for the VLSI Era vol-2", Lattice Press.