

SOI 구조의 C-V 특성 분석

배영호*, 이광철*, 정옥진*, 김광일*, 권영규*, 김범만**, 이종현***

*산업과학기술연구소 전자전기연구분야

포항공대 전자전기공학과 *경북대학교 전자공학과

1. 서론

소자가 제조되는 표면 실리콘층을 기판으로부터 전기적으로 절연시킨 SOI 는 그 구조상 여러가지 장점을 가지고 있다.1] 기존의 벌크 기판에 비교하여 집적도를 높일 수 있고 소자의 동작속도가 빠르며 방사선에 대한 내성이 강하다. 이러한 SOI의 장점을 충분히 활용하기 위해서는 그 특성을 정확히 분석하는 것이 중요하다. 그러나 SOI는 표면실리콘층이 매몰산화층에 의해 기판으로부터 절연되어 있고 매몰산화층 양쪽으로 두개의 계면이 동시에 존재하고 있으므로 그 특성을 정확히 분석해 내는 것이 용이하지 않다.2] 본 연구에서는 반도체 공정에서 일상적으로 수행되는 C-V 측정법을 이용하여 SOI 구조의 특성을 분석하는 방법을 제시하고 이 결과를 다른 방법으로 분석한 결과와 비교하여 그 타당성을 확인하였다.

2. 실험방법

본 연구에 사용된 웨이퍼는 SIMOX SOI로서 표면실리콘층의 두께는 $2000 \pm 100 \text{ \AA}$ 이고 매몰산화층의 두께는 $4000 \pm 200 \text{ \AA}$ 이다. C-V 측정 중 표면실리콘층의 완전공핍화를 방지하기 위하여 표면실리콘층의 두께를 에피택셜 성장법으로 약 $2 \mu\text{m}$ 두께로 증가시켰다. 표면실리콘층과 매몰산화층을 선택적으로 식각시킨 후 알루미늄으로 전극을 형성하여 silicon-insulator-silicon 구조의 커패시터를 제조하였다. 제조된 커패시터의 고주파 및 저주파 C-V 측정을 행하여 도핑농도와 매몰산화층의 두께, 그리고 계면특성을 구하였으며 이 결과는 확산저항분포측정(spreading resistance profiling) 단면전자현미경(cross section transmission electron microscopy) 이차이온질량분광분석(secondary ion mass spectroscopy) 등을 행하여 얻어진 결과와 비교하였다.

3. 결과 및 고찰

제조된 SIS(silicon-insulator-silicon) 커패시터의 C-V 측정결과 그림 1과 같은 결과를 얻었다. 측정된 저주파커패시턴스의 최대값으로부터 매몰산화층의 두께를 측정한 결과 4020 \AA 으로 나타났고 SRP측정결과 및 단면 TEM 관찰결과와 거의 비슷하였다. 최소 고주파커패시턴스 값과 최대 저주

파 커패시턴스 값을 이용하여 도핑농도를 구할 수 있으며 표면실리콘층의 도핑농도는 $1.1 \times 10^{15}/\text{cm}^3$ 이었고 기판의 도핑농도는 $1.5 \times 10^{15}/\text{cm}^3$ 이었다. 이 결과도 SRP 측정 결과 및 SIMS 분석으로 확인하였으며 큰 차이를 보이지 않았다. 한편 매물산화층 양쪽 계면의 트랩밀도는 고주파 및 저주파 C-V 특성을 비교하는 방법으로 구할 수 있으며 기판계면에서는 $1 \times 10^{10}/\text{cm}^2\text{-eV}$, SOI층 계면에서는 $3 \times 10^{10}/\text{cm}^2\text{-eV}$ 으로 나타났다.

4. 결론

C-V 측정법을 이용하여 SOI의 특성을 분석하는 방법을 제시하였다. SIS 커패시터를 제조하고 고주파 및 저주파 C-V 특성을 측정하여 도핑농도 및 매물산화층 특성 등을 구하였다. 분석결과는 SRP, XTEM, SIMS 등의 방법으로 분석된 결과와 비교하여 그 타당성을 확인하였다.

5. 참고문헌

- 1) J.-P. Colinge, Silicon-on-Insulator Technology : Materials to VLSI, Kluwer, Boston, 1991.
- 2) J.-H. Lee, and S. Cristoloveanu, "Accurate technique for CV measurements on SOI structure excluding parasitic capacitance effects" IEEE Electron device lett., vol.7, no.9, pp.537-539, 1986.

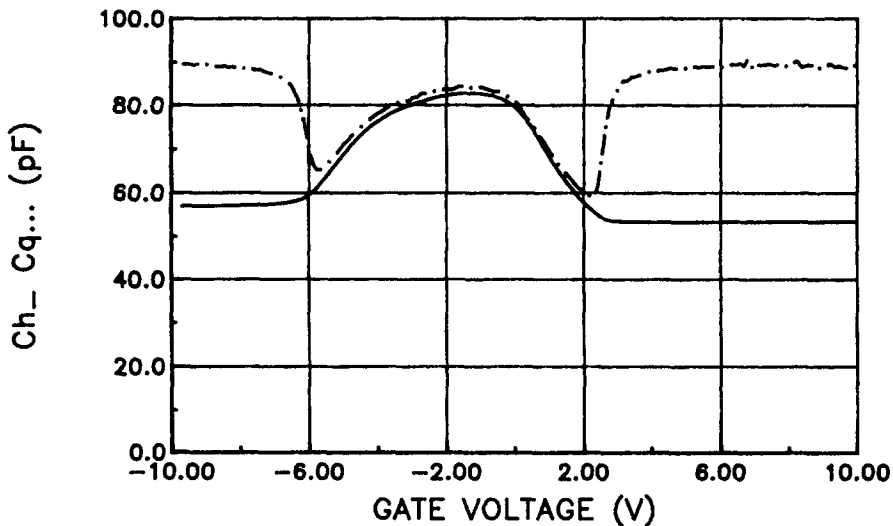


그림 1. SIS 커패시터의 C-V 측정결과