

고속 열 확산에 의한 얇은 접합 형성과 Ti-실리사이드화된 n'-p 다이오드 특성 분석

崔度永, 李晟旭, 朱政奎, 姜明求, 尹錫範, 吳煥述
建國大學校 電子工學科

The Formation of the Shallow Junction by RTD and Characteristic Analysis for n'-p Diode with Ti silicide

Do young Choi, Seong-wook Lee, Jung gyu Joo, Myoung koo Kang, Seok-beom Yoon, Hwan-sool Oh

1. 서론

반도체 소자의 집적도가 VLSI급에서 ULSI급으로 증가함에 따라 구조가 수평 방향뿐 아니라 수직 방향 크기의 감소가 이루어져야 한다. 얇은 접합은 MOSFET에 있어서 단채널효과를 억제할 수 있는 얇은 채널 및 얇은 소오스/드레인과 BJT에서의 얇은 베이스층을 형성할 수 있다. 극히 얇은 접합의 형성은 결국 몇 상호 연결층의 배선에서 선풍의 감소와 길이의 증가로 면저항 및 접촉저항의 증가로 인해 회로 동작시 RC time constant가 커 VLSI회로의 속도 증가에 제약을 가져오게 된다. 또한 접합 깊이의 감소가 접합 스페이크를 발생시키는 문제점이 있다. 따라서 실리사이드는 비저항이 매우 낮고, 유성 특성이 양호하며, 고온에서 안정하여 게이트, 접촉, 상호 연결층의 대체 물질로 많이 연구되고 있다.

본 연구에서는 고속 열처리 장치를 써서 고체 확산원으로 인(P)을 사용했으며, 공정 조건에 따라 고속 열 확산(RTD)으로 극히 얇은 접합을 형성하였다. 금속과 접합부의 접촉 저항을 낮추고, Al의 상호 확산에 의한 접합 스페이킹을 방지하기 위해 내표금속 중 가장 낮은 비저항과 열적 안정성이 높은 Ti-실리사이드를 RTD 공정에 의해 형성된 접합을 위해 중과 후 2단계로 고속 열처리(RTA)하여 전기적 저항을 감소시키고자 했다. 얇은 접합을 위해 Ti를 증착하여 RTA시 실리사이드 형성을 촉진하고, 실리사이드화된 n'-p 다이오드를 제작하여 전기적 특성을 고찰했다.

II. 실험 방법

1 고속 열 확산에 의한 얇은 접합 형성

실험에는 Czochralski 방법으로 성장된 4인치 p형 실리콘 웨이퍼를 비저항이 1~100 Ω·cm이고, 결정 방향이 (100)이다.

유기물 제거를 위해 H₂O₂ : H₂SO₄를 1:4 비율로 혼합한 용액에 120℃, 10분간 담근 뒤 물에 담가 씻어내주고, 웨이퍼 표면의 자연산화막을 제거하기 위해 10:1 HF 용액 속에 10초간 담근 후 물이온수에 세척하였다. 창(Window)을 형성하기 위해 초기 세척한 웨이퍼 위에 1000 Å의 산화막을 진식 산화법으로 전기로에서 성장하였으며, 포토레지스트 공경으로 패턴을 형성하였다. 고속 열 확산에 사용된 장비는 AG사의 Heatpulse 2146 RTP이며 n'의 얇은 접합을 형성하기 위해서 고체 소오스를 확산시키는 방법으로는 RTGT 과정과 RTD 과정의 2 단계로 구분하여 수행하였다. RTGT 과정은 공경 웨이퍼와 고체 소오스 사이에 두께 450μm의 Quartz spacer를 놓고, PrO₃의 그라스 용을 웨이퍼 표면으로 옮겨 놓는 과정으로 N₂ 분위기에서 800℃, 60초 동안 수행하였다. RTD 과정에서는 고체 소오스를 제거하고 가열 웨이퍼 위에 공경 웨이퍼를 놓고 진행하였다. Drive-in 공경시 산소가스를 챔버 안으로 주입하는 이유는 실리콘 표면에 얇은 PSG층을 형성시켜, 글라스 편이된 불순물이 확산하는 동안 퍼부르 빠져나오는 것을 방지하기 위한 방법이었다. 확산 후 웨이퍼 표면에 남은 고체 잔류 PSG층을 제거하기 위해 6:1 BOB용액에 담근다가 물이온수에 세척 후 면저항을 4-point probe로 측정하였고, 접합 깊이와 불순물 분포 프로파일은 SIMS로 분석하였다.

2 Ti-실리사이드화된 n'-p 다이오드 제작

얇은 접합 형성을 위한 RTD 공정 조건에서 Trade-off한 1000℃, 10초 수행된 웨이퍼를 Sputter장비로 300 Å 두께의 Ti를 웨이퍼 전면에 증착하고, ALP 3000장비로 2 단계의 RTA공정을 수행하였으며, 1차 RTA는 선풍적 식각(Selective Etching)으로 다이오드간 격리에 용이하며, 소자 성능 향상을 위해, N₂ 분위기에서 600℃, 30초 동안 진행했다. 선풍적 식각 과정은 산화막 위의 Ti과 광에서 실리콘과 반응하지 않은 Ti를 NH₄OH:H₂O₂:H₂O가 1:1:5로 혼합된 용액에 75℃로 가열시켜 30초간 담근 식각하였다. 그리고 2차 RTA는 온도를 시간을 각각 700~800℃, 10~60초로 변화시키면서 실리사이드를 형성시켰다. 다이오드의 전기적 특성을 측정하기 위해 실리사이드층 위에 Sputter장비로 1%의 Si이 함유된

알루미늄을 1μm 두께로 웨이퍼 전면에 증착시키고, 산화막 위의 불필요한 알루미늄을 제거하기 위하여 사선식각 공정을 진행하였다. 알루미늄을 Alloy하기 위하여 전기로에서 450℃, 30분동안 열처리하였다. 웨이퍼 전면은 과도한 누설 전류를 막아 전기적 특성을 향상시켜 다이오드의 전류-전압특성을 고찰하고자 230μm 두께로 웨이퍼에 E-beam 증착기를 사용하여 Au를 0.2μm 두께로 증착해 유 접촉을 형성시켜 실리사이드화된 n'-p 다이오드를 제작하였다.

III. 실험 결과 및 고찰

1 얇은 접합 특성 분석

1.1 면저항

RTD공정에 따라 시편을 제작하고, 공정 조건을 변화시키면서 4-point probe를 써서 시편의 면저항을 측정된 결과를 fig.1에 나타내었다. RTD에 의한 n' 접합의 면저항은 공정 시간이 길어질수록, 온도가 높을수록 낮아지는 경향을 보였다. 즉 공정 시간과 온도가 할수록 인이 웨이퍼 속으로 많이 침투하여 캐리어역할을 한다는 것을 알 수 있다.

1.2 접합 깊이

접합 깊이를 측정하기 위해 SIMS를 써서 인의 프로파일을 fig.2에 나타내었다. RTD 공정 조건은 각각 950℃, 1000℃, 1050℃에서 10초 동안 진행하였다. SIMS에서 알 수 있듯이 같은 공정 시간에 대하여 RTD 온도가 증가할수록 인의 확산이 증가하여 더 깊은 접합 깊이를 갖는다. 그리고 각각의 온도에서 형성된 인의 표면 농도는 5x10¹⁹ atoms/cm³로 일정하게 나타났다. 이것은 고체 소오스로 인(P)을 사용하였으며, 글라스 편이 과정에서 충분한 양의 불순물을 웨이퍼 표면에 올려놓아 unlimited source의 형태로 확산과정에서 드라이브 인된 결과라고 사료된다. RTD 시간과 온도가 증가할수록 접합 깊이가 깊어지는데 이로부터 접합 깊이와 면저항 분포는 반비례함을 알 수 있다.

2 Ti-실리사이드 형성

2.1 면저항

얇은 접합이 형성된 시편 위에 금속 Ti를 스퍼터 장비로 증착하였다. Ti를 실리사이드화 하기 위해서 2 단계의 고속 열처리 공정을 택하였는데 이것은 700℃ 이상의 온도로 열처리하면 Ti와 산화막과의 반응으로 다이오드간의 단락을 유발시킬 가능성이 크고, 1단계 RTA 보다 2단계 RTA공정의 전류특성이 우수하므로 600℃에서 30초 동안 1차 RTA를 수행한 후 산화막 위의 Ti과 광에서 반응하지 못한 Ti를 선풍적으로 제거한 다음 1차적으로 반응한 Ti₂Si₃의 실리사이드층에 대하여 2차 RTA를 수행하여 안정된 실리사이드를 형성하였다. 1차 및 2차 RTA 공정을 각각 600℃에서 30초, 750℃에서 30초로 고정시켜 RTD 시편을 실리사이드화 하면서 각 단계별로 면저항을 측정하면, Ti-실리사이드 형성시 면저항 값은 48Ω/□로 실리사이드를 형성하지 않은 경우보다 179Ω/□ 정도 더 낮은 값을 가짐을 알 수 있으며, 이를 fig.1에 도시하였다.

2.2 SEM에 의한 소자 단면도 분석

2 단계 RTA로 Ti-실리사이드를 형성한 후 Al을 1μm로 증착하여 실리사이드화된 n'-p 다이오드의 단면을 2차 RTA 온도 변화에 따라 Ti/Si 계면에서, 실리사이드 형성 반응으로 나타나는 계면의 roughness를 확인하고자 SEM으로 촬영하여 fig.3에 나타내었다. 그러나 Ti를 증착한 두께가 300Å이고 미반응 Ti를 선풍 식각한 후 Ti의 두께는 150~200Å 정도 예상하는데 SEM 촬영으로는 Ti-실리사이드층의 폭이 더 넓어졌다. 웨이퍼의 표면과 Al의 계면의 roughness를 살펴보면 Al/TiSi₃/n'-Si에서 Ti-실리사이드층의 roughness를 추출할 수 있다고 사료된다.

2.3 실리사이드 형성의 성분 조성 분석

1μm의 알루미늄을 decape하여 실리사이드층을 표면에 드러내기위해

$H_2PO_4:CH_3COOH:HNO_3:H_2O$ 를 16:1:1:2로 혼합한 용액에 담궈 식각하였다. 그리고 RTD 공정조건이 1000°C, 10초에서 성장한 시료를 Ti-실리사이드화를 위하여 2차 RTA 온도 변화를 700°C, 750°C, 800°C로 주고 RTA 시간은 30초로 고정된 시료들을 AES로 측정하였다. 700°C에서 2차 RTA한 경우에는 산소농도가 많이 검출되었고, 750°C에서 2차 RTA한 경우에는 대체로 균일하게 Ti-실리사이드화 되었으며, 800°C에서 2차 RTA한 경우에는 Si량이 많음을 볼 수 있다. 즉, 700°C RTA 한 경우는 Si/Ti 조성이 Ti-rich 형태로 나타났으나 750°C 이상일 때는 전 범위에 걸쳐서 TiSi₂층이 고르게 형성되었다. 800°C에서 30초 동안 실리사이드를 형성한 시료는 Ti/n⁺-Si층에서 실리콘이 Ti층 위로 충분히 반응하여 750°C보다 표면에서 실리콘의 양이 많은 것으로 사료된다. 또한, RTD 공정조건이 1050°C, 10초에서 성장한 시료를 Ti-실리사이드화를 위하여 2차 RTA 온도 변화를 700°C, 750°C, 800°C로 주고 RTA 시간은 30초로 고정된 시료들을 AES로 측정하였다. 700°C에서는 산소농도가 전 영역에서 검출되었고, 750°C에서는 대체로 균일하게 Ti-실리사이드화 되었으며, 800°C에서는 Si이 표면으로 밀려나면서 균일하게 Ti와 반응함을 볼 수 있다. Fig.4는 위의 공정조건 중에서, 대체적으로 750°C 2차 RTA한 경우를 나타낸다. 분석결과 Si/Ti 비가 1.6-1.9로 나타났으며, 표면에 형성되어 있는 산소는 Ti/Si 계면과 Ti층에 흡착되어 있던 산소가 Ti-Silicide성장으로 표면적으로 밀려나갈 뿐만 아니라 Al을 식각하면서 Ti-rich층과 산소가 반응하여 분포된 것으로 사료된다.

3. 실리사이드화된 n⁺-p 다이오드 특성 분석

실리사이드화된 n⁺-p 다이오드의 누설 전류를 측정하기 위하여 HP-4145B SPA를 사용하여 역방향 바이어스를 0~8V까지 인가했을 때 나타나는 전류를 측정하였다. RTD 공정 조건이 1000°C, 10초의 n⁺-p 다이오드와 추가로 1차 RTA는 800°C, 30초, 2차 RTA는 750°C, 60초에서 실리사이드를 형성한 실리사이드화된 n⁺-p 다이오드에서 측정하면 바이어스 전압이 5V에서 10⁻⁷[A] 정도 실리사이드화된 n⁺-p 다이오드의 누설 전류가 적게 나타남을 알 수 있다. 그리고 2차 RTA의 온도변화에 따른 누설 전류 특성을 살펴보면, RTD 공정 조건이 1000°C, 10초일 때 2차 RTA 시간을 각각 10초, 30초로 고정하고 온도 변화에 따른 누설 전류 특성을 보면, 2차 RTA 공정 온도가 800°C인 시료가 모두 낮은 누설 전류 특성을 보였다. RTD 공정 조건이 1050°C, 10초일 때 2차 RTA 시간을 각각 10초, 30초로 고정하고 온도 변화에 따른 누설 전류 특성을 보면, 2차 RTA 공정 온도가 750°C인 시료가 가장 낮은 누설 전류 특성을 보였다. RTD 조건이 1000°C, 10초와 1050°C, 10초로 진행하고 2차 RTA 온도를 750°C로 고정시키고 시간 변화에 따른 누설 전류 특성을 살펴보면, 2차 RTA 시간이 길수록 안정된 실리사이드 형성이 용이하여 낮은 누설 전류가 나타남을 알 수 있다.

IV. 결 론

본 연구에서는 인(P) 고체 소오스를 불순물원으로 하여 RTGT 공정과 RTD 공정의 2 단계 방법으로 얇은 껍질을 형성하고 특성을 분석하였다. RTGT 공정 조건은 800°C, 60초로 고체 소오스를 웨이퍼 표면에 충분히 증착하고, RTD 공정 조건은 온도는 950~1050°C, 시간은 5~15초로 반복시키면서 얇은 껍질을 형성하였다. 4-point probe로 측정된 면저항은 175.4~319.5Ω/□이며, SIMS로 분석한 표면 농도는 5×10¹⁸ atoms/cm², 껍질 깊이는 0.075~0.18μm로 측정되었다. 측정 결과 RTD 공정 시간이 길고, 공정 온도가 높을수록 면저항은 낮아지는 경향을 보이는 반면, 불순물은 웨이퍼 표면 내로 보다 깊숙하게 확산되어 껍질 깊이는 증가함을 보였다. 얇은 껍질의 문제점인 저항의 증가와 얇은 껍질이 쉽게 손상되는 경향을 극복하여 소자 성능을 개선하기 위해 Ti-실리사이드 공정을 채택하였다. RTD로 얇은 껍질이 형성된 시편에 Ti를 300Å을 증착하여 Ti-실리사이드화 하기 위하여 2 단계 RTA 공정을 진행하였다. 1차 RTA의 공정 조건을 600°C, 30초로 고정시키고, 2차 RTA 공정 조건을 온도는 700~800°C, 시간은 10~60초로 변화시키면서 실리사이드를 형성하였다. 2차 RTA 후 실리사이드화된 시편의 면저항을 측정된 결과 46~63Ω/□로 나타났고, RTD 공정만 진행시킨 시편보다 152.2~213.3Ω/□ 감소시킬 수 있었다. 또한 실리사이드 단면의 roughness와 Si/Ti 성분 조성을 확인하기 위해 SEM과 AES로 분석하였다. SEM으로 단면을 확인했으나 300Å 증 식각 후 남아있는 150~200Å 정도의 Ti-실리사이드 층을 구별하기가 어려웠다. AES 분석 결과로 700°C에서는 Ti-rich층을 형성하였으나 750°C 이상에서는 실리사이드 형성을 확인할 수 있었고, Si/Ti 비가 1.6-1.9로 나타났다.

면저항과 껍질 깊이가 trade off한 1000°C 10초 RTD 진행한 시편을 2단계 RTA로 Ti-실리사이드화된 n⁺-p 다이오드를 제작하였다. 다이오드에서 역방향 바이어스시 보이는 누설 전류값을 측정하였는데 최적 조건은 1000°C, 10초 동안 RTD한 후 Ti-실리사이드 하기 위하여 2차 RTA 공정 조건이 750°C, 60초일 때 역방향전압이 5V에서 누설 전류값이 29.15×10⁻⁸A으로 나타났다.

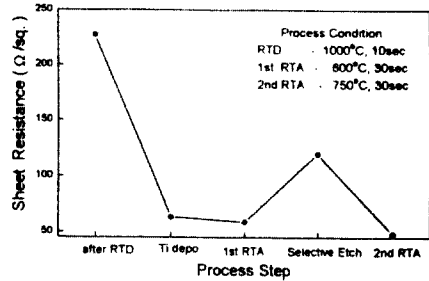


Fig.1 실리사이드 형성을 위한 공정 단계별 면저항의 변화

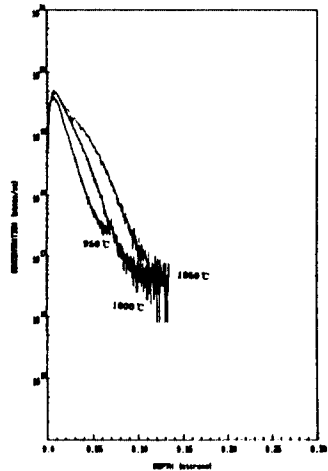


Fig.2 RTD 공정조건에 의한 SIMS 프로파일



Fig.3 800°C, 30초에서 2차 RTA한 후 SEM 단면사진 (RTD 공정조건 : 1000°C, 10초)

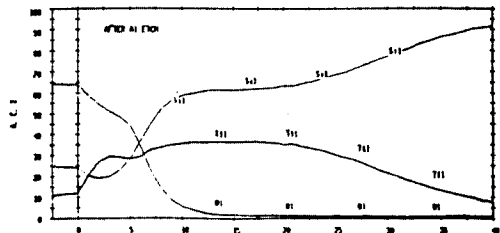


Fig.4 750°C, 30초에서 2차 RTA한 후 AES 프로파일 (RTD 공정조건 : 1050°C, 10초)