

[II-11]

열처리 방법이 MOCVD 에 의하여 증착된 탄탈륨 산화박막과
실리콘 계면에 미치는 영향
박상규, 남갑진, 이영백

포항공과대학교 화학공학과 재료공정 연구실, 산업과학기술연구소

Effect of Annealing Techniques on the Interface between Si and Ta₂O₅ film
grown by MOCVD Precess.

S.-K. Park, K.-J. Nam and Y.-P. Lee

Laboratory for Advanced Materials Processing
Dept. of Chemical Engineering, POSTECH / RIST

1. 서 론

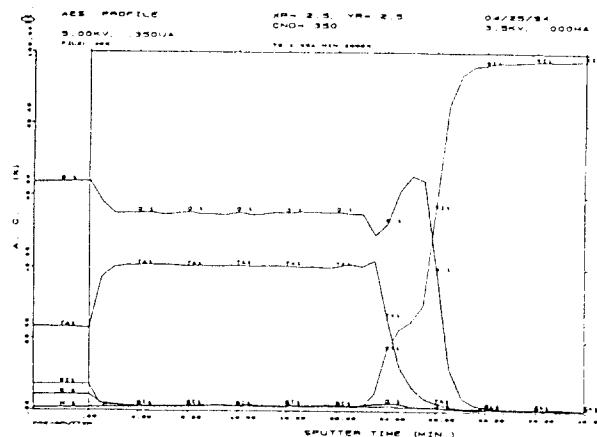
MOS DRAM을 비롯한 여러 IC들의 고집적화가 이루어짐에 따라 기존의 SiO₂, 나
ON, ONO 박막을 대체하기 위한 새로운 capacitor 물질이 요구되고 있다. Ta₂O₅ 박막은
새로운 capacitor 물질의 하나로서 40 °A 의 두께에서 22 - 25 정도의 높은 유전상수를 가
지고, internal stress 가 낮으며 좋은 층덮임 특성을 보이는 것으로 알려져 있다. 그러나
실리콘 산화막이나 실리콘 질화막에 비해 누설전류가 크고 절연파괴전압이 작은 단점이
있다. 또한 열처리시 Ta₂O₅ 박막과 실리콘의 계면에는 실리콘 산화막이 형성되게 되는
데, 이러한 계면의 산화막은 Ta₂O₅ 박막의 유전상수를 낮추는 역할을 하며 Ta₂O₅ 박막이
얇아질수록 더 큰 영향을 미치게 된다. 따라서 본 연구에서는 MOCVD 방법으로 Ta₂O₅
박막을 증착한 후 furnace annealing 과 rapid thermal annealing 처리를 하여 실리콘과 Ta₂O₅
박막 계면에서의 실리콘 산화막의 형성여부를 관찰하였다.

2. 실험 방법

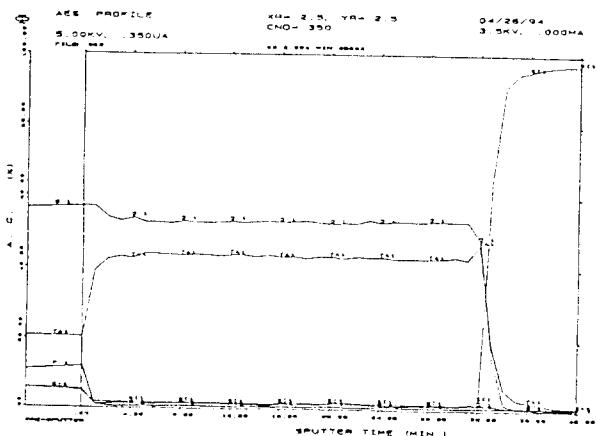
본 실험의 반응기는 기본적으로 thermal CVD 형태이며 기체유입부에 플라즈마를
형성함으로써 PECVD (Plasma Enhanced CVD) 도 가능하게 하였다. 반응기는 cold wall,
저항가열 형태이며 bubbler의 온도는 mantle 을 이용하여 조절하였다. 유기금속원료로
는 PET 를 사용하였으며 운반가스로는 질소와 아르곤을 사용하여 상호비교하여 보았
다. Microbalance와 ellipsometry를 이용하여 두께를 측정하였으며 AES, TEM, FT-IR을 이
용하여 계면의 산화막을 관찰하였다. XPS를 이용하여 박막의 화학결합형태를 살펴보
았으며 XRD로 결정성을 조사하였다. 또한 AFM을 이용하여 표면의 roughness를 살펴보
았다. 전기적 특성은 Al/Ta₂O₅ /(SiO_x)/p-Si/Al 구조를 형성한 후 측정하였다.

3. 결 론

300 - 450 °C 사이에서 Thermal CVD 실험을 하였으며 활성화 에너지는 3.82 kcal/mol 이었다. 또한 증착 시 rms roughness 는 증착온도가 증가할수록 증가하였다. XRD 분석결과 결정화는 annealing 방법과 annealing 기체에 관계없이 600 - 700 °C 범위의 온도에서 일어나는 것으로 나타났다. 산소분위기 furnace annealing 시 가장 낮은 rms roughness를 보였으며 계면의 실리콘 산화막은 annealing 온도가 증가함에 따라 증가하였다. Rapid thermal annealing 은 annealing 온도와 분위기에 관계없이 계면에서 산화막이 존재하지 않았으며 이를 AES(Fig.1. 참조)와 TEM, FT-IR을 이용하여 관찰하였다.



(a)



(b)

Fig. 1. AES depth profile
(a)900°C, O₂, Furnace annealing
(b)900°C, O₂, Rapid thermal annealing.