

Scanning Tunneling Microscopy를 이용한 nanometer 크기의 구조 제작

김희진^{1,2}, 김 용², 김재성¹, 김무성², 민석기²

¹숙명여대 물리학과, ²한국과학기술연구원 반도체재료 연구실

Nanoelectronic device 활용을 위한 nanometer-scale 구조의 제작을 위해서는 반도체 표면과 계면의 전자적, 화학적, 구조적인 성질들의 조절과 10~100nm 정도의 수평분해력, 수직으로 3~4 monolayer의 resolution을 가진 도구가 요구된다. 이러한 측면에서 표면 분석의 기구로써 뿐만아니라 nanometer 크기 구조 제작에 있어서 매우 유용한 도구가 될 가능성이 있는 Scanning Tunneling Microscopy(STM)을 이용해서 반도체 표면에 nanometer structure을 제작할 수 있는 기술 개발을 시도하였다. STM을 이용한 nanofabrication은 기존의 pattern generation 방법과 다르게 resist를 이용한 간접적인 structure제작 방식에서 탈피하여 직접적인 structure을 제작할 수 있는 장점이 있다. 본 연구의 목적은 Air STM을 이용하여 화학적으로 처리된 반도체 표면에 nanometer 크기 구조를 제작하는데 있다. 시료는 cleaning한 후 탈이온수에 희석한 hydroflouric acid에 처리하고 N₂ gas로 건조시킨다. Tunneling voltage는 3~4V, scanning rate는 2 Hz인 조건에서 시료에 nanometer 크기의 구조를 그린다. 이때 시료는 tip과 sample사이에 걸린 tunneling voltage에 의해서 H-passivation된 표면에 국부적인 변화가 일어나 nanometer 크기의 구조를 형성하게 된다. 이렇게 형성된 구조는 1.5 V tunneling voltage에서 다시 측정하여 확인할 수 있다.