

분과초청 8

기판 표면 처리 조건에 따른 게이트 산화막의 특성 변화

삼성 전자 반도체 연구소

이 덕형, 문 중, 박 규찬, 심 태언, 이 중길

Device 집적도의 증가에 따라 나타나는 여러 문제점(Transistor에서의 Short channel effect 등)을 극복하기 위하여 보다 얇은 두께의 게이트 산화막이 요구되고 있다 (1 GDRAM의 경우 40-60Å). 이에 따라 산화막 불량을 유발하는 기존의 요인들(금속 오염, 기판 결정 결함, 플라즈마에 의한 손상 등) 이외에 표면의 microroughness 및 contamination 등에 의한 문제들이 새롭게 제기되고 있으며, 이와 관련된 초기 표면 상태의 이해 및 산화전 표면 처리 방법에 대한 개선이 중요하게 부각되고 있다. 표면의 microroughness에 대한 정량적 해석은 Scanning Probe Microscope (SPM)의 실용화로 가능해졌으며 1992년 T. Ohmi 등이 여러 세정 조건에 따라 표면의 microroughness에 차이가 나고 이에 따라 게이트 산화막의 절연 파괴 특성 및 Channel mobility가 영향을 받는다는 결과를 발표한 이후^[1] 현재까지 이와 관련한 많은 연구가 이루어져 왔으나, 불량을 유발하는 기구와 극박막화에 따른 경향 등에 대하여는 아직 이해가 부족한 상태이다. 한편 기판의 습식 세정 후 자연 산화막의 유무에 따른 표면 passivation 및 contamination 상태에 대하여도 많은 연구가 있어 왔는데 특히 HF 처리 후의 수소 중단 및 이에 따른 표면 passivation 효과가 주장되고 있다. 또한 Bare Si 표면에 흡착된 Hydrocarbon은 고온의 열처리 후에도 표면에 Si-C 결합을 남기나, UV O₃ 처리를 통하여 제거가 가능한 것으로 알려져 있다.^[2]

본 연구에서는 게이트 산화전의 세정 방법을 달리하여 표면 roughness의 차이를 준 다음 산화 후 표면 및 계면의 roughness를 함께 관찰하여 이를 I-V 측정 결과와 비교함으로써 계면 roughness와 게이트 산화막 breakdown 간의 상관 관계를 도출하였다. 또한 산화막의 두께를 변화시키면서 산화막 표면과 계면의 morphology 차이를 관찰함으로써 roughness가 Gox BV에 영향을 미치는 기구를 이해하였으며 특히 산화막 두께가 매우 얇아질 차세대 device에서의 roughness 의존성을 확인하였다. 초기 표면의 거친 정도에 차이를 주기 위한 게이트 산화전 세정으로는 조성비를 달리한 SC1(NH₄OH+H₂O₂+H₂O)과 Slight etch (HNO₃+H₂O+HF)를 이용하였으며, AFM으로 세정 직후 표면과 40Å 및 80Å의 산화막 표면, 그리고 이를 DHF로 decap한 후의 계면 roughness를 측정하였다. 한편, 물반점 생성 및 Hydrocarbon 흡착 등의 문제를 해결하기 위하여 기존의 세정 처리 후 최종 수세시 오존을 용해시켜 양질의 얇은 산화막을 미리 형성시켜 보았으며, 세정 후 자연 산화막 등의 흡착 상태 및 열산화막 형성 후의 계면 상태를 X-ray Photoelectron Spectroscopy (XPS)로 분석하였다. 산화막의 I-V 특성은 16메가 직접도의 소자 분리 공정과 희생 산화 공정 후 게이트 산화막을 형성한 다음 8메가 블록 단위의 poly-Si 게이트를 형성시킨 module run에 대하여 측정하였다. 이들 실험으로부터 얻은 결과를 요약하면 다음과 같다.

- 1) SC1의 조성율 1:1:19에서 1:1:5까지 변화시켜도 표면 roughness 값은 2Å에서 2.6Å 정도로 크게 증가하지 않는다. 이 정도의 roughness 증가는 Tox=43Å 및 80Å 모두에서 절연 파괴에 거의 영향을 끼치지 않는다.
- 2) Slight Etch를 하여 상당히 rough한 표면을 형성한 경우 절연 파괴 전압이 감소한다. AFM 관측 결과에 의하면 산화막 표면의 morphology가 계면과 상당히 달라지는데(일반적으로 평탄해짐) 이에 따라 국소적으로 두께가 얇아지기 때문에 BV가 감소하는 것으로 추론된다.
- 3) Roughness 증가에 따른 BV 감소는 Oxide 두께가 40Å 정도로 얇아지면 오히려 줄어든다 (80Å: 20-30% 감소, 43Å: 5% 이내 감소). 그 원인은 reaction-limited Oxidation의 경우 계면의 morphology가 표면에 전사되어 두께가 상대적으로 균일해지기 때문이며, AFM 측정에 의하여

두 상태의 morphology가 매우 유사함을 확인하였다.

- 4) 세정후 자연산화막은 SC1+DHF 처리의 경우 거의 존재하지 않으며(<0.5ML), DHF+SC1의 경우 약 4Å, SC1+DHF+O₃ 처리의 경우 약 7Å이 존재한다. 특히 O₃ 처리시 계면에 Si³⁺이 많이 존재한다.
- 5) 자연 산화막의 유무에 따라 C 1s의 binding energy에 약 0.5 eV 차이가 나며, 산화막 위에 흡착된 경우 furnace anneal시 탈착이 예상되나 Bare Si 위에 흡착된 경우는 고온에서도 Si-C 결합을 남길 것으로 예상된다.
- 6) 약 30Å의 열산화막을 형성시켰을 때 초기 자연 산화막에 의한 두께 차이가 사라지고 1Å 이내로 균일해진다. 계면의 suboxide 상태에도 거의 유의차가 없으나 계면위 약 3-6Å까지는 계면 strain에 의해 구조적으로 불안정한 영역이 존재한다. Si³⁺ 상태의 과다로부터 이 영역에서의 산소 결핍을 알 수 있으며 계면 전하 밀도의 증가를 유발하는 것으로 생각된다.
- 7) 게이트 산화막의 불량률은 DHF+SC1의 경우보다 SC1+DHF 경우가, 그리고 O₃ 처리를 하였을 때 조금씩 줄어든다.

이상의 결과들을 종합해 볼 때 현재 개발 또는 양산되고 있는 80-160Å의 게이트 산화막은 절연파괴전압의 roughness 의존성이 크기는 하나 일반적으로 적용되고 있는 세정 방법(SC1 & DHF)의 recipe 변화만으로는 우려할만한 BV 저하는 일어나지 않는다고 말할 수 있다. 다만 morphology에 급격한 굴곡을 주는 기판 결합이나 소자 분리 또는 희생 산화 조건들은 표면 roughness에 의한 것과 유사한 기구에 의하여 국소적 thinning을 유발할 것이므로 BV 저하가 우려된다. 산화막 두께가 40-50Å까지 얇아질 차세대 device에서는 BV의 roughness 의존성은 오히려 줄어든다. TDDDB 한계의 여유가 부족할 것이므로 약간의 BV 저하만으로도 불량률을 증가시킬 수 있고 channel mobility와 관련된 I_{on} 등의 확보를 위하여도 roughness 제어가 고려되어야 할 것으로 예상된다. 한편 DHF 세정의 효과를 살리면서 물반점 제어와 hydrocarbon 흡착 방지를 위하여는 세정 후 오존 용해 수세나 UV O₃ 처리등을 통하여 양질의 얇은 산화막을 미리 형성시켜 주는 것이 바람직함을 알 수 있었으며, 계면 천이층의 개선을 위해서는 열산화후 질화처리등의 방법이 고려되고 있으므로 이에 대한 표면, 계면 상태 연구가 선행되어야 할 것이다.

[참 고 문 헌]

- [1] T.Ohmi, et al., "Dependence of Thin oxide Film Quality on Surface Microroughness," *IEEE Trans. of Electron Devices*, Vol.39, No.3, March, 1992
- [2] M.Grundner, and H.Jacob, *Appl. Phys. A*, 39, 73 (1986)