

## SONOSFET EEPROM의 열화에 따른 Si-SiO<sub>2</sub> 계면특성 조사 (Investigation on Si-SiO<sub>2</sub> Interface Characteristics with the Degradation in SONOSFET EEPROM)

이상은\*, 김선주, 이성배, 이상배, 서광열  
광운대학교 전자재료공학과

Sang Eun Lee\*, Seon-Ju Kim, Seong Bae Lee, Sang-bae Yi, Kwang-Yell Seo  
Department of Electronic Materials Engineering, Kwangwoon University

### ABSTRACT

The characteristics of the Si-SiO<sub>2</sub> interface and the degradation in the short channel(L×W=1.7μm×15μm) SONOSFET nonvolatile memory devices, fabricated on the basis of the existing n-well CMOS processing technology for 1 Mbit DRAM with the 1.2μm design rule, were investigated using the charge pumping method. The SONOSFET memories have the tripple insulated-gate consisting of 30Å tunneling oxide, 205Å nitride and 65Å blocking oxide. The acceleration method, which square voltage pulses of t<sub>p</sub>=10msec, V<sub>w</sub>=+19V and V<sub>E</sub>=-22V continue to be alternatly applied to gate, was used to investigate the degradation of SONOSFET memories with the write/erase cycle. The degradation characteristics were ascertained by observing the change in the energy and spatial distributions of the interface trap density.

### 1. 서론

MNOS 구조의 scale-down 문제를 해결하기 위하여 질화막위에 blocking 산화막을 한층 더 입힌 MONOS(metal-oxide-nitride-oxide-semiconductor) 구조는 5V의 구동전압을 갖는 차세대 full-featured EEPROM 소자로써 최근 많은 관심을 모으고 있다. MONOS 기억소자의 Si-SiO<sub>2</sub> 계면특성은 기록/소거를 위한 스윕칭 특성과 기억유지 특성에 크게 영향을 미친다.<sup>[1]</sup> 스윕칭을 위해서는 극성을 달리한 전압을 반복적으로 게이트에 인가해야 하므로 소자가 열화되는 현상이 나타난다. 열화현상은 Si-SiO<sub>2</sub> 계면트랩밀도의 증가로 나타나며 채널의 표면이동도 감소, 문턱전압(threshold voltage) 이동, memory window 크기 감소 및 중심이동, 그리고 기억유지 저하 등이 발생한다. 따라서, 소자의 열화특성을 조사하기 위해서는 Si-SiO<sub>2</sub> 계면의 특성을 정확히 측정할 수 있어야 한다.

본 연구는 기존의 1 Mbit CMOS 제조공정 기술에 따라 제작한 short 채널 SONOSFET 비휘발성 기억소자의 기록/소거 반복에 의한 소자의 열화현상을 조사하기 위하여 CP(charge pumping) 방법을 사용하여 Si-SiO<sub>2</sub> 계면특성을 조사한 것이다.

### 2. 이 론

#### 2-1. Si-SiO<sub>2</sub> 계면트랩밀도의 에너지분포

P-channel SONOSFET 비휘발성 기억소자의 게이트에 크기가 ΔV<sub>G</sub>로 일정하고 주파수가 f인 톱니파형 펄스전압을 인가한 후, 펄스전압의 기준준위, V<sub>GL</sub>을 변화시키면서 기관전류(I<sub>CP</sub>)를 측정하면 I<sub>CP</sub>-V<sub>GL</sub>특성곡선을 얻을 수 있다. 이때, 측정온도를 달리함에 따른 I<sub>CP</sub>-V<sub>GL</sub> 특성곡선의 최대값인 I<sub>CP,max</sub>는 온도와 다음과 같은 관계를 갖는다.<sup>[2]</sup>

$$I_{CP} = -2qkT L_{eff} W \overline{D_{it}} \cdot \ln \left[ \sqrt{\sigma_n \sigma_p} v_{th} n_i(T) \frac{V_{th} - V_{fb}}{\Delta V_G} \right] - 4qkf L_{eff} W \overline{D_{it}} \cdot T \cdot \ln T + qf A_g \overline{D_{it}} E_g \quad (1)$$

여기서, q는 전자전하량, k는 Boltzmann 상수, L<sub>eff</sub>는 유효채널 길이, W는 채널폭, D<sub>it</sub>는 Si-SiO<sub>2</sub> 계면의 평균트랩밀도, σ<sub>n</sub> 및 σ<sub>p</sub>는 전자 및 정공의 포획단면적, v<sub>th</sub>는 전자의 평균 열속도, n<sub>i</sub>(T)는 온도 T에서 실리콘반도체의 전성 캐리어농도, V<sub>th</sub>는 문턱전압, V<sub>fb</sub>는 flatband 전압, t<sub>r</sub> 및 t<sub>w</sub>는 게이트 펄스전압의 상승 및 하강 시간, E<sub>g</sub>는 실리콘반도체의 에너지 금지대 간격이다.

상승시간 t<sub>r</sub>은 같고 하강시간이 각각 t<sub>r1</sub>, t<sub>r2</sub>인 두가지 게이트 펄스전압을 사용하여 I<sub>CP</sub>-V<sub>GL</sub> 특성곡선을 측정하는 경우, 각 특성곡선의 최대값인 I<sub>CP,max</sub>(t<sub>r1</sub>)와 I<sub>CP,max</sub>(t<sub>r2</sub>)의 차로 정의되는 spectroscopic signal S<sub>r</sub>(t<sub>r1</sub>, t<sub>r2</sub>)는 다음과 같이 표현할 수 있다.

$$S_r(t_{r1}, t_{r2}) = I_{CP,max}(t_{r1}) - I_{CP,max}(t_{r2}) \\ = -qf A_g \overline{D_{it}} (E_{or}) kT \cdot \ln \left( \frac{t_{r2}}{t_{r1}} \right) \quad (2)$$

여기서, D<sub>it</sub>(E<sub>or</sub>)는 에너지준위 E<sub>or</sub>에서의 Si-SiO<sub>2</sub>계면 트랩밀도이고, E<sub>or</sub>는 전자의 최대방출 에너지준위로서

$$E_{or} - E_i = -kT \ln(\sigma_n v_{th} n_i / e_{or}) \quad (3)$$

와 같이 표현할 수 있다. 여기서, e<sub>or</sub>는 전자의 최대방출율이며, 다음과 같이 쓸 수 있다.

$$e_{\alpha} = \frac{\Delta V_G}{|V_{th} - V_{fb}|} \cdot \frac{\ln(t_{r2}/t_{r1})}{(t_{r2} - t_{r1})} \quad (4)$$

마찬가지로, 하강시간  $t_r$ 는 같고, 상승시간이 각각  $t_{r1}$ ,  $t_{r2}$ 인 경우, spectroscopic signal  $S_r(t_{r1}, t_{r2})$ , 정공의 최대 방출 에너지준위  $E_{\alpha}$  및 방출율  $e_{\alpha}$ 은 다음식들과 같다.

$$S_r(t_{r1}, t_{r2}) = -qfA_g D_{it}(E_{\alpha}) kT \cdot \ln\left(\frac{t_{r2}}{t_{r1}}\right) \quad (5)$$

$$E_{\alpha} + E_i = -kT \ln(\sigma_p v_{th} p_i / e_{\alpha}) \quad (6)$$

$$e_{\alpha} = \frac{\Delta V_G}{|V_{th} - V_{fb}|} \cdot \frac{\ln(t_{r2}/t_{r1})}{(t_{r2} - t_{r1})} \quad (7)$$

## 2-2. Si-SiO<sub>2</sub> 계면트랩밀도의 공간적 분포

채널길이방향으로  $x$ 축으로 하고, 채널중앙을 원점으로 하면 유효 채널길이에 따른 평균 계면트랩밀도는 다음과 같이 표현할 수 있다.<sup>[3]</sup>

$$\overline{D_{it}}(L_{eff}) = \frac{1}{L_{eff}} \int_{-L_{eff}/2}^{L_{eff}/2} D_{it}(x) dx \quad (8)$$

여기서,  $D_{it}(x)$ 는 소오스와 드레인 근처에서의 국부적인 계면트랩 밀도이고,  $L_{eff}$ 는 역바이어스전압  $V_R$ 에 따른 유효채널길이로써 Yau의 모델<sup>[4]</sup>을 이용하여 결정하였다. 뒷식을 풀어서 다시 정리하면 다음과 같은 식을 얻을 수 있다.

$$\begin{aligned} D_{it}(L_{eff}/2) + D_{it}(-L_{eff}/2) \\ = 2L_{eff} \cdot \frac{d\overline{D_{it}}(L_{eff})}{dL_{eff}} + 2\overline{D_{it}}(L_{eff}) \end{aligned} \quad (9)$$

소오스와 드레인은 전기적으로 공통이므로 항상 같은 크기의 역바이어스 전압이 인가되기 때문에  $D_{it}(L_{eff}/2)$ 와  $D_{it}(-L_{eff}/2)$ 은 같다. 따라서, 채널길이에 따른 Si-SiO<sub>2</sub> 계면트랩밀도는 다음식과 같이 표현할 수 있다.

$$\begin{aligned} D_{it}(L_{eff}/2) = D_{it}(-L_{eff}/2) \\ = L_{eff} \frac{d\overline{D_{it}}(L_{eff})}{dL_{eff}} + \overline{D_{it}}(L_{eff}) \end{aligned} \quad (10)$$

## 3. 실험

### 3-1. 시편제작

비휘발성 SONOSFET 기억소자는 n-channel 소자가 DDD(double-doped drain) 구조인 기존의 1 Mbit DRAM용(1.2 μm 설계규격) n-well CMOS 제조공정 기술에 따라 제작하였다. 이를 위해서 12장의 마스크가 15단계의 주요공정에서 이용되었으며, 게이트전극은 double-polysilicon/polycide 이고, 소자간 절연은 LOCOS isolation 방법을 채택하였다.

Tunneling 산화막은 750°C에서 N<sub>2</sub>/O<sub>2</sub> 부분압법(partial-pressure method)에 의해서 30분간 열적 성장시켰다. 절화막은 745°C의 저압화학기상퇴적(LPCVD)노에서 18분간 10:1의 NH<sub>3</sub>:SiH<sub>2</sub>Cl<sub>2</sub> 혼합기체를 반응시켜 산화막위에 퇴적시켰다. 또한, 920°C의 저압화학기상퇴적노에서 O<sub>2</sub>/H<sub>2</sub>/LN<sub>2</sub> 기체를 흘리면서 90분간 절화막을 산화시켜 blocking 산화막을 형성하였다. 이렇게 하여 얻은 tunneling 산화막, 절화막, blocking 산화막의 두께는 각각 30Å, 205Å, 65Å 이었다. 제작한 SONOSFET 기억소자의 횡단면도는 그림 1과 같다.

한개의 좁은 채널길이와 폭이 각각 다른 다수의 p-channel 및 n-channel의 SONOSFET 기억소자들로 구성되며, 본 연구에서는 채널길이 및 폭이 각각 L=1.7 μm, W=15 μm로서 short 채널인 p-channel SONOSFET 기억소자만을 사용하였다.

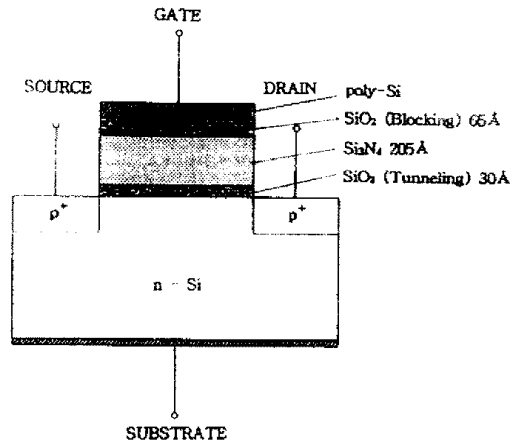


Fig. 1 Cross section of SONOSFET memory

### 3-2. 측정장치 및 방법

p-채널 SONOSFET 기억소자의 Si-SiO<sub>2</sub> 계면트랩 특성은 charge pumping 방법에 의해서 조사하였으며, 이를 위한 측정장치의 구성도는 그림 2와 같다. 펄스전압의 크기  $\Delta V_G$ 는 일정하게

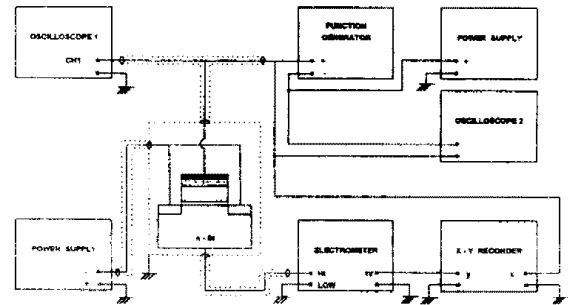


Fig. 2 Experimental set-up for measurement of charge pumping current

하고, 펄스전압의 기준준위  $V_{GL}$ 을 변화시키는 Elliot의 측정법<sup>[5]</sup>을 이용하였으며, 특히 반도체 금지대내의 넓은 범위를 조사하기 위해서 측정온도를 80K~350K 범위에서 변화시켰다. 채널의 자유 소수캐리어(free minority carrier)들로 인한 기하학적 성분(geometric component)을 제거하기 위해서 롬니파형 펄스전압을 사용하였고, 기판에 대해서 음(-)인 전압( $V_R$ )을 전기적으로 연결된 드레인 및 소오스단자에 인가하였다. 또한, 공간적 분포는 이와 같이 소오스와 드레인에 인가되는 역바이어스전압을 달리함에 따라 유효채널길이를 변화시므로써 구하였다.

## 4. 결과 및 고찰

### 4-1. 포획단면적 결정

소오스 및 드레인 단자에  $V_R=-0.5V$ 인 역바이어스 전압을 인가한 채 크기, 주파수, 그리고 duty cycle이 각각  $\Delta V_G=6V$ ,  $f=100kHz$ ,  $a=0.5$ 인 롬니파형 펄스전압을 게이트에 인가한 후, 펄스전압의 기준준위를 변화시키면서 기판으로부터 흐르는 전류(charge pumping current,  $I_{CP}$ )를 측정하면  $I_{CP}-V_{GL}$ 특성곡선을 얻을 수 있다. 측정온도를 80K~350K범위에서 변화시키면서 각 온도에서  $I_{CP}-V_{GL}$ 특성곡선을 측정하였으며, 그 결과는 그림 3과 같다.

그림 3의 각  $I_{CP}-V_{GL}$ 특성곡선에서 최대값  $I_{CP,max}$ 를 구하면 측정온도에 따른 최대 charge pumping 전류의 관계를 얻을 수 있으며, 그 결과는 그림 4의 "■"과 같다. 점선은 식(1)을 실험결과에 일치시킨 이론곡선이며, 이렇게 구한 평균 계면트랩 밀도와 평균 포획단면적은 각각  $D_{it}=1.3 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ ,  $\sigma = \sqrt{\sigma_n \sigma_p} = 1.60 \times 10^{-16} \text{ cm}^2$ 이다.

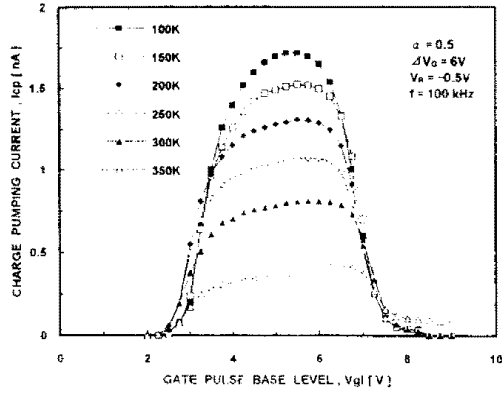


Fig. 3  $I_{CP}-V_{GL}$  characteristic curves at different temperatures

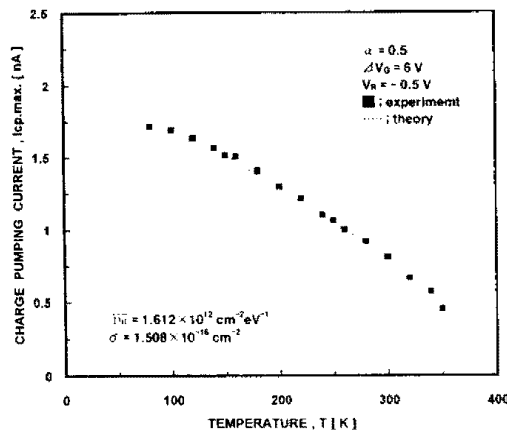


Fig. 4 Maximum charge pumping current with temperature

#### 4-2. 에너지분포 결정

300K에서 소오스와 드레인의 역바이어스 전압은  $V_R = -0.5V$ 로 하고,  $\Delta V_G = 6V$ 인 톱니파형 펄스전압의 상승(하강)시간은  $5\mu sec$ 로 고정하고 하강(상승)시간은 각각  $1.58\mu sec$ ,  $15.8\mu sec$ 로 다르게 하여  $I_{CP}-V_{GL}$  특성곡선을 측정하였다. 상승시간을 고정하고 하강시간을 다르게 하여 측정한 결과는 그림 5와 같다. 그림으로 부터  $I_{CP}-V_{GL}$  특성곡선들의 최대값의 차를 구하면 그값이 spectroscopic signal,  $S_r$ 이다. 또한,  $S_r$ 은 하강시간을 고정하고 상승시간을 다르게하여  $I_{CP}-V_{GL}$  특성곡선을 측정하여 결정한다.

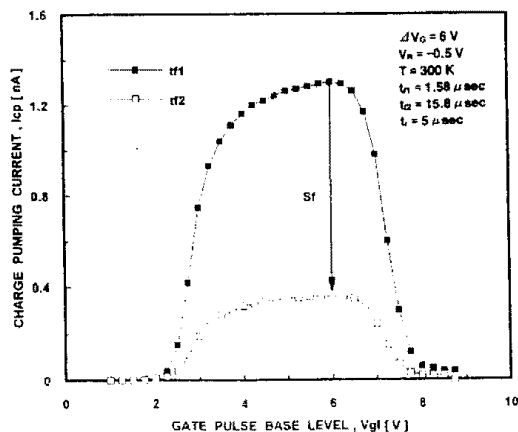


Fig. 5  $I_{CP}-V_{GL}$  characteristic curves at different falling times

그림 5와 같은 실험을 각각 다른 측정온도에서 수행하면 상승 및 하강시간에 대한 온도에 따른 spectroscopic signal을 얻을 수 있다. 여기서, 상승시간에 대한 signal인  $S_r$ 는 밴드갭 하단부에서의 정공의 방출이고, 하강시간의 signal인  $S_r$ 는 밴드갭 상단부에서의 전자의 방출이다.

이렇게 구한 실험값들과 식(2), (3), (4), 그리고 (5), (6), (7)를 이용하면 Si-SiO<sub>2</sub> 계면트랩밀도의 에너지 분포를 구할 수 있으며, 이때 전자 및 정공의 포획 단면적은 앞에서 구한  $\sigma = 1.60 \times 10^{-16} cm^2$ 를 사용한다.

#### 4-3. 공간적 분포 결정

톱니파형 펄스전압의 크기와 주파수를  $\Delta V_G = 6V$ ,  $f = 100kHz$ 로 고정하고, 소오스와 드레인에 인가하는 역바이어스전압  $V_R$ 을  $-3.5V \sim 0V$  범위에서  $0.5V$ 씩 변화시키면서 측정한  $I_{CP}-V_{GL}$  특성곡선은 그림 6과 같다.

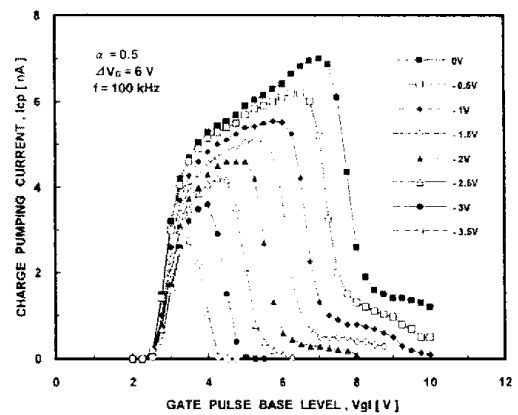


Fig. 6  $I_{CP}-V_{GL}$  characteristic curves at different reverse bias voltages

그림 6의 각  $I_{CP}-V_{GL}$  특성곡선에서 최대값  $I_{CP,max}$ 를 구하면 역바이어스전압에 따른 최대 charge pumping 전류의 관계를 얻을 수 있으며, 그 결과는 그림 7의 "◆"과 같다. 그림 7에서 실선은 계면트랩밀도가 채널길이를 따라 균일하다고 가정하고 식(1)로부터 계산한 이론곡선이다. 그림에서 보는 바와 같이 역바이어스 전압이 음(-)의 값으로 커질 수록 측정값과 이론값의 차는 증가하였다. 이것은 채널길이에 따라 계면트랩밀도가 균일하지 않고, 채널중앙쪽으로 갈 수록(즉, 역바이어스전압이 음의 값으로 커질 수록) 계면트랩밀도가 감소한다는 것을 의미한다.

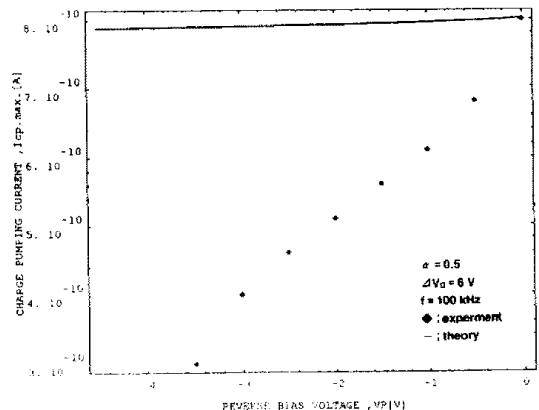


Fig. 7 Maximum charge pumping current with reverse bias voltage

그림 7의 실험값을 식(1)에 대입하여 역바이어스전압에 따른 평균계면트랩밀도  $\overline{D_{it}}(V_R)$ 를 구한 다음, 이를 Yau의 모델로 계산한 역바이어스전압과 유효채널길이의 관계를 이용하여 다시 유효채널길이에 따른 평균계면트랩밀도  $\overline{D_{it}}(L_{eff})$ 로 전환시킨다. 이렇게 구한  $\overline{D_{it}}(L_{eff})$ 곡선에서 유효채널길이에 따른 곡선의 기울기를 수치해석적으로 결정하여 이를 식(10)에 대입하면 채널길이에 따른 계면트랩밀도의 공간적 분포를 구할 수 있다.

#### 4-4. 열화특성

기록/소거 반복에 따른 Si-SiO<sub>2</sub> 계면특성을 조사하기 위해서 소오스, 드레인, 기판을 공통접지로 하고, 게이트에 폭이  $t_p=10\text{msec}$ 로 동일하고 크기는 기록전압이  $V_w=19\text{V}$ , 소거전압이  $V_e=-22\text{V}$ 인 구형펄스전압을 번갈아서 연속적으로 인가한다. 기록/소거 반복횟수가 0회,  $5 \times 10^3$ 회,  $10^4$ 회일 때,  $\alpha=0.5$ ,  $\Delta V_G=6\text{V}$ ,  $V_R=-0.5\text{V}$ ,  $f=100\text{kHz}$ 인 톨니파형 펄스전압을 이용하여  $I_{CP}-V_{GL}$  특성곡선을 측정된 결과는 그림 8과 같다. 그림에서 보는 바와

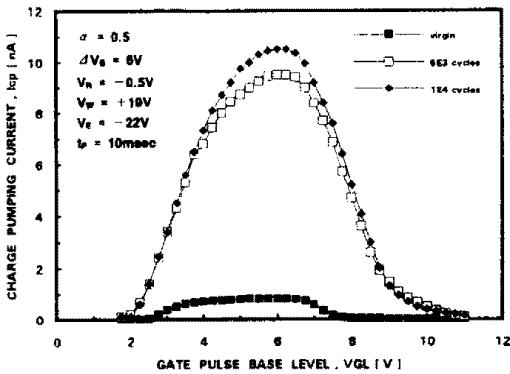


Fig. 8  $I_{CP}-V_{GL}$  characteristics with write/erase cycles

같이 기록/소거 반복횟수가 증가함에 따라서 charge pumping 전류는 증가하였다. 특히,  $5 \times 10^3$ 회 부터는 급격히 증가하였으며, 이로부터 소자가 열화되었음을 확인할 수 있다. 반복횟수가  $10^4$ 회 이상이 되면 charge pumping 전류는 포화하여 더 이상 증가하지 않았다.

열화 전후의 Si-SiO<sub>2</sub> 계면 트랩밀도의 에너지분포 및 채널길이에 따른 공간적 분포를 조사한 결과는 각각 그림 9 및 그림 10과 같다. 그림들에서 보는 바와 같이 기록/소거 반복을  $5 \times 10^3$ 회 하였을 때 계면 트랩밀도는 반도체 금지대내 및 채널 전반에 걸쳐 증가하기 시작하여  $10^4$ 회일 때 포화함을 알 수 있다. 이와 같은 Si-SiO<sub>2</sub> 계면 트랩밀도의 증가는 표면이동도의 증가, memory window 크기의 감소, memory window 중앙의 이동, 그리고 기억유지능력의 저하등과 같은 소자의 열화를 촉진시키는 원인이 된다. 따라서, 본 연구에서 사용된 SONOSFET 기억소자는  $5 \times 10^3$ 회 까지 기록/소거 반복이 보장됨을 알 수 있다.

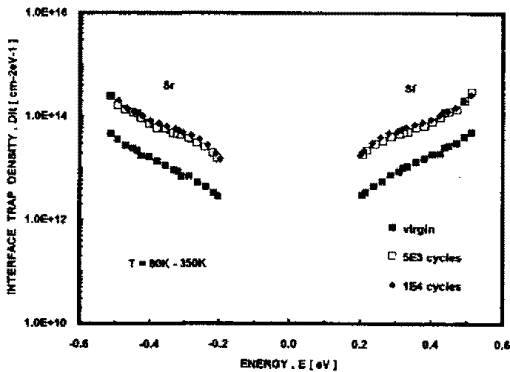


Fig. 9 Energy distributions of Si-SiO<sub>2</sub> interface trap density at various write/erase cycles

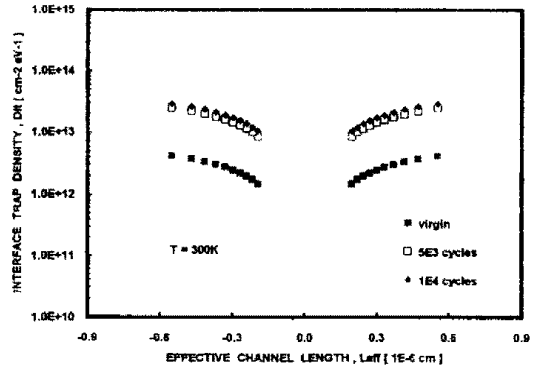


Fig. 10 Spatial distributions of Si-SiO<sub>2</sub> interface trap density at various write/erase cycles

#### 5. 결론

Charge pumping 방법을 이용하여 short 채널 SONOSFET 비휘발성 기억소자의 Si-SiO<sub>2</sub> 계면특성과 기록/소거 반복에 따른 소자의 열화특성을 조사하였다. 그 결과, 폭이  $t_p=10\text{msec}$ 이고,  $V_w=19\text{V}$ ,  $V_e=-22\text{V}$ 인 구형 펄스전압으로 기록/소거 반복을  $5 \times 10^3$ 회 하였을 때 열화현상이 나타나 Si-SiO<sub>2</sub> 계면 트랩밀도가 반도체 금지대 및 채널 전반에 걸쳐 증가하기 시작하여  $10^4$ 회일 때 포화하였다. 이로부터 charge pumping 전류를 측정하여 Si-SiO<sub>2</sub> 계면트랩밀도의 변화를 관찰함으로써 소자의 열화를 확인할 수 있다.

#### 참고문헌

- [1] H. Schauer, et al., IEEE Trans. Electron Devices, Vol.ED-25, No.8, pp.1037~1041 (1978)
- [2] G. Van den bosch, et al., IEEE Trans. Electron Devices, Vol.38, No.8, pp.1820~1831 (1991)
- [3] C. Plossu, et al., Solid State Communications, Vol.65, No.10, pp.1231~1235 (1988)
- [4] E. Yang, "Microelectronics Devices," Chap.4, McGraw Hill, New York (1988)
- [5] A. B. M. Elliot, Solid-State Electronics, Vol.19, pp.241~247 (1976)
- [6] G. Groeseneken, et al., IEEE Trans. Electron Devices, Vol.ED-31, No.1, pp.42~53 (1984)