

Photo Resistor Reflow 방법을 이용한 오프셋 마스크를 이용하지 않는 새로운 자기 정합 폴리 실리콘 박막 트랜지스터

朴喆民, 閔炳赫, 韓民九

서울대학교 工科大学 電氣工學科

Self-aligned Offset Gated Poly-Si TFTs by Employing a Photo Resistor Reflow Process

Cheol-Min Park, Byung-Hyuk Min, and Min-Koo Han
Dept. of Electrical Engineering, Seoul National University

Abstract

A large leakage current may be one of the critical issues for poly-silicon thin film transistors (poly-Si TFTs) for LCD applications. In order to reduce the leakage current of poly-Si TFTs, several offset gated structures have been reported. However, those devices, where the offset length in the source region is not same as that in the drain region, exhibit the asymmetric electrical performances such as the threshold voltage shift and the variation of the subthreshold slope. The different offset length is caused by the additional mask step for the conventional offset structures. Also the self-aligned implantation may not be applicable due to the mis-alignment problem.

In this paper, we propose a new fabrication method for poly-Si TFTs with a self-aligned offset gated structure by employing a photo resistor reflow process. Compared with the conventional poly-Si TFTs, the device is consist of two gate electrodes, of which one is the entitled main gate where the gate bias is employed and the other is the entitled subgate which is separate from both sides of the main gate. The poly-Si channel layer below the offset oxide is protected from the injected ion impurities for the source/drain implantation and acts as an offset region of the proposed device. The key feature of our new device is the offset region due to the offset oxide.

Our experimental results show that the offset region, due to the photo resistor reflow process, has been successfully obtained in order to fabricate the offset gated poly-Si TFTs. The advantages of the proposed device are that the offset length in the source region is the same as that in the drain region because of the self-aligned implantation and the proposed device does not require any additional mask process step.

Key Words : polysilicon, thin film transistor, leakage current, offset structure, self-align

1. 서론

현재까지 active matrix LCD의 핵심 소자인 박막 트랜지스터 (Thin Film Transistor, TFT) 재료인 비정질 실리콘은 저온에서 대면적화가 가능하여 비교적 저가인 유리 기판을 사용하므로 생산 단가를 줄일 수 있는 반면에 박막 트랜지스터의 이동도가 $0.1 \sim 1.0 \text{ cm}^2/V \cdot S$ 로 작아 LCD의 구동 회로를 구성하지 못하고 TFT array의 화소 소자로만 사용되는 단점이 있다. 반면에 다결정 실리콘 박막 트랜지스터 (poly-Si TFT)는 이동도가 $30 \text{ cm}^2/V \cdot S$ 이상으로 크기 때문에 TFT array 및 구동 회로를 하나의 기판 위에 형성시킬 수 있는 장점이 있어 최근에는 폴리 실리콘 박막 트랜지스터에 대한 관심이 크게 고조되고 있는 실정이다. [1]

그러나, 폴리 실리콘 박막 트랜지스터가 위와 같은 장점을 가진 반면에 화소의 스위칭 소자로 사용 시에 누설전류가 비정질 실리콘 박막 트랜지스터에 비하여 크게 되어 화소에 가해진 전압을 일정하게 유지하기 곤란하다. 이로 인하여 디스플레이의 선명도가 감소하고 화면이 미세하게 깜박거리는 현상(flickering)이 발생하여 화질이 떨어지는 문제점이 발생한다. [2]

이러한 문제점을 해결하기 위하여 트랜지스터의 채널 영역과 소오스와 드레인 영역 사이에 일정 간격을 비도핑된 부분으로 만들어 누설전류를 감소시키는 일명 오프셋 트랜지스터가 사용되고 있으나 이 소자는 기존의 폴리 실리콘 박막 트랜지스터 제작 공정에 비하여 포토 마스크가 추가되어 공정이 복잡해지는 단점이 있고 소오스 영역과 드레인 영역의 LDD나 오프셋의 길이가 같지 않기 때문에 비대칭적인 전기적인 특성을 보이는 단점이 있다. [3]

본 논문에서는 기존의 오프셋 트랜지스터와는 달리 추가의 마스크 공정을 사용하지 않고 오프셋 박막 트랜지스터를 구현하는 새로운 구조의 폴리 실리콘 박막 트랜지스터를 제안 하였으며 소자를 제작하여 기존의 박막 트랜지스터와 특성을 비교, 분석하였다.

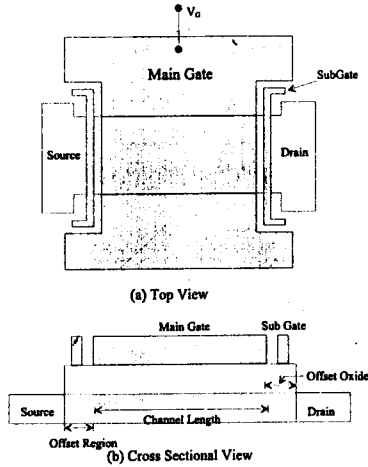


Fig. 1 The schematic view of the proposed TFT
(a) Top view (b) Cross-sectional view

II. 새로운 오프셋 박막 트랜지스터의 구조

그림 1은 제안된 소자의 개략도를 보여 주고 있다. 기존에 사용되고 있는 박막 트랜지스터와 오프셋 박막 트랜지스터와는 달리 본 논문에서 제안하는 새로운 오프셋 박막 트랜지스터는 주 게이트(Main Gate)와 주 게이트의 양쪽 옆에 위치하고 있는 부 게이트(Sub Gate)의 두 부분으로 이루어져 있다. 새로운 소자는 주 게이트와 부 게이트 사이에 Photo resistor reflow 방법을 이용하여 게이트 산화막이 식각되지 않게 게이트 패턴을 하기 때문에 자기 정합에 의하여 이온 주입을 하는 것이 가능하다. 부 게이트에 의해 확장된 절연막(Expanded Oxide)이 이온 주입 시 다결정 실리콘의 활성 영역에 이온이 주입되지 않게 하여 채널 영역에 비도핑된 오프셋 영역을 형성 하게 하는 오프셋 절연막으로 작용한다. 그리고 부 게이트에는 전극이 연결되지 않기 때문에 게이트 전극과 소자의 활성 영역 사이에 게이트 전압이 직접 인가되지 않는 영역이 존재하여 이 부분이 오프셋 영역의 역할을 하게 된다. 제안된 소자의 핵심 구조는 오프셋 절연막으로 인해 생성되는 오프셋 영역이다.

III. 제작 방법

본 연구에서 제작한 새로운 소자의 주요 공정 순서는 그림 2에 설명하고 있다. 실리콘 웨이퍼 위에 습식 산화로 300 nm의 산화막을 형성한 후 100 nm 두께의 비도핑된 비정질 실리콘 박막을 550°C 에서 LPCVD를 사용하여 증착하였다. 그 후 100 nm 두께의 게이트 절연막을 APCVD를 사용하여 증착한 후 200nm의 게이트 다결정 실리콘 박막이 LPCVD에 의해 증착되었다. 일반적인 Photo lithography공정에 의해 게이트 패턴을 한 후에 다결정 실리콘 박막을 RIE 식각 하였다. 절연막을 식각하기 전에 Photo resistor를 160°C 에서 30분 동안 Reflow하였다

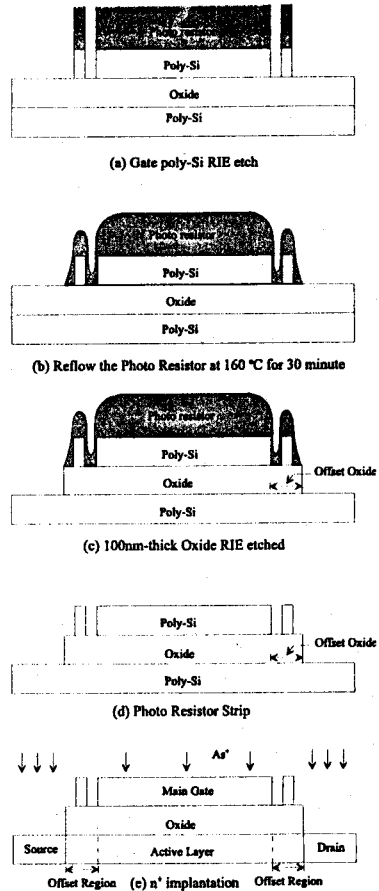


Fig. 2 The key processes for fabricating offset oxide.

(그림 2(c)). 그 후에 게이트 절연막을 식각하고 (그림 2(d)) Photo resistor를 벗겨 냈다 (그림 2(e)). 다결정 실리콘 게이트를 식각할 때 주 게이트와 부 게이트 사이에 있던 절연막은 Reflow된 Photo resistor가 마스크로 작용하여 식각되지 않고 남게 된다. 따라서 소오스와 드레인의 자기 정합 이온 주입시 오프셋 절연막의 하부에 있는 다결정 실리콘의 활성층은 도핑 되지 않고 오프셋 영역으로 형성된다. SEM사진을 이용해 오프셋 절연막의 존재를 확인하였다. 그림 3에서 보이듯이 오프셋 절연막은 주 게이트와 부 게이트 사이에 주 게이트의 양 옆에 균일하게 생성되었다.

IV. 결과 및 고찰

우리는 새로운 소자의 개연성을 공정 시뮬레이터인 SUPREM IV와 소자 시뮬레이터인 SILVACO S-PICES를 사용하여 확인 하였다. 그림 4에서는 여러 가지 오프셋 길이를 가진 새로운 소자의 I_D-V_G 특성을 측정하여 비교한 결과를 도시하고 있다. 소자의 채널 길이는 10 μ m, 그리고 오프셋 길이는 0.0 μ m 에서 1.0 μ m 까지 변화시켰다. 본 논문에서 언급하는 오프셋 길이는 소오스와 드레인에서

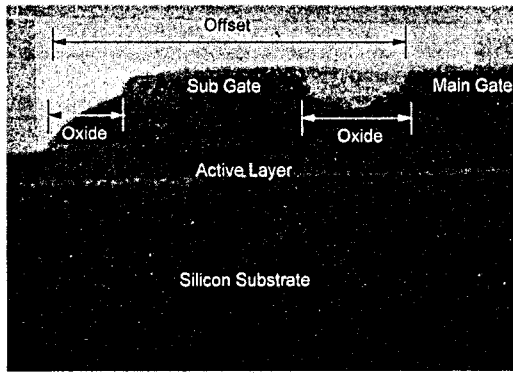


Fig. 3 The SEM image of offset oxide.

The space between the main and the sub gate is $0.5 \mu\text{m}$ and sub gate length is $0.8 \mu\text{m}$

확산되는 이온의 확산 길이(diffusion length)를 고려한 유효 오프셋 길이를 의미한다. 공정 조건을 100nm 의 활성층 비정질 실리콘을 600°C 에서 48시간 고상 결정화(SPC, Solid Phase Crystallization) 방법을 이용하여 폴리실리콘으로 결정화 한 것을 가정하고 소오스와 드레인에 주입된 이온을 900°C 에서 30분 간 어닐링 하여 활성화시킨 것을 가정하여 이온의 확산 길이를 공정 시뮬레이터인 SUPREM IV를 사용해 $0.2\mu\text{m}$ 로 정하였다.

트랜지스터의 오프셋 길이가 증가함에 따라 소자의 게이트와 소오스/드레인 간의 비도핑된 채널 저항의 증가로 인하여 on 전류와 off 전류가 모두 감소하는 현상을 보이고 있으나 on 전류에 비하여 off 전류가 더욱 크게 감소하고 있다. 특히, off 전류의 감소 값을 수치로 살펴보면 오프셋 길이가 $0.0\mu\text{m}$ 에서 전류 값은 0.4 pA 에서 오프셋 길이가 $1.0\mu\text{m}$ 인 경우에는 30fA 로 감소하여 확실히 큰 영향을 미치는 ON/OFF 전류 비가 그림 5에서 보듯이 현격하게 좋아지는 현상이 나타나고 있다.

게다가 기존의 오프셋 소자에서 문제가 되었던 부가의 오프셋 마스크 문제와 Mis-align 문제는 새로운 소자의 경우는 게이트 패턴을 이용해 자기 정합 방식을 이용해 이온을 주입하므로써 해결이 되었다.

V. 결론

우리의 실험은 오프셋 다결정 실리콘 박막 트랜지스터를 Photo resistor reflow 방법을 이용해 제작할 수 있음을 성공적으로 보여 주고 있다. 기존의 오프셋 박막 트랜지스터는 게이트와 소오스와 드레인 영역 사이에 오프셋 영역을 형성시키기 위하여 추가의 마스크와 포토 공정이 추가되기 때문에 필연적으로 소오스 영역과 드레인 영역의 오프셋의 길이가 같지 않기 때문에 비대칭적인 전기적 특성을 보인다는 단점이 있다. 따라서 본 연구에서는 오프셋 마스크를 사용하지 않고 오프셋을 형성하고 비대칭적인 전기적 특성의 원인을 제거한 새로운 구조의

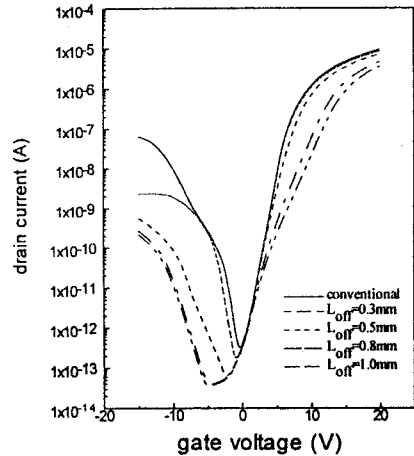


Fig. 4 Transfer characteristics in a conventional and a proposed structure poly-Si TFT. The offset length varies from $0.3 \mu\text{m}$ to $1.0 \mu\text{m}$. $V_a=5\text{V}$

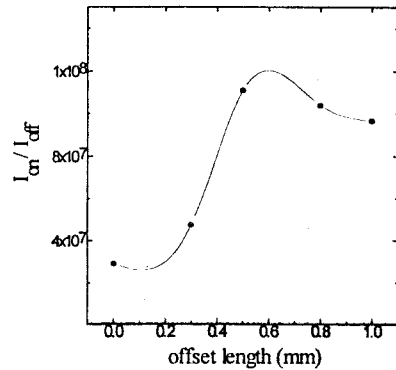


Fig. 5 Variation of on-off current ratio ($I_{\text{on}}/I_{\text{off}}$) as a function of offset length (L_{off}).

폴리실리콘 박막 트랜지스터를 제작하여 기존의 소자와 전기적 특성을 비교, 분석하였다. 새로운 소자에서 nMOS의 I_D - V_G 특성을 오프셋 길이에 따라 비교한 결과, 오프셋 길이가 증가할 수록 누설전류가 현격히 감소하는 현상을 보이고 있으며 ON/OFF 전류 비도 오프셋 길이에 따라 현저히 달라지는 것을 확인 하였다..

參考文獻

- [1] H. Oshima, and S. Morozumi, "FUTURE TRENDS FOR TFT INTEGRATED CIRCUITS ON GLASS SUBSTRATES," *IEDM*, pp.157-160, 1989.
- [2] K. Suzuki, "Pixel Design of TFT-LCDs for High-Quality Images," *SID 92 Digest*, pp.39-42, 1992.
- [3] K. Tanaka, H. Arai, S. Kohda, "Characterization of offset-structure polycrystalline silicon thin-film transistors," *IEEE Electron Device Lett.*, vol. 9, pp. 23-25, 1988.