

Rail-to-Rail 입력단과 출력단을 갖는 3 V CMOS 연산증폭기의 최적 설계에 관한 연구

박 용 회*, 황 상 준*, 성 만 영*, 김 성 진**

*고려대학교 전기공학과

**경남대학교 전자공학과

A Study on the Optimum Design for 3 V CMOS Operational Amplifier
with Rail-to-Rail Input Stage and Output Stage

Yong Hee Park*, Sang Joon Hwang*, Man Young Sung*, Seong Jeon Kim**

* Dept. of Electrical Eng., Korea University

** Dept. of Electronic Eng., Kyungnam University

Abstract

This paper presents a 2-stage, simple, power-efficient 3V CMOS operational amplifier and its equation based design optimization. Because of its simple structure, it is very suitable as a VLSI library cell in analog/digital mixed-mode systems. The op-amp, which contains a constant- g_m rail-to-rail input stage and a simple feedforward class-AB rail-to-rail output stage, is analyzed and the results are presented in the form of design equations and procedures, which provide an insight into the trade-offs among performance requirements. The results of SPICE simulations are shown to agree very well with the use of design equations.

1. 서론

최근까지 발표된 2단 CMOS rail-to-rail 연산증폭기는 복잡한 AB급 출력단을 갖거나, 잡음과 오프셋을 유발하는 AB급 전류 제어 회로를 갖는다. 또는, 공통모드 입력전압 변동에 따른 입력단의 트랜스컨덕턴스 변동이 너무커서 최적의 주파수 보상을 어렵게 한다.^{[1][2]}

본 논문의 목적은 아날로그-디지털 혼합시스템에서의 VLSI 셀로서 단순하고, 전력 효율이 좋은 저전압·저전력 2단 CMOS 연산증폭기의 설계와 설계의 공식화를 통한 설계의 최적화를 이루는데 있다. 설계된 3V 2단 CMOS 연산증폭기는 신호대잡음비(SNR)의 저하문제 해결을 위해 상보형 rail-to-rail 차동쌍을 사용했으며, 신호왜곡을 줄이고 전력효율을 높이기 위해서 출력단에 미드백 AB급 출력단 회로를, 주파수 보상 방법으로는 일반적인 밀러 주파수보상법을 사용하였다. 회로구성의 특징은 floating AB급 전류제어 회로를 current summing회로 안에 포함시켜 잡음과 오프셋을 감소 시켰으며, 이와 같은 구조의 floating 전류원을 사용하여 공급전압 변동의 영향을 줄였다. 연산증폭기 설계 최적화 과정에서 제시한 설계절차는 연산증폭기 설계 목표를 효율적으로 만족시키는 방법의 예시를 주며, 동시에 충분한 안정여유를 제공한다.

2. Rail-to-Rail 입력단과 출력단을 갖는

저전압 CMOS 연산증폭기의 구성

VLSI에서 소자의 크기 감소와 집적도의 증가 추세는 게이트 산화막에 대한 공급전압을 낮추고, 단위 셀당 전력소비를 줄이는 방향으로 나아가게 하고 있으며, 공급전압이 5V이하로 낮아짐에 따라 저전압 아날로그 회로 설계시 여러 문제가 발생한다. 즉, 동적 범위(dynamic range)의 감소와 낮아진 공급전류에 의

한 대역폭의 감소, 그리고, 회로설계의 단순화라는 제한에 의한 성능향상의 한계가 있다.^{[3][4]}

이 중에서 가장 큰 문제가 되는 것은 동적범위의 감소로 이 문제를 해결하기 위해서는 입력단과 출력단이 하나의 공급레일(V_{SS})에서 다른 공급레일(V_{DD})까지 도달하는 공통모드 입력전압 범위를 갖는 것(rail-to-rail)이 필요하다.

본 장에서는 저전압/저전력 연산증폭기 설계의 필요조건에 부합되는 입력단과 출력단을 구성하였다. 그림 1에 설계된 연산증폭기의 각 구성부분을 블록으로 나타내었다.^{[4][5][6]}

입력단은 상보형(complementary) 차동쌍, 일정한 g_m 을 위한 바이어스회로와 current summing회로로 나눌 수 있다. 입력단의 회로도본 그림 2에 나타내었다.

상보형 차동쌍의 동작은 공통모드 입력전압범위를 다음과 같이 3부분으로 나뉘어서 이해 할 수 있다.

- i) 낮은 공통모드 입력전압 : p-채널 차동쌍만 동작한다.
 - ii) 중간 공통모드 입력전압 : p-채널과 n-채널 차동쌍이 모두 동작한다.
 - iii) 높은 공통모드 입력전압 : n-채널 차동쌍만 동작한다.
- 이렇듯 공통모드 입력전압이 변하여 p-채널 또는 n-채널 차동쌍중 하나만 동작할 때와 둘다 동작할 때 g_m 은 변한다.

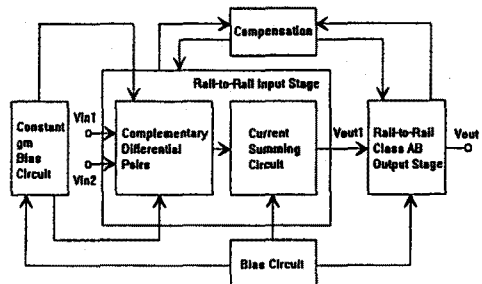


그림 1 저전압 연산증폭기 설계의 개념도

g_m 은 바이어스 전류의 제곱근에 비례하므로, 공통모드 입력범위의 하단과 상단에서 g_m 을 2배씩 증가시켜주면 g_m 은 일정하게 되므로, 바이어스 전류를 4배 증가시키면 일정한 g_m 을 얻을 수 있다. 이 관계를 이용한 것이 1:3 전류미러 바이어스 회로이다.

저전압·저전력 응용을 위한 출력단의 요구사항은 출력전압의 효율적인 사용을 위해 rail-to-rail의 출력전압 범위를 가져야

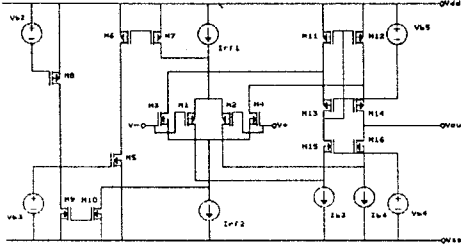


그림 2 1:3 전류미러 바이어스 회로를 갖는 rail-to-rail 입력단

한다는 것과 출력전류의 효율적인 사용을 위해 AB급 출력 바이어스이어야 한다는 것이며, 이러한 조건을 갖춘 출력단 회로를 그림 3에 나타내었다.^{[4][5][6]}

밀러 주파수보상법의 전체회로를 그림 4에 나타내었다.

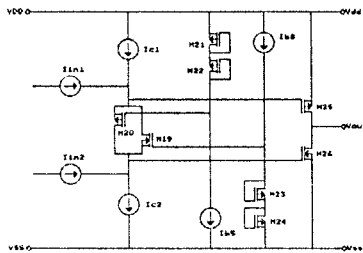


그림 3 피드포워드 AB급 바이어스 제어회로를 갖는 rail-to-rail 출력단

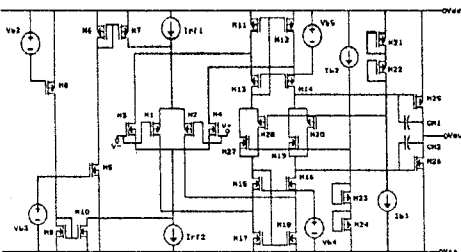


그림 4 밀러 주파수 보상법을 사용한 전체회로

3. 설계의 최적화

표 1 설계를 위한 파라미터 특성식

트랜스컨덕턴스	$g_m = \sqrt{2 K \frac{W}{L} I_{DS}}$ $K = \mu_n C_{ox}$ $\frac{W}{L} = \frac{g_m^2}{2 K I_{DS}}$
트랜스컨덕턴스/전류 비	$\frac{g_m}{I_{DS}} = \frac{2}{V_{GS} - V_T}$
출력 저항	$r_{ds} = \frac{1}{\lambda I_{DS}}$
게이트-소오스	$C_{gs} = \frac{2}{3} W L C_{ox}$
설계 가정	$g_{m1} = g_{m2} = g_{m3} = g_{m4}$ $g_{m19} = g_{m20} \cdot g_{m14} = g_{m16}$

표 2 연산증폭기의 설계방정식

설계조건	설계 방정식
단위이득	$g_{m1} = \pi f_o C_M \quad (\text{단, } g_{m1} \leq 5 I_{DS})$
위상여유	$g_{m25} = \pi f_o C_L \tan(PM)$
슬루율	$I_{r1} = SRC_M$
저주파 이득	$I_{cnc} = \frac{2 g_{m1} g_{m25} R_L}{\lambda^2 A_{ol} \Delta V_1^+ (1 + \frac{I_{r1}}{g_{m14}}) + \Delta V_1^- (1 + \frac{I_{r1}}{g_{m16}})}$
신호 전류 스윙	캐스 코드 $\Delta V_1^+ = \frac{V_{DD} - V_{O1max}}{2}$ $\Delta V_1^- = \frac{ V_{SS} - V_{O1min} }{2}$
	AB급 출력 $\Delta V_2^+ = V_{DD} - V_{O2max}$ $\Delta V_2^- = V_{SS} - V_{O2min} $
캐스코드 바이어스	$g_{m14} = 2 I_{cnc} / \Delta V_{cs}^-$
출력단 바이어스	$I_{cnc} = g_{m25} (\Delta V_{cs}^+ / 2)$

등가회로를 가지고 소신호해석을 하여, 저주파 이득, 위상여유, 단위이득 주파수, 대역폭, 슬루율 등을 구하여 이러한 설계 사양과 실제 파라미터와의 관계를 공식화하여 표 1과 표 2에 나타내었다.

이러한 설계절차의 최종목표는 성능 요구사항에 맞춰 연산증폭기의 W/L비를 얻는 것으로 표 3과 표 4에 나타내었다.

표 3 CMOS 트랜지스터의 W/L비

Type	Device	W/L [$\mu\text{m}/\mu\text{m}$]
P	M1 M2	18.8/2
	M6	29.8/3
	M7	55.7/3
	M8 M11 M12 M13 M14	55.7/2
	M20	21.4/2
	M21 M22 M28	27.8/2
N	M25	103/2
	M3 M4	3.3/2
	M5	27.8/2
	M9	27.8/3
	M10	55.7/3
	M15 M16 M17 M18	18.6/2
	M19	7/2
	M23 M24 M27	9.1/2
	M26	33.6/2
	M27	18.5/2

표 4 독립 전원 (단위: 전압원[V], 전류원[μA])

	Vb2	Vb3	Vb4	Vb5	Irf1, 2	Ib2, 3
값	1.0	1.1	1.3	1.2	5	7

4. 시뮬레이션 결과 및 고찰

그림 7에서 일정한 g_m 을 위한 1:3 전류미러 바이어스 회로의 공통모드 입력전압에 따른 바이어스 전류와 g_m 의 변화율 보여주고 있다. 0.8V에서 1.2V사이와 2.1V에서 2.6V사이의 전류스위치 M5와 M8이 바뀌는 구간에서 큰 변화율을 볼 수 있다. 그 값은 대략 16%~17%의 변화율을 보인다. 이러한 g_m 의 변동은 주파수 보상을 최적화하는데 방해요소일 뿐만 아니라, 공통모드 소거비(CMRR)를 낮추는 결과를 초래하나, 100% 변동의 1:1 전류미러 바이어스 회로보다 크게 향상되었다.

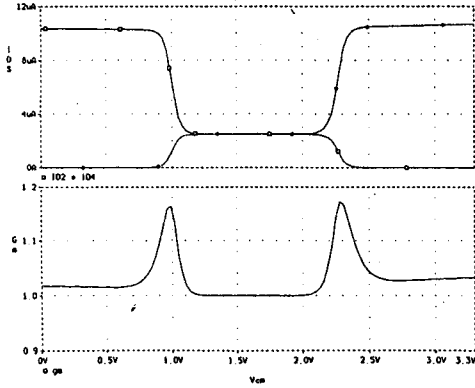


그림 5 입력차동쌍의 (a) 바이어스전류 대 공통모드입력전압 (b) 정규화된 gm 대 공통모드입력전압 floating 전류원의 변동은 그림 6에 나타내었다.

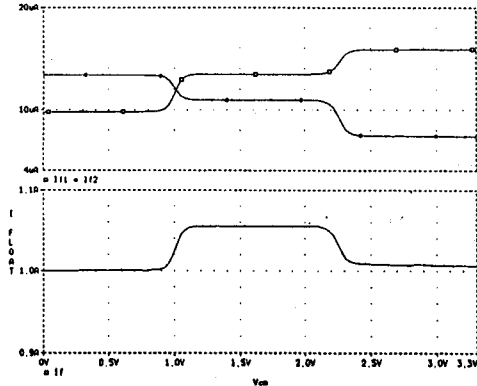


그림 6 floating 전류원의 공통모드 입력전압에 따른 변동 그림 6에서 보듯이 floating 전류원의 변동은 5%이내로 변동 값이 작으므로, 전류원으로서 적당하다.

한 장에서는 전형적인 사양에 의해서 설계식을 바탕으로 설계된 밀리 주파수보상법을 갖는 3V 연산증폭기의 시뮬레이션 결과와 설계식의 목표를 비교하였다.

표5에 밀리보상회로의 설계식과 SPICE시뮬레이션과 설계결과를 비교해 놓았다.

표 5 설계식과 SPICE시뮬레이션과의 결과 비교

파라미터	단위	설계 목표	설계식	SPICE
f_o	MHz	> 2	2	1.9
PM	°	> 60	70	69
SR	V/ μ s	> 2	5	4.13
A_o	dB	> 70	70	71
우세극점 f_1	Hz	> 600	630	530
소비전력	mW	< 0.5	0.3	0.25

원하는 각 사양에 따른 적절한 설계조건을 잡고, 설계 파라미터 상호의 trade off관계 속에서 최적의 설계식을 구해, 앞에서의 설계조건에 따라 연산증폭기를 설계하고, 시뮬레이션 결과와 비교해 보았다. 이 과정에서 적절한 설계파라미터와 연산증폭기의 특성파라미터 상호의 관계식을 도출했고, 이 관계식을 바탕으로 한 설계와 시뮬레이션의 결과가 근접함을 볼 수 있다.

5. 결과

본 논문에서는 저전압 CMOS 연산증폭기 설계에 있어서의 여러 문제점을 제시하고, 문제점 해결 방안과 그것을 바탕으로 3V CMOS 연산증폭기를 구성한 후 최적화 설계단계를 설정하였다. 공급전압이 낮아지면, 동작범위와 대역폭의 감소가 일어나며, 소비전력을 줄이기 위해서는 전력효율이 우수한 출력단을 사용해야 한다. 따라서, 입력단과 출력단을 신호 스윙이 큰 rail-to-rail의 상보형(complementary)입력단과 AB급 푸쉬-풀 출력단을 사용했다. 시뮬레이션 결과를 요약하면 다음과 같다.

1. 일정한 gm을 위한 1:3전류미러 바이어스 회로가 전류 스윙치가 전환되는 구간에서 16~17%의 변동을 보이며, 이 변동이 CMRR의 저하를 초래하나, 100% 변동의 1:1 전류미러 바이어스 회로보다 크게 향상되었다.
2. rail-to-rail의 특성을 갖는 상보형차동쌍을 사용하여, 공통모드 입력범위를 $V_{SS} - V_{DD} - 0.3V$ 의 범위를 갖는다.
3. AB급 출력단을 사용하여 소비전력을 줄여 0.25mW를 나타내었다. 입력단과 출력단을 결합할때 floating 바이어스 전류원과 floating AB급 전류제어 회로를 current summing회로 내부에 포함시킴으로써, 공급전원의 변동에 둔감하게 하고, 잡음과 오프셋을 감소시켰다.

최적화 설계 과정에서 유도된 표현식은 SPICE시뮬레이션에 의해서 확인되었다. 수식을 기반으로 한 설계절차의 개발은 성능요구조건으로부터 연산증폭기의 MOS회로 파라미터에 대한 직접적인 산정을 위한 빠르고 효과적인 메카니즘을 제공한다. 이러한 계산된 회로 값들로 설계된 연산증폭기는 SPICE시뮬레이션에서 증명되듯이 주어진 성능사양을 만족시킨다. 이것은 설계를 위한 SPICE의 실행 횟수를 상당히 줄여 연산증폭기의 설계와 시뮬레이션 노력을 최소화 했다. 설계식은 성능 사양에 영향을 주는 주요한 인자에 중점을 두었고, 이것은 다른 사양에 대해서, 회로를 다시 설계할 때 매우 용이하게 하며, 회로 구성간의 trade-off와 다른 제한점들을 직관적으로 볼 수 있게 해준다.

※ 참고문헌

- [1] Botma, J.H., et al., "A Low-Voltage CMOS Op-Amp with a Rail-to-Rail constant-gm Input Stage and a Class AB Rail-to-Rail Output Stage," Proc. ISCAS '93, pp. 1314~1313, May 1993.
- [2] Wu, W., et al., "Digital-Compatible High-Performance Operational Amplifier with Rail-to-Rail Input and Output Ranges," SC-29, pp. 63~66, Jan. 1994.
- [3] Matsuzawa, A., "Low-Voltage and Low-Power Circuit Design for Mixed Analog/Digital Systems in Portable Equipment," SC-29, pp. 470~480, Apr. 1994.
- [4] Huijsing, J.H., et al., "Low-Voltage Low-Power Amplifiers," Proc. ISCAS '93, pp. 1443~1446, May 1993.
- [5] Ismail, M., Friez, T., *Analog VLSI Signal and Information Processing*, McGraw-Hill, 1994.
- [6] Fonderic, M.J., et al., *Design of Low-Voltage Bipolar Operational Amplifiers*, KAP, 1993.