

## 전계 방출 소자용으로 제조한 단결정 실리콘 기판에 증착된 실리콘 질화막에 대한 특성 연구

정재훈<sup>0</sup> · 주병권 · 이윤희 · 오명환 · 장진<sup>\*</sup>

한국과학기술연구원 정보전자연구부, \* 경희대학교 물리학과

### Characteristics of SiN<sub>x</sub> films on wet-etched Si for field emission device

Jae-Hoon Jung, Byeong-Kwon Ju, Yun-Hi Lee, Myung-Hwan Oh, Jin Jang<sup>\*</sup>

Division of Electronics and Information Technology, KIST,

\* Department of Physics, Kyung Hee University

SiN<sub>x</sub> films deposited on bare Si and wet-etched Si by RPCVD were fabricated to investigate the effect of wet-etched surface of Si on the characteristics of the interface between SiN<sub>x</sub> and Si. FT-IR spectra on each film showed similar characteristics. However, it was confirmed that the electric characteristics (I-V, C-V) of the interface between SiN<sub>x</sub> and Si have been degraded by the wet etching process of Si, which is applied for the formation of Si field emitter array. Therefore, we suggest that the stacked structure of insulating layer with good interface characteristics is desirable for FED application.

#### I. 서론

실리콘질화막(Si<sub>3</sub>N<sub>4</sub>)은 MISFET(metal insulator semiconductor field effect transistor)의 게이트절연막<sup>[1]</sup>, 다중층의 내부 절연막<sup>[2]</sup>, MNOS(metal nitride oxide semiconductor)구조의 절연막이나 반도체 회로에서 이동전하 혹은 불순물에 대한 확산 방지 장벽으로서 사용되어 왔다<sup>[3]</sup>. 최근에는 평판표시장치의 하나인 전계 방출 소자(field emission device)의 게이트 절연막으로도 사용되고 있다<sup>[4]</sup>.

FED소자에 사용되고 있는 질화막은 대개 CVD법으로 형성되며 특히 RPCVD(remote plasma chemical vapor deposition)법은 PECVD(plasma enhanced chemical vapor deposition)법에 비하여 시료 표면에 플라즈마에 강하게 노출되지 않아 플라즈마에 의한 이온 손상을 줄일 수 있기 때문에 최근에 많이 사용되어지고 있다.

FED 소자의 동작시, 게이트에 외부 전압이 인가되면 가한 전기장의 대부분이 절연체막이나 계면에 걸리기 때문에 소자의 동작 안정성과 전자방출 특성은 절연막의 특성에 의해 크게 영향을 받을 뿐만아니라 단결정 실리콘 기판과의 계면상태나 표면에 대해 의해서도 매우 큰 영향을 받는다.

본 논문은 FED용 게이트 절연막 재료 및 공정연구를 위하여 먼저 순수한 실리콘 기판상부에 RPCVD법을 사용하여 증착된 질화막을 형성한 구조를 준비하고 이어서 FEA(field emission array) 제조시 수반되는 습식 식각된 실리콘 기판 상부의 절연막에 대한 특성을 조사하기 위한 시편을 제조하였다. 각각의 시료에 대하여 전기적, 구조적 성질을 측정하였고, 관측된 실험결과로부터 FED용 게이트절연체로서의 질화막의 성능

을 논의하였다.

#### II. 실험방법

본 실험에서 형성한 질화막(SiN<sub>x</sub>)은 RPCVD방법을 사용하여 제조하였다. 기판으로는 (100), 비저항 10 Ωcm, n-type 단결정 실리콘기판을 사용하였으며, 단결정 실리콘 웨이퍼의 습식 식각 공정은 등방성 에칭용액인 NAF (HNO<sub>3</sub>-CH<sub>3</sub>COOH-HF = 95 : 3 : 2)를 사용하여 각각 1분, 2분, 3분, 4분 동안 행하였다. 본 연구에서 제조한 질화막의 형성조건은 표 1에 나타낸 바와 같다.

표 1. RPCVD법에 의한 질화막의 제작 조건

Substrate temp. (°C)	300
Pressure (Torr)	0.5
RF power (W)	30
Gas flow rate (sccm)	
IIC	70
NH <sub>3</sub>	20
SiH <sub>4</sub>	0.35

습식 식각된 실리콘 기판과 bare 실리콘 기판에 각각 1000Å의 두께로 성장된 질화막의 전기적인 특성을 조사하기 위해 상부 전극으로서 알루미늄(Al)을 열증착하여 MNS(metal-nitride-semiconductor) 구조를 갖는 시편을 준비하였다. 직류 전류-전압(I-V) 특성은 Keithley사의 617 electrometer를 PC에 접속하여 얻어내었으며 모든 시료에 대한 누설 전류 밀도는 1 MV/cm 크기의 인가전기장하에서의 전류밀도로 정의하였다. 항복전압은 전류밀도의 값이 1×10<sup>6</sup> A/cm<sup>2</sup> 가 되는 점에서 인가된 전압을 두께로 환산하여 결정하였다. 전기용량-전압(C-V) 특성은 Keithley 595 C-V analyzer를 PC에 연결하여 고주파(high frequency)와 저주파(quasi-static)에서 각각 얻어내었다.

#### III. 실험 결과 및 분석

##### III-1. 질화막의 구조적 특성

그림 1은 bare 실리콘 표면과 습식 식각된 실리콘 표면상에 각각 증착된 질화막의 FT-IR 투과 스펙트럼을 나타내고 있

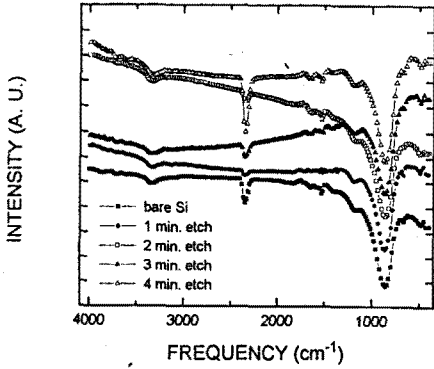


그림 1. bare 실리콘 표면과 습식 식각된 실리콘 표면에 각각 증착된 질화막의 FT-IR 투과 스펙트럼.

다. 일반적으로 Si 과 N 의 조성비에 따라 840~890  $\text{cm}^{-1}$  파수 범위에서 흡수피크가 나타난다는 사실을 고려할때 파수 870  $\text{cm}^{-1}$  정도에서 관측되는 폭넓은 흡수 피크는 Si-N 결합의 늘어남 모드(stretching mode)로 해석된다. IR 투과도에서 N-H 늘어남 모드의 흡수계수의 적분과정을 거쳐박막 내부의 수소량을 산출<sup>[1]</sup>한 결과 질화막 내부의 수소량은 20% 정도인 것으로 확인되었다.

### III-2. 질화막의 전기적 특성

그림 2는 게이트 전극에 negative bias를 인가한 경우, 습식 식각된 실리콘 기판들과 bare 실리콘 기판위에 증착된 질화막의 누수 전류 밀도와 항복 전장 세기의 결과를 알수 있는 전류-전압(I-V) 특성을 나타낸 것이다. 이때 누수 전류 밀도는 습식 식각된 실리콘 기판들위에 증착된 질화막의 경우 습식 시간에 따라  $3.2\sim 3.8 \times 10^8 \text{ A/cm}^2$  이고, bare 실리콘 기판위에 증착된 질화막의 경우는  $3.0 \times 10^9 \text{ A/cm}^2$  이다. 또한 항복 전장 세기는 bare 실리콘, 1분, 2분, 3분, 4분 습식 식각된 실리콘 기판에 증착된 질화막들의 경우에 대하여 각각 6.1, 5.9, 5.6, 5.5, 4.9 MV/cm로 측정되었다. 습식 식각된 실리콘 기판위에 증착된 질화막들의 경우가 bare 실리콘 기판위에 증착된 경우보다 누수전류밀도가 크게 나타나고, 항복 전압도 더 낮음을 알 수 있다. 이러한 현상은 습식 식각에 의한 기판상의 표면의 거칠기 증가에 의한 것으로 판단된다. 질화막과 실리콘 기판간의 계면상태는 주로 midgap 이하에 존재하는 깊은 준위들로서 이들 계면상태는 계면에 매우 집중적으로 존재하며, 이들 계면의 생성원인은 실리콘상에 비정질박막이 형성된 경우와 같이 격자부정합으로 인한 큰 응력 발생에 기인한다고 제안되고 있는데, 본 실험에서와 같이 실리콘 기판의 거칠기가 증가할수록 격자부정합이 증가하므로 깊은 준위의 분포가 더 증가하는 것으로 이해할수 있다.

그림 3은 게이트 전극에 positive bias를 인가한 경우, 습식 식각된 실리콘 기판들과 bare 실리콘 기판위에 증착된 질화막의 누수 전류 밀도와 항복 전장 세기의 결과를 알수 있는 전류-전압(I-V) 특성을 나타낸 것이다. 이때 누수 전류 밀도는 습식 식각된 실리콘 기판들위에 증착된 질화막의 경우 습식 시간에 따라  $3.3\sim 3.9 \times 10^8 \text{ A/cm}^2$  이고, bare 실리콘 기판위에 증착된 질화막의 경우는  $4.0 \times 10^9 \text{ A/cm}^2$  이다. 또한 항복 전장 세기는 bare 실리콘, 1분, 2분, 3분, 4분 습식 식각된 실리콘 기판에 증착된 질화막들의 경우에 대하여 각각 6.1, 5.9, 5.6, 5.5, 4.9

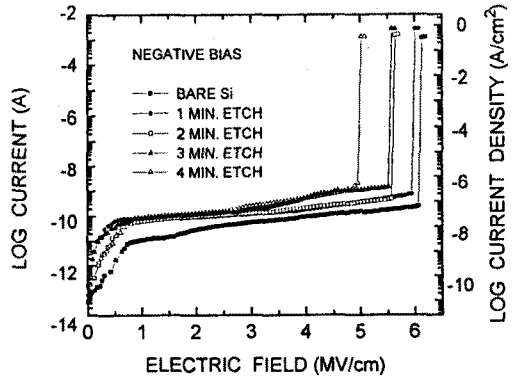


그림 2. 게이트 전극에 negative bias를 인가한 경우, 습식 식각된 실리콘 기판들과 bare 실리콘 기판위에 증착된 질화막의 전류-전압(I-V) 특성.

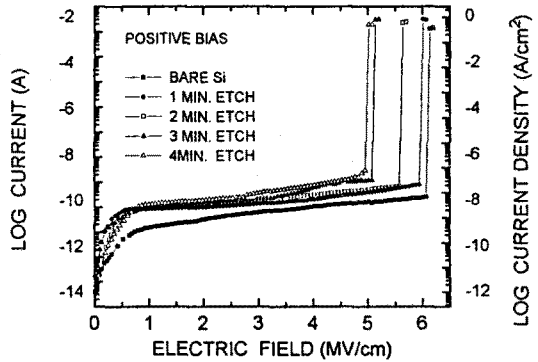


그림 3. 게이트 전극에 positive bias를 인가한 경우, 습식 식각된 실리콘 기판들과 bare 실리콘 기판위에 증착된 질화막의 전류-전압(I-V) 특성.

MV/cm로 측정되었다. 습식 식각된 실리콘 기판위에 증착된 질화막의 경우가 bare 실리콘 기판위에 증착된 질화막의 경우보다 누수전류밀도가 크게 나타나고, 항복 전압도 더 낮음을 알 수 있다. 또한 극성에 따른 의존성(polarity dependence)은 게이트 금속에 negative bias를 가한 경우와 비교해 보면 positive bias를 가한 경우의 전류값이 조금 큰것을 알수 있는데 이것은 질화막의 전기전도에서 실리콘으로부터의 hole 주입이 우세하기 때문이라는 결과와 같다<sup>[6]</sup>. Mcad<sup>[7]</sup>에 의하면 이것은 MNS구조에서 양쪽의 접촉 장벽 높이의 차이에 의한 절연체내에 국한된 열적 이온화 메카니즘에 의한 것이라고 설명하였다.

그림 4는 bare 실리콘 기판에 증착된 질화막의 전기용량-전압(C-V) 특성을 나타낸 것이다. 이때  $V_{fb}$ (flatband voltage)는 -1.02V이다.  $V_{fb}$ 는 MNS구조에서의 고정 전하 계산을 통하여 계산하였다.

습식 식각된 실리콘과 bare 실리콘에 증착된 질화막의 경우 flat band 전압일때의 trace(accumulation→inversion)와 retrace curve 사이의 전압차는 각각 28mV~35mV로 측정되었으며, 이는 질화막내의 이동전하밀도가 매우 작은 것으로 판단된다.

계면 트랩은 소자 제작시나 소자의 손상으로 부터 발생하는 결함이나 불순물을 말하는데, 이러한 트랩들은 반도체와 절연체의 계면에 국재되어 있고, 이들이 충전 혹은 방전하게 되므로 소자의 작은 capacitance로 작용하게 된다. 그림 4와 5에서 보는

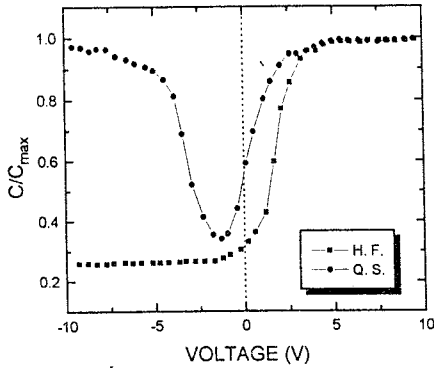


그림 4. bare 실리콘 기판에 증착된 질화막의 전기용량-전압 (C-V) 특성

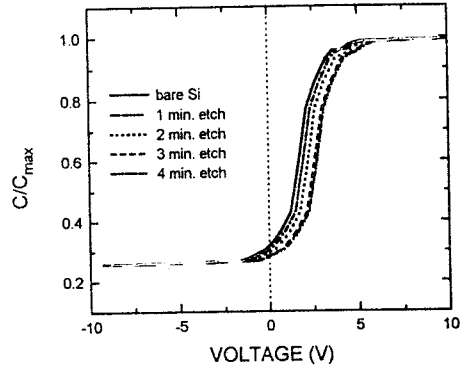


그림 6. bare 실리콘과 1분, 2분, 3분, 4분 동안 습식 식각된 실리콘 기판등에 증착된 질화막의 전기용량-전압(C-V) 특성.

바와 같이 고주파와 저주파 C-V 곡선에서 게이트 전압  $V_g$ 의 함수로서 계면상태밀도( $D_{it}$ )를 구할 수 있다<sup>8)</sup>. bare 실리콘에 증착한 질화막의 계면 상태 밀도는  $5.03 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 으로 계산되었다.

그림 5는 4분 습식 식각된 실리콘 기판위에 증착된 질화막의 전기용량-전압 특성을 나타낸 것이다. 이 경우는 bare 실리콘 기판위에 증착된 질화막의 경우와 비교하여  $V_b$ 가 2.15V로 양방향 변이합을 관찰할 수 있고, 계면상태밀도도  $8.34 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 으로 계산되었다. 이러한  $V_b$ 의 변화와 계면상태밀도의 증가는 질화막내부에서의 전하포획 현상에 기인하거나 실리콘에서 불완전한 결합수의 증가현상에 의해 새로운 페르미준위를 형성함으로써 계면 상태밀도의 증가를 유지하게 되는 것<sup>9)</sup>으로 설명할 수 있다.

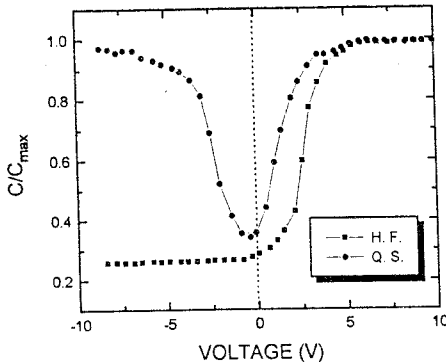


그림 5. 4분 습식 식각된 실리콘 기판위에 증착된 질화막의 전기용량-전압(C-V).

그림 6은 bare 실리콘과 1분, 2분, 3분, 4분 동안 습식 식각된 실리콘 기판등에 증착된 질화막의 전기용량-전압특성을 나타내는 그래프이다. 여기서 습식 식각 시간이 길어질수록 곡선의 기울기 변화는 볼 수 없지만,  $V_b$ 가 양방향 변이합을 알 수 있다. 이것은 계면 근처에 음성 고정 전하의 증가에 기인한 것이다<sup>8)</sup>.

#### IV. 결론

RPCVD법에 의하여 증착된 질화막의 특성 조사에서 실리콘 기판의 습식 시간이 길어질수록 항복 전압이 negative bias일때와 positive bias일때 모두 낮게 나타났고, 누수전류밀도가 크게 나타나는 전기적 절연특성의 저하가 확인되었다. 식각 시간이 길어질수록  $V_b$ 의 양방향 전이를 관찰할 수 있었고, 이것은 계면 근처에 음성 고정 전하의 증가에 의한 것이며, 이로 인하여 계면 상태밀도가 증가함을 알 수 있었다. 그래서 실리콘/절연체의 계면 특성에 의하여 전기 전도가 영향을 받는 것으로 이해할 수 있다. 질화막의 전기전도에서 실리콘으로부터의 hole 주입이 우세하기 때문이라는 결과와 같은 극성에 따른 의존성을 확인하였다. FT-IR spectrum에서 Si-N 늘어남 모드인 흡수 피크가 모든 시료에 대하여 파수  $870 \text{ cm}^{-1}$ 에 있음을 확인하였다. 습식 식각된 실리콘 기판위에 증착된 질화막의 특성을 개선시키기 위해서는 열산화막위에 질화막을 증착하는 2층 구조 절연체 제작 방법이 응용될 수 있다.

#### Reference

- [1] M.J.Powel, B.C.Easton and O.E.Hill, *Appl. Phys. Lett.* 38, 794 (1981).
- [2] A.K.Sinha, H.J.Levinstein, T.E. Smith, G.Quittana and S.E.Haszko, *J. Electrochem. Soc.* 125, 601 (1978).
- [3] J.F.Verwey, *Adv. Electron. Phys.* 41, 249 (1976).
- [4] R.Nakatsu, K.Baba, N.Ishikawa, J.Shitaoka and H. Uchiike, *ITE(Institute of Television Engineers of Japan) Technical Report* 18, 61, 75 (1994)
- [5] W.A.Lanford and M.J.Rand, *J. Appl. Phys.* 49, 4, 2473 (1978).
- [6] B.A.Brown, W.C.Robinette, Jr. and H. G. Carlson, *J. Electrochem. Soc.* 115, 9, 948 (1968)
- [7] C.A.Mead, *Phys. Rev.* 128, 2088 (1962)
- [8] S.M.Sze, in "Physics of semiconductor devices" (John Wiley & Sons, New York 1981).
- [9] C.Kaya, T.P.Ma and T.C.Chen, *J. Appl. Phys.* 64, 8, 15 (1988).