

전력 반도체 소자의 설계에 있어서 FLR의 Design 및 Process Parameter에 따른 PN접합의 항복특성에 관한 고찰

송 대식*, 강 이구*, 황 상준*, 성 만영*, 이 철진**
*고려대학교 전기공학과, **군산대학교 전기공학과

A Study on the PN Junction Breakdown Characteristics with Design and Process Parameters of FLR in Power Device Design

Dae Sik Song*, Ey Goo Kang*, Sang Joon Hwang*, Man Young Sung*, Cheol Jin Lee**
* Dept. of Electrical Eng., Korea Univ., ** Dept. of Electrical Eng., Kunsan National Univ.

Abstract

To improve the breakdown characteristics of vertical power devices, field limiting ring(FLR) is popularly used. In this paper, at vertical power device having 300~600V breakdown voltage, FLR technique is considered, by two dimensional computer simulator, with the various of parameters: number of FLR, seperation distance of first FLR from the main junction and second FLR from the first FLR, doping concentration and thickness of epi-layer, etc..

Below 40 μ m epi thickness, and for the case of one FLR, the maximum breakdown voltage, 580V is obtained.

1. 서론

전력 반도체 소자에 있어서 가장 중요한 요소는 낮은 on저항과 동시에 높은 항복전압을 얻는 것이다. 이를 실현하기 위해 사용하는 junction termination 기술중 추가적인 공정단계가 필요없는 FLR(field limiting ring) 기법은 널리 사용되고 있다.

본 논문에서는 300~600V급의 항복전압을 갖는 punch through PN접합 구조에서, 항복전압을 개선하기 위한 FLR 설계에 있어서 직접적으로 관계되는 FLR의 갯수, main junction과 FLR의 간격, FLR 사이의 간격과 FLR 설계에 있어서 한계점을 주는 epi 층의 농도, epi 층의 두께 등의 변수들을 변화시켜가며 2차원 시뮬레이터를 통해 항복특성의 변화 양상을 고찰하였다.

2. 이론적 고찰

Planar 공정을 사용하여 만든 소자에서 항복전압이 가장 낮게 형성되는 부분은 main junction의 모서리 부분과 코너 부분인데, 그 이유는 이 부분에서 junction이 곡면을 형성하여 전계가 집중적으로 걸리기 때문이다. FLR 기법은 junction의 구조상 생기는 전계의 집중효과를 완화시켜 항복전압을 높이고, 이상적으로는 항복이 junction의 중앙에서 일어나도록 유도하여 junction이 평판면으로 형성된 구조의 항복전압을 얻는게 그 목적이라 하겠다. 평판면으로만 형성된 junction에서 이상적인 항복전압은 abrupt junction의 경우, 도핑 농도가 낮은 영역의 길이가 항복이 일어났을때의 임계 공핍층 폭에 비해 커서 그 영역이 punch through가 일어나지 않으면서 항복이 일어났을 때의 항복전압을 의미한다. 하지만

punch through가 일어나는 구조에서는 FLR을 설치하여 얻을 수 있는 최대 항복전압은 junction의 중앙에서 항복이 일어나더라도 이상적인 항복전압에 비하여 아주 낮은 전압이다. Punch through PN접합의 항복전압, V_{PT} 와 abrupt junction의 이상적인 항복전압, V_{AJ} 의 관계는 식 (1)과 같다.^[1]

$$V_{PT} = V_{AJ} (2x - x^2) \quad (1)$$

식 (1)에서 x 는 abrupt junction에서 항복이 일어났을 때의 임계공핍층폭, $W_{C,PP}$ 에 대한 punch through PN접합에서 도핑 농도가 낮은 junction 길이, W_d 의 비이다. Vertical 구조의 전력소자의 경우 W_d 는 epi층의 길이를 의미하므로 epi 층의 두께가 두꺼울 수록 V_{PT} 가 증가함을 알 수 있다. 그러므로 vertical 구조의 전력소자에서 더 높은 항복전압을 실현하기 위해서는 epi 층의 두께가 더욱 두꺼워야 될 것이다.

따라서 이상적인 abrupt 접합, 혹은 punch through가 일어나는 접합으로 epi층의 두께가 설정된 vertical 구조의 전력소자에서 항복전압을 최대 제한 전압까지 실현하기 위해서는 FLR과 main junction과의 거리, FLR 사이의 거리, FLR의 갯수 등을 고려해서 최적으로 설계되어야 한다.

3. Simulation을 위한 설계구조 및 변수

그림[1]은 본 논문에서 simulation한 구조를 보여주고 있다. Simulation에서의 bias 전압은 그림[1]의 n+ main junction측에 양의 전압을 인가하고 epi 층 아래를 접지시켰다. 그림[1]-a의 구조에서 FLR을 1개 설치한 경우에는 epi 층의 도핑 농도를 10^{13} , 10^{14} , 10^{15} 으로 하고, 각 농도에 대해 epi 층의 두께를 15 μ m, 20 μ m, 30 μ m, 40 μ m로 변화 시켰으며, 각각의 조건에서 main junction과 FLR의 간격을 변화시키며 simulation하였다. 그림[1]-b의 구조에서는 위와 동일한 epi 층의 도핑농도와 두께들로 simulation하여 punch through PN접합의 항복전압을 구하였다. 그림[1]-a의 구조에서 FLR을 두개로 설치하는 경우에는 epi 층의 도핑 농도를 10^{14} 으로 하고 두께를 30 μ m로 하여 simulation 하였다.

Main junction과 FLR의 도핑 농도는 10^{19} 으로 고정시켰으며, main junction과 FLR의 junction 깊이를 6 μ m로 하였다. 그리고 FLR의 junction 폭은 설계상 3 μ m로 하였

다.

2개 이상의 FLR이 항복전압의 개선에 커다란 효과를 주지 못하며, 칩의 면적을 고려하였을 경우 2개가 적당하다는 앞서 발표된 결론^[2]에 의하여 FLR의 갯수를 최대 2개로 제한하였다.

4. Simulation 결과 및 고찰

표[1]은 punch through PN접합의 항복전압과 FLR이 1개 일때 최적으로 실현할 수 있는 항복전압, 또한 FLR이 없을 때의 항복전압을 비교하여 나타내었다. 표[1]에서 보여주듯이 FLR을 한개 설치하였을 경우에 얻을 수 있는 최대 항복전압은 항상 punch through PN접합의 항복전압에 비하여 작다.

그림[2]는 FLR의 갯수가 1개일 때의 FLR과 main junction사이의 간격에 따라 항복전압의 변화 양상을 보여준다. 그림[2]-a, b는 epi 층의 도핑 농도를 10^{13} , 10^{14} 로 하고, epi층의 두께를 20 μ m, 30 μ m, 40 μ m로 변화시키며 simulation한 결과이다. 그림[2]-c의 경우는 epi 층의 도핑 농도가 10^{15} 이고 epi 층의 두께가 15 μ m, 20 μ m일 때의 결과이다. 그림[2]에서 보여주듯이 항복전압이 최대가 되는 간격은 3~8 μ m이다. 이러한 결과는 FLR의 main junction과의 간격이 평면판 구조에서의 일체 공핍층 폭의 0.25배 정도에서 항복전압이 최대가 될 것이라는 예상에서^[11] 크게 벗어난다. 이것은 접합이 punch through PN접합의 형태이기 때문에 junction의 계면으로부터 공핍층내의 임의의 거리에서의 전압이 punch through가 일어나지 않는 PN접합의 같은 거리에서의 전압보다 높게 걸리기 때문으로 사료된다. 그러므로 FLR은 main junction으로부터 더 가까운 거리에 설치되어야만 강한 전계를 완화시키는 효과를 줄 수 있을 것이다.

또한 그림[2]에서 보여주듯이 최적점을 사이에 두고 FLR과 main junction의 간격이 너무 가깝거나 멀 경우 항복전압이 떨어진다. 그림[3]에서는 각각의 경우에서 전형적인 전류의 흐름을 보여주고 있다. 그림[3]-a에서 보여주듯이 FLR이 너무 가까우면 FLR의 모서리 부분에서 항복이 일어나고, 그림[3]-c처럼 FLR이 너무 멀면 FLR의 설치가 아무 효과를 주지 못해 main junction의 모서리에서 항복이 일어난다. FLR의 설계가 최적으로 된 경우에는 그림[3]-b처럼 항복이 main junction의 중앙에서 일어난다.

Epi 층의 도핑 농도가 10^{16} 인 경우 FLR을 3 μ m이상으로 설치하여 simulation 하였지만 항복전압에는 아무런 영향을 미치지 못했다. 즉 epi 층의 두께가 20 μ m일 때 FLR을 설치하지 않은 경우의 항복전압과 FLR을 main junction과의 간격을 3 μ m이상으로 하여 설치한 경우의 항복전압이 simulation결과 59V로 똑같은 결과가 나왔다.

표[2]는 epi 층의 농도가 10^{14} 이고 두께가 30 μ m인 경우에서 FLR을 2개 설치하여 고찰한 결과이다. 표[2]에서 보여주듯이 main junction과 가장 가까운 FLR이 FLR을 한 개 설치한 경우의 최적 거리 이내에 설치된 경우에서만 두번째 설치한 FLR에 의한 항복전압의 개선이 두드러짐을 볼 수 있다.

5. 결론

본 논문에서는 FLR의 설계 변수들을 변화시켜가며 vertical 구조를 갖는 전력 반도체 소자에서 항복 특성의 변화 양상을 2차원 시뮬레이터를 통해 고찰하였다. Simulation 결과 epi 층의 두께가 20 μ m, 30 μ m, 40 μ m의 경우 main junction으로부터 3~8 μ m 이내로 FLR을 설치하였을때 최대 항복전압을 얻을 수 있다. 그리고 epi 층의 두께가 40 μ m 이하이고 epi 층의 도핑 농도가 10^{13} , 10^{14} , 10^{15} 인 경우 FLR을 1개 설치하여 구한 최대 항복전압은 각각 580, 500, 220V임을 알 수 있었다. FLR을 2개 설치한 경우에는 1개 설치한 경우보다 더 높은 항복전압을 구할 수 있다. 그러나 main junction과 가장 가까운 FLR이 FLR을 1개 설치하여 최대 항복전압이 달성될 때의 main junction과 FLR의 간격 이하로 설치되었을 경우에만 항복전압이 증가함을 알 수 있었다.

본 논문에서 행한 simulation은 산화막내의 전하량에 의한 항복전압에의 영향과 planar 공정으로 형성된 junction의 코너 부분에서의 항복전압 특성을 고려하지 않았기 때문에 simulation의 결과가 실제와는 차이를 보이겠지만 FLR의 설계에 있어서 고려되어야 할 사항들에 대한 경향을 파악하는데는 많은 도움이 되리라 생각된다.

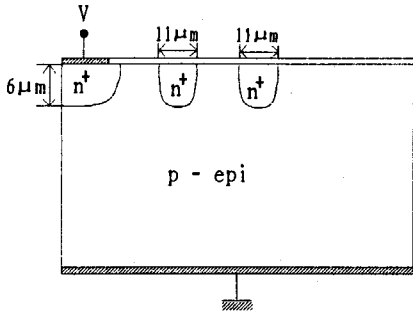
참고 문헌

1. B. Jayant Baliga, "Modern Power Devices", Wiley, New York, 1987.
2. 성만영, "Power VDMOS FET에 있어서 Field Limiting Ring의 구조와 Fixed oxidized charge가 항복전압에 미치는 영향", J. INSTITUTE OF IND. TECH., KOREA UNIV., vol. 26, pp. 9~17, 1990.

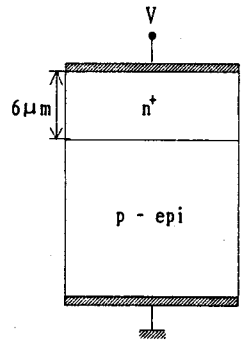
표[1] Punch through PN접합에서의 항복전압 특성 비교

농도 (cm ⁻³)	epi 층의 두께 (μ m)	식[1]에 의해 계산된 항복전압(V)	그림[1]-b 구조에서 구해진 최대 항복전압(V)	그림[1]-a 구조에서 FLR이 1개인 경우의 최대 항복전압(V)	FLR이 없는 경우의 그림[1]-a의 항복전압(V)
10^{13}	20	232.2	338	352	300
	30	401.4	520	500	370
	40	566	678	580	420
10^{14}	20	300.6	340	328	272
	30	496.7	510	450	320
	40	677.4	680	500	350
10^{15}	15	208.08	218	205	170
	20	300.29	265	220	172

*식[1]에 의한 계산에서, $N_A=5.34 \times 10^{14}$ cm⁻³, $W_{CP}=2.67 \times 10^{-4}$ cm
 W_e =epi 층의 두께 - junction depth.

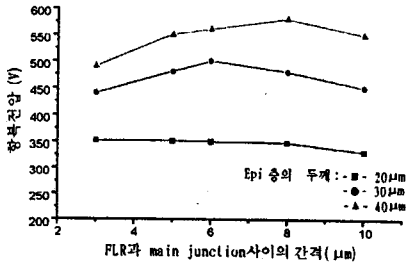


(a) FLR의 설계 변수에 대한 항복전압 고찰을 위한 simulation 구조

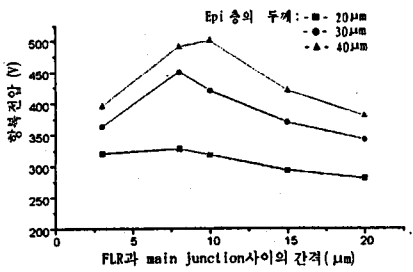


(b) Punch through PN접합의 항복전압을 구하기 위한 simulation 구조

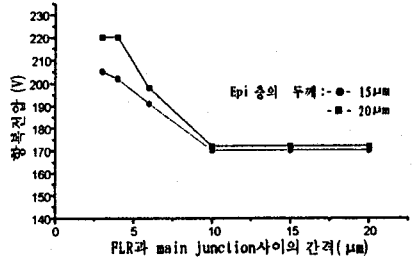
그림[1] Simulation 구조



(a)

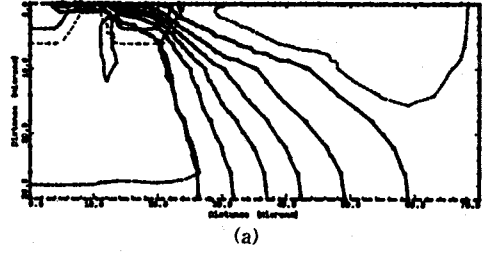


(b)



(c)

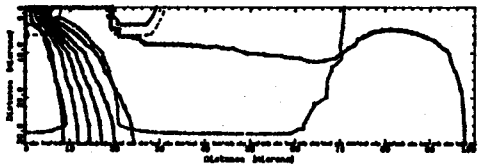
그림[2] FLR을 1개 설치하고 epi 층의 농도가 (a) 10^{13} , (b) 10^{14} , (c) 10^{15} 일 때의 항복특성



(a)



(b)



(c)

그림[3] Main junction과 FLR의 간격이

- (a) 최적치 보다 가까운 경우,
- (b) 최적치의 경우,
- (c) 최적치보다 먼 경우에서의 항복시의 전형적인 전류 흐름

표[2] FLR을 2개 설치하였을 때의 항복전압 (epi 층의 농도: 10^{14} , 두께: $30\mu m$)

첫번째 FLR과 main junction과의 간격(μm)	첫번째 FLR만 설치된 경우의 항복전압(V)	첫번째 FLR과 두번째 FLR과의 간격(μm)	FLR이 두개 설치된 경우의 항복전압(V)
3	363	2	380
		3	400
		5	438
		10	480
8	450	3	460
		5	460
		10	460
10	420	3	430
		5	430