

비정질 실리콘의 재결정화에 따른 표면기복의 변화에 관한 연구

박재홍, 정중원, 김철주
서울시립대학교 전자공학과

A Study on the Variation of Surface Roughness of a-Si
According to Recrystallization

Jae-Hong Park, Chong-Won Chung, and Chul-Ju Kim
Department of Electronic Engineering, Seoul City University

ABSTRACT

In this study, we observed the surface morphology of amorphous silicon annealed at 700~1000°C for recrystallization. In case of 700~800°C annealing, deposited amorphous silicon have the saturated XRD intensity and decreased surface roughness after annealing for 3 hours. It is thought that surface roughness of amorphous silicon increases because of contributions caused by atomic rearrangement of surface, for instance, surface stress etc., in the course of recrystallization and decrease because of the relaxation of stress by annealing in reaching completion of recrystallization. In case of 1000°C annealing, the effect of grain size on deposited silicon is more effective than that of surface roughness. These results show that small grain silicon has the stronger dependence on surface roughness than large grain one.

1. 서론

다결정 실리콘 박막은 집적회로 분야에서 다양한 용도로 응용되고 있다. 최근에는 평판 디스플레이 분야에서 박막트랜지스터의 제작을 위해 다결정 실리콘을 사용하고 있다 [1]. 이 경우에 결정립의 크기가 크고 표면기복이 작은 다결정 실리콘 막이 높은 이동도를 가진 박막트랜지스터를 제작하는 것에 있어서 바람직하다 [2]. 일반적으로 양질의 다결정 실리콘 박막은 비정질 실리콘을 저온 어닐링을 통해서 결정화함으로써 얻어지는데 이 과정에서 표면 원자의 재배열로 인해 표면의 기복이 변화한다. 이러한 표면기복은 박막의 응력분포 및 결정성에 영향을 미치며 박막의 표면에서 캐리어 산란의 원인이 되어 표면저항을 증가시키기도 한다. 현재까지 박막의 세척공정이 다결정 실리콘의 결정립 크기와 표면기복에 영향을 미친다는 연구보고가 있어왔다 [3].

본 연구에서는 비정질 실리콘을 다결정 실리콘으로 재결정화하는 과정에서 비정질 실리콘이 노출되는 열적 환경(thermal environments)에 따른 표면기복의 변

화를 관찰하고 어닐링 조건에 대한 표면기복의 의존성을 평가하였다.

II. 실험방법

단결정 실리콘을 1100°C에서 1500Å 두께로 건식산화한 절연막 위에 650°C에서 45sccm SiH₄를 열분해하여 약 4000Å의 비정질 실리콘을 증착하였다. 비정질 실리콘의 증착 후에는 공기 중의 산소와의 표면결합을 억제하기 위해 약 150°C N₂ 분위기에서 20분간 densification을 실행하였다. 그 후에 증착된 비정질 실리콘을 각각 700°C, 800°C, 900°C, 1000°C N₂ 분위기에서 어닐링하였다. 결정화를 간접 측정하기 위해 XRD 분석을 하고 표면기복을 관찰하기 위해 AFM 관측을 하였다. 결정립의 크기는 SEM을 이용하여 측정하였으며 4-탐침법으로 표면저항의 변화를 측정하였다.

III. 실험결과 및 고찰

본 연구에서는 저온 어닐링과 비교하기 위해 1~2시간의 고온 어닐링을 행하였다. 어닐링 시간은 전체적으로 1~6시간이었다. 어닐링한 비정질 실리콘의 결정화도를 관찰하기 위한 XRD 분석결과에 의하면 XRD의 전체회절강도는 대체로 어닐링 시간과 온도에 따라 증가하였다(그림 1). 특히 고온 어닐링의 경우는 저온 어닐링에 비하여 장시간의 어닐링에 따른 효과가 상대적으로 작았다. 한편, 본 연구에서 준비된 시료는 XRD 분석에서 주로 (111) peak가 우세하였고 약한 (220)과 (311) peak가 관측되었다. 어닐링에 따른 평균 결정립의 크기는 약 500Å~1000Å이었으며 어닐링 시간에 비례하였다(그림 2). 특히 고온 어닐링의 경우는 1~2시간의 어닐링으로 800Å 이상의 결정립 크기를 얻었다.

AFM으로 측정된 RMS(root mean square) roughness의 결과에 의하면 700~800°C의 어닐링 온도에서는 RMS roughness가 단조적으로 증가하다가 약 3시간을 기준으로 서서히 감소하였으며 고온 어닐링에서는 표면의 RMS roughness가 어닐링 시간과 함께 증가하다가 증가세가 현저히 약화됨을 알 수 있었다(그림 3).

어닐링에 따른 표면저항의 변화를 보면 결정립의 크기가 작은 700-800°C의 어닐링시에는 RMS roughness가 작은 경우에 표면저항이 작았다(그림 4). 그러나 1000°C 어닐링의 경우처럼 900Å 이상의 결정립을 가진 중착실리콘은 표면의 기복에 관계없이 어닐링 시간에 따라 표면저항이 감소하였다.

이상의 결과로 볼 때 비정질 실리콘은 재결정화 과정에서 표면의 원자의 이동에 의해 표면기복이 증가하지만 결정화가 완성되는 단계에서는 표면의 기복이 약화되거나 포화됨을 알 수 있다. 또한 박막의 전기적인 특성은 결정립의 크기가 작은 경우에 표면기복에 더욱 의존함을 알 수 있다.

IV. 결론

본 연구에서는 비정질 실리콘의 재결정화에 따른 표면형상의 변화를 관측하였다. 중착실리콘은 어닐링 시간에 따라 700-800°C 어닐링의 경우에 3시간 이상 어닐링을 지속하여도 XRD 회절강도에 큰 변화가 없으며 이 조건에서 표면의 기복도 감소하거나 변화가 없었다. 이는 비정질 실리콘이 어닐링을 통해 결정화하는 동안 불규칙한 원자들이 재정렬하는 과정에서 표면용력들의 영향으로 인해 표면기복이 증가하는 것으로 생각되며, 결

정화가 완성됨에 따라서는 박막 내에 존재하던 용력의 영향이 어닐링에 의해 완화됨으로써 표면기복이 감소하거나 포화되는 것으로 생각된다[4, 5]. 이는 비정질 실리콘의 표면기복은 어닐링에 의해서 변화하지 않는다는 G. Harbeke 등의 연구보고와는 다른 결과이다[6]. 1000°C 어닐링의 경우처럼 표면의 기복이 크더라도 결정립의 크기가 증대되면 표면기복에 의한 영향보다 결정립 크기에 의한 영향이 더 우세하였다. 이는 결정립 크기가 작은 중착실리콘의 전기적인 특성이 표면의 기복상태에 크게 의존함을 보여준다.

참고문헌

- [1] A. Mimun et al., IEEE Trans. Electron Devices, ED-36, p351 (1989)
- [2] M. K. Hatalis, IEEE Electron Devices Lett. EDL-8, p361 (1987)
- [3] Apostolos T. Voutsas, J. Electrochem. Soc. 140 (1), p282 (1993)
- [4] 백승호 외 5인, 한국재료학회 추계학술발표, B10 (1994)
- [5] 백승호, 서울시립대학교 석사학위논문, p35 (1994)
- [6] G. Harbeke et al., J. Electrochem. Soc. 131 (3), p165 (1984)

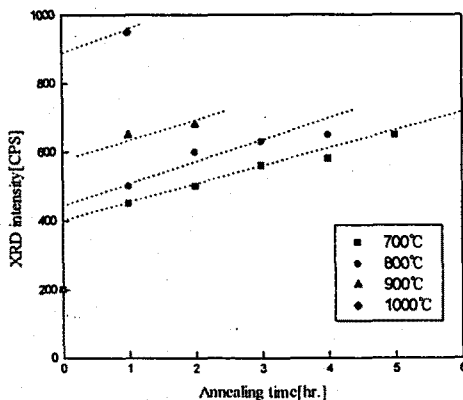


그림 1. 어닐링에 따른 XRD 강도의 변화

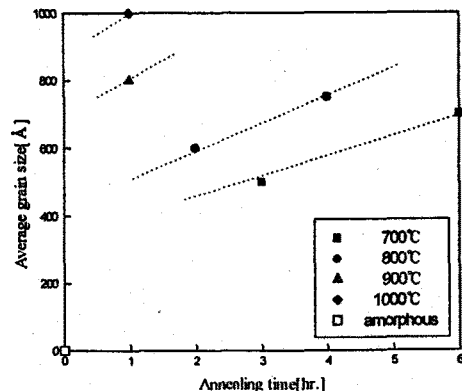


그림 2. 어닐링에 따른 평균 결정립 크기의 변화

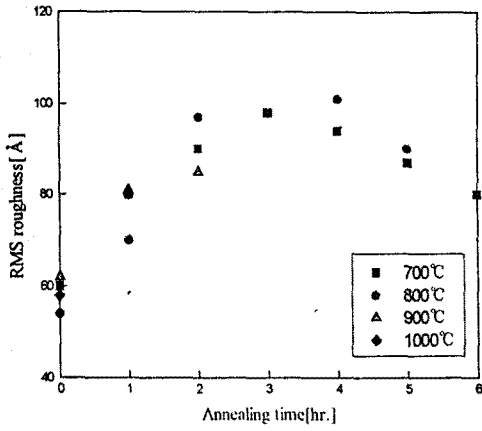


그림 3. 어닐링에 따른 RMS roughness의 변화

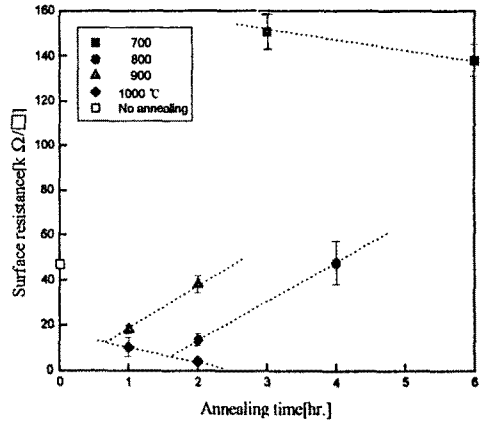


그림 4. 어닐링에 따른 표면저항의 변화