

[I-6]

Si⁺이온주입에 의한 비정질셀리콘의 고상 Epitaxy에 관한 연구
Solid Phase Epitaxy in Amorphized Silicon by Si⁺ Ion Implantation

홍익대학교 금속·재료공학과

오재근* 노재상

차세대 고집적 회로에서 요구되는 저접합(Shallow p⁺/n Junction)을 형성하기 위한 기술로 접합형성전에 실리콘 모재 표면 근처를 미리 비정질화 하는 방법이 최근 주목을 받고 있다. 도핑이온을 주입하기 전에 실리콘 모재 표면 근처를 도핑 효과가 없는 Si⁺ 이온을 주입하여 미리 비정질화 하면 도핑 이온들의 Channeling효과를 방지하여 저접합형성을 가능하게 한다. 550°C 근처의 열처리는 비정질층의 SPE(Solid Phase Epitaxy)를 유도한다.

이러한 장점에도 불구하고 Pre-Amorphization 방법에 의해 형성된 접합은 전기적 특성 면에서 열세한 거동을 보여줄 수 있다. 이 방법에서 제기되는 가장 중요한 문제점은 비정질/결정 계면 아래 형성될 수 있는 잔류 결함들의 존재이다. 이러한 결함들이 만일 접합의 Depletion층 안에 잔존하게 되면 접합의 누설 전류가 급격히 증가된다. 그러므로 비정질층 형성시 이온 주입에 의해 모재 속에 유발되어진 재결합의 분포 조절 및 SPE 후 a/c Interface 하단에 생성될 수 있는 2차 결함을 제거 또는 최소화하는 것이 좋은 소자를 제조하기 위한 선결 과제이다. 본 연구에서는 Si⁺이온을 셀리콘기판에 주입시 비정질층을 형성하기 위한 임계조건에 관한 연구와 550°C 근처의 열처리를 통한 비정질층의 SPE 거동 및 관상으로 공정에 RTA공정을 추가하였을 때의 결함 분포 거동에 관한 연구를 수행하였다. 비정질층 형성을 위한 이온주입 임계조건 (주입에너지 및 조사량)을 TRIM-code 전산 모사를 통하여 예측하였는데 전산 모사 결과들은 실험 결과들과 매우 유사하였다. Net Defect (Interstitial+Implanted Atom-Vacancy)의 농도 분포를 TRIM-code로 부터 구하였고 a/c 계면 아래의 Excess Interstitial Zone이 형성된 것을 확인하였다. 이것은 SPE 성장시 초기 a/c 계면 아래 생성되는 2차 결함 형성의 주된 원인이 되는 것이 밝혀졌다. 열처리 전후 에피층 내부 및 비정질/결정 계면에 존재하는 격자결함들은 RBS, Double-Crystal XRD, 단면TEM 관찰 등을 통해 분석하였다.