

Ta₂O₅ 캐패시터의

C-V 측정.

신인철, 장영돈, 김종진, 김홍배*, 박용현**

*청주대학교 반도체 공학과

**공군사관학교 물리학과

I. 서론.

MOS Capacitor는 기억소자인 DRAM에 사용되어왔고, 최근에는 반도체 메모리 소자의 초고집적화가 이루어졌다. 이러한 메모리 소자는 단위 면적당 하나의 트랜지스터와 하나의 MOS 캐패시터로 이루어져 있으며, Transistor의 크기로 집적도의 척도를 표현한다. 4 MDRAM의 경우 0.8 μm 정도 되는 채널 길이를 가지는데 이 채널 길이를 줄이기 위해서 MOS 캐패시터가 제작되는 면적의 감소가 요구된다. 또한 DRAM구조에서 안정된 동작을 유지하기 위해서는 최소한 단위 면적당 캐패시턴스가 30 fF 이상이 필요하고, 동작 전압이 5 V에서 더 낮은 전압으로 낮아짐에 따라 Capacitance는 더욱 증가한다. 이러한 DRAM의 집적도를 만족하게 향상시키려면, 고 유전율 재료의 도입을 통한 두께 감소와 면적 감소를 가져와야 한다.

Ta₂O₅은 높은 유전율(비유전율 : 20-25)을 가지기 때문에 64 MDRAM에 사용될 수 있는 유전체로서 매우 유망한 물질이다. 또한 Ta₂O₅막두께의 한계는 4 nm 정도 이므로 충분한 집적도와 신뢰성을 가져올 수 있을 것이다. 그러나 Ta₂O₅막의 중요한 문제점은 높은 누설 전류와 낮은 파괴 전압을 갖는다는 점이다. 그런 문제점을 해결하기 위하여 이중막층, 즉 W-Ta₂O₅-polySi-Si 구조로써 누설 전류의 감소를 가져올 수 있다.

Gate물질은 Si mid-bend-gap에 가까운 일함수를 가진 단일 무반응금속이 좋은 소자를 형성할 수 있다. 이러한 새로운 게이트 전극으로 고 용점 금속인 몰리브덴(Mo), 텅스텐(W) 등의 물질이 있다. 텅스텐은 비교적 낮은 벌크 저항률(4.3 $\mu\Omega\text{cm}$)과 일함수(4.8 eV), 고 온도의 저항성을 가진다. 또한 금속-산화막 계면의 안정성, 우수한 산화막 접착성을 가지고 있다.

본 연구에서는 VLSI에 사용되는 MOS 캐패시터의 산화물질로 높은 유전율을 가지고 있는 Ta₂O₅를 사용하였고 Ta₂O₅의 계면에서의 전하축적을 알기 위해 C-V를 측정하였다.

II. 실험 방법 및 결과.

MOS평면 캐패시터는 Ta₂O₅-polySi-Si 구조를 갖고 있는 웨이퍼위에 전극물질로 W을 스퍼터링장치로 0.2 μm의 두께로 증착하였다. 그때 초기 진공은 7×10⁻⁶ Torr이고, 기판의 온도는 300 °C, 전압 300 V, 전류 200 mA, 작업 압력은 1×10⁻² Torr로 고정하고 20 분동안 증착하였고, 다시한번 막이 균일하게 하기 위해 500 °C로 어닐링을 하였다.

고주파 C-V측정은 LF임피던스 아날리저(HP-4192A)로 측정하였고, 평면 MOS 캐패시터에 바이어스를 인가하는 부분은 shield box내에 probe station을 설치하여 전기장으로 인한 노이즈없이 측정하였다. quasi-static C-V측정은 pA meter/DC 전원(HP-4140B)로 측정하였다.

바이어스가 다른 Ta₂O₅-polySi 유전체의 전하는 전자가 계면인 polySi안에서 실리콘 기판으로 부터 주입된다. 따라서 일반적으로 음전하 -Q로 추측 되며, Ta₂O₅-polySi계면에서 축적되고, 이것은 두 물질의 유전율과 도전율내에서 차이때문에 생긴다. 가우스 법칙을 통한 전하 균형으로 부터 이중 절연막 구조에서 인가 전압에 따른 Ta₂O₅ 산화막의 전장을 통한 전하를 구하고, 계면 공간 전하 캐패시턴스를 구하면, 다음과 같이 된다.

$$C_Q = \frac{\epsilon_o \epsilon_{TaO} R_{TaO}}{d_{TaO} (R_{po} + R_{TaO})} - \frac{\epsilon_o \epsilon_{po} R_{po}}{d_{po} (R_{po} + R_{TaO})}$$

C_Q는 고주파와 quasi-static C-V 캐패시턴스의 차이에 의해 얻어졌다.