

MONOS 구조의 트랩특성 조사를 위한 열자극전류 측정

Measurements of the Thermally Stimulated Currents for Investigation of the Trap Characteristics in MONOS Structures

이상배*, 김주연, 김선주, 이성배, 서광열
광운대학교 전자재료공학과

Sangbae Yi*, Jooyeon Kim, Seon-Ju Kim, Sungbae Lee, Kwang-Yell Seo
Department of Electronic Materials Engineering Kwangwoon University

ABSTRACT

Thermally stimulated currents have been measured to investigate the trap characteristics of the MONOS structures with the tunneling oxide layer of 20Å thick, nitride layer of 73Å thick and blocking oxide layer of 40Å thick. By changing the write-in voltage and the write-in temperature, peaks of the I-T characteristic curve due to the nitride bulk traps and the blocking oxide-nitride interface traps were separated from each other experimentally. The results indicate that the nitride bulk traps are distributed spatially at a single energy level and the blocking oxide-nitride interface traps are distributed energetically at interface.

분석하므로써 정확하고, 효과적으로 MNOS(metal-nitride-oxide-semiconductor) 구조의 기억트랩 및 계면트랩의 분포 및 제반 파라미터 값을 구한 연구 결과는 이미 보고된 바 있다.²⁾ 그러나, MONOS 구조의 트랩특성을 조사하기 위해서 열자극전류 측정법이 적용된 연구는 아직 보고된 바 없다.

본 논문에서는 터널링산화막이 20Å, 질화막이 73Å, 블로킹산화막이 40Å인 MONOS 구조의 트랩을 조사하기 위해서 열자극전류를 측정하였다. Write-in 전압의 크기 및 write-in 온도에 따른 I-T 특성곡선을 측정하므로써 질화막벌크 트랩 및 블로킹산화막-질화막계면 트랩으로 인한 피크를 분리하였다.

1. 서론

프로그래밍 전압이 5V이하인 저전압용 비휘발성 반도체 메모리(nonvolatile semiconductor memory : NVSM)를 위한 scaled MONOS(metal-oxide-nitride-oxide-semiconductor) 구조의 전하 전송 이론과 캐리어의 트랩핑 및 방출기구에 대한 정확한 모형을 세우기 위해서는 기억트랩의 분포 및 그 파라미터에 대한 연구가 필요하다. 이러한 점에서 보다 효과적이고 직접적으로 기억트랩을 연구하는 방법으로는 시편을 비정상상태(nonsteady state)로 한 후, 열자극방법에 의해 트랩으로부터 이완시킨 캐리어의 흐름을 측정하는 방법인 열자극전류(thermally stimulated current : TSC) 측정법이 있다.¹⁾ 열자극전류 측정법을 이용하여 I-T 특성곡선을

2. 시편 제작

비휘발성 MONOS 기억 소자를 만들기 위해서 사용한 웨이퍼는 비저항이 6-9Ω-cm인 (100)방향의 p형 실리콘 반도체이다. 터널링산화막(tunneling oxide)은 950°C, 상압에서 질소로 희석시킨 산소(nitrogen-diluted oxygen, O₂ : N₂=0.15 l/min : 15 l/min)를 사용해서 웨이퍼를 30분간 열산화시켜 성장시켰으며, 그 두께는 20Å이다. 질화막은 750°C에서 SiH₂Cl₂와 NH₃의 혼합가스를 반응시켜 LPCVD 방법으로 터널링 산화막 위에 퇴적시켰다. 이때, 흘러준 SiH₂Cl₂와 NH₃ 가스의 유량은 각각 30sccm, 450sccm 이었다. 이렇게 퇴적시킨 질화막의 두께는 100Å이었다. 블로킹산화막(blocking oxide)은 950°C의 상압에서 H₂O₂=5 l

/min:8 l/min인 혼합가스를 사용해서 질화막을 열산화시키므로써 성장시켰으며, 두께는 40Å이다. 블로킹산화막 성장 후 400°C의 H₂ 분위기에서 30분간 웨이퍼를 열처리하였다. 블로킹산화막 성장후 질화막의 최종두께는 73Å이다. 게이트전극을 위한 금속은 MoSi₂와 Cu가 0.5%, Si이 1% 함유된 Al을 스퍼터링방법을 이용하여 차례로 퇴적시킨 이중구조이다. 이렇게 제작한 MONOS 기억소자의 단면도는 그림 1과 같다.

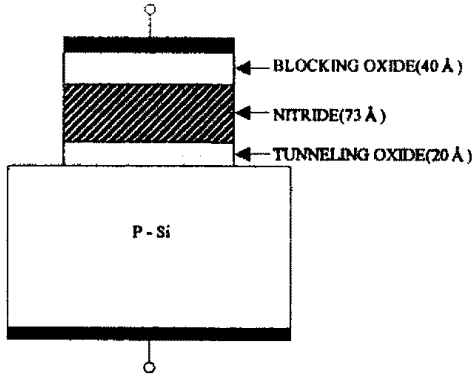


Fig.1. Cross section of MONOS structure.

3. 결과 및 고찰

MONOS 구조를 81K로 냉각시킨 후, 10V의 전압을 게이트에 30초간 인가하여 flatband 전압이 $V_{FB}=0.1V$ 가 되도록 측정 초기 상태를 조절한다. 이때, flatband 전압은 그림 2에서 보는 바와 같이 1MHz의 고주파 C-V 특성곡선을 측정하므로써 구하였고, 이 경우 측정한 C-V 곡선은 그림 2의

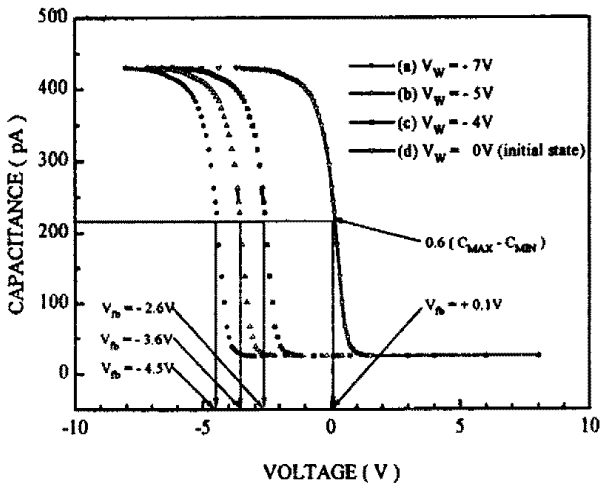


Fig.2. High-frequency C-V characteristic curves for different write-in voltages at 81K.

(d)와 같다. $V_w = -7V$ 의 write-in 전압을 게이트에 30초간 인가하면 C-V 곡선은 그림 2의 (a)와 같이 음(-)의 방향으로 4.6V만큼 이동하고, 이로부터 전하가 트랩을 채웠음을

알 수 있다. 이 상태에서 $V_G = +3V$ 의 게이트바이어스 전압을 인가한 채로 온도상승을 $\beta = 0.23K/sec$ 로 가열하면서 열자극전류를 측정하면, 그림 3의 곡선(a)와 같은 I-T 특성곡선을 얻을 수 있다. MONOS 구조의 게이트와 기판을 단락시킨 채 81K까지 냉각시킨 후에 C-V 곡선을 다시 측정

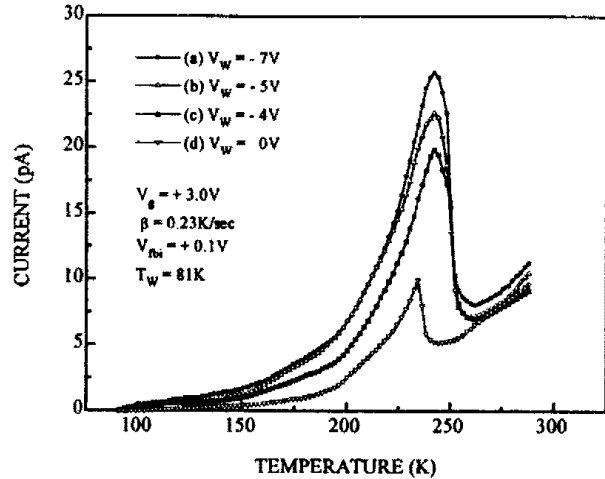


Fig.3. I-T characteristic curves for different write-in voltages. Write-in voltage was applied at 81K.

하면, 측정초기상태인 그림 2의 곡선(d)와 동일한 곡선을 얻을 수 있다. 이로부터 트랩을 채운 전하들은 I-T 특성곡선을 측정하는 동안 모두 방출되어 열자극전류로 나타남을 알 수 있다. 전기적 스트레스를 전혀 가하지 않고, 즉 트랩을 전혀 채우지 않은 채로 앞에서와 동일한 게이트바이어스 전압과 온도상승율로 가열하면서 측정한 I-T 특성곡선은 그림 3의 곡선(d)와 같다. 그림 3의 곡선(d)에서 $T = 235K$ 의 피크는 반도체 벌크나 표면에 존재하는 트랩에 기인한 것으로 생각된다.²⁾

$V_w = -5V$ 및 $V_w = -4V$ 인 write-in 전압을 인가한 다음 측정한 C-V 곡선은 각각 그림 2의 곡선(b) 및 (c)와 같다. 이상 상태에서 앞에서와 동일한 게이트바이어스 전압 및 온도상승율로 I-T 특성곡선을 측정한 결과는 그림 3의 곡선(b) 및 (c)와 같으며, 트랩을 채우지 않고 측정한 I-T 특성곡선은 모두 그림 3의 곡선(d)와 같았다.

그림 3의 곡선(a), (b) 및 (c)에서 곡선(d)를 빼면 기억트랩에서만 방출된 전하들로 인한 I-T 특성곡선을 얻을 수 있으며, 그 결과는 그림 4와 같다.

그림 4의 각 곡선밀의 면적으로부터 단위면적당 방출된 기억전하량을 $Q_{TSC} = (1/A\beta) \int_{T_1}^{T_2} I_m dT$ 에 의해서 계산하고, 그림 2의 C-V 곡선으로부터 구한 I-T 특성곡선 측정 전후의 flatband 전압 이동량 ΔV_{FB} 로부터 단위면적당 기억전하량을 $Q_{CV} = \Delta V_{FB} \times C_n$ 에 의해서 계산하여 서로를 비교한 결과는 그림 5와 같다. 그림으로부터 Q_{TSC} 와 Q_{CV} 는 1:1

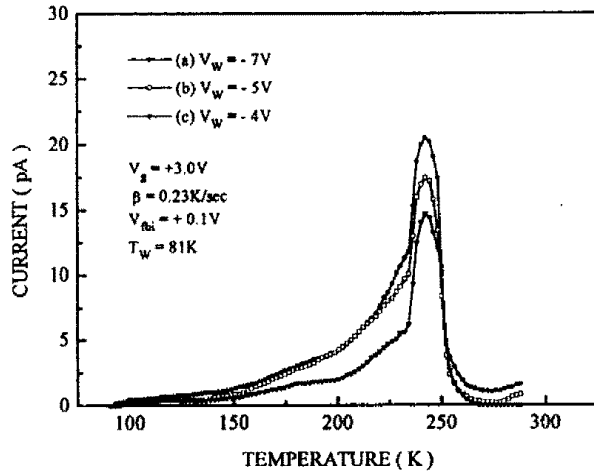


Fig.4. I-T characteristic curves due to the memory traps for different write-in voltages. Write-in voltage was applied at 81K.

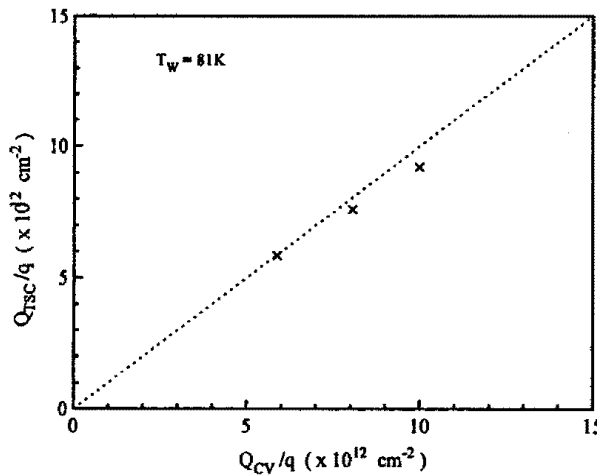


Fig.5. Correlation between the charges calculated from I-T curves in Fig.4 and from the flatband voltage shift.

대응되는 것을 알 수 있다. 여기서, 게이트면적을 $A=3.94 \times 10^{-3} [\text{cm}^2]$, 단위면적당 커패시턴스는 $C_n=3.49 \times 10^{-7} [\text{F}/\text{cm}^2]$ 이 계산에 사용되었다.

이상의 사실로부터 그림3의 곡선(a), (b) 및 (c)의 245K에서의 피이크는 기억트랩에 의한 피이크와 벌크와 Si-SiO₂ 계면에서의 generation 피이크가 합쳐진 것이며, 이들을 곡선(d)로 빼면 기억트랩에 의한 피이크만을 분리할 수 있음을 알 수 있다. 그림4에서 보는 바와 같이 기억트랩에 의한 피이크가 나타나는 온도는 write-in 전압의 크기와 무관하게 일정함을 알 수 있는 데, 이는 기억트랩이 단일 에너지준위를 갖기 때문이라 생각된다. write-in 전압이 클수록 기억전하량이 증가하는 것을 설명하기 위해서는 기억트랩의 공간적 분포를 고려해야 한다. 그림3 및 그림4에서 보는 바와 같이 공간적으로 깊은 트랩으로부터의 방출을 의미하는 고온부의 곡선은 write-in 전압에 무

관하게 모두 서로 겹치게 되는 데 이는 모든 트랩이 공간적으로 깊은 곳부터 채워지기 때문이다. Write-in 전압이 클수록 전류는 더 저온부에서부터 흐르고 값도 커지는 데 이는 좀더 공간적으로 얕은 곳까지 채워짐으로써 넓은 분포를 갖기 때문이라 생각된다.

81K, 230K, 240K, 260K 및 280K로 write-in 온도를 달리하여 $V_G=+3V$ 의 게이트바이어스 전압하에서 온도상승을 $\beta=0.23K/\text{sec}$ 로 가열하면서 각각 열자극전류를 측정하면, write-in 온도에 따른 I-T 특성곡선을 얻을 수 있으며 그 결과는 그림6과 같다. 이때, write-in 전압은 크기가 $V_W=-8V$ 이고 인가시간은 30초간이었다. 그림에서 보는 바와 같이 write-in 온도가 높아짐에 따라 전류는 더욱 저온에서부터 흐르고 write-in 온도가 260K부근에서부터는 피이크를 형성하기 시작하여 280K일 때는 뚜렷한 피이크를 나타낸다. 이는 write-in 온도가 높아짐에 따라 그림4에서와는 또다른 기억트랩이 열자극전류에 기여하기 때문이라 생각된다.

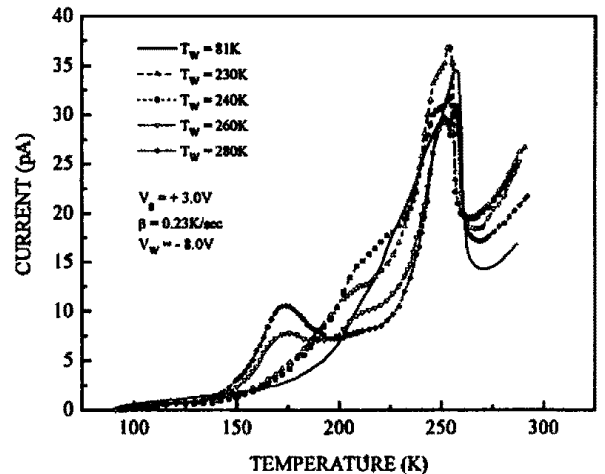


Fig.6. I-T characteristic curves for different write-in temperatures.

300K에서 크기가 각각 $V_W=-7V$, $V_W=-5V$ 및 $V_W=-3V$ 인 write-in 전압을 MONOS 구조의 게이트에 30초간 인가한다. 그런 다음 각각의 경우에 대해 $V_G=+3V$ 의 게이트바이어스 전압 하에서 온도상승을 $\beta=0.23K/\text{sec}$ 로 가열하면서 열자극전류를 측정하면, 300K의 write-in 온도에서 write-in 전압의 크기에 따른 I-T 특성곡선을 얻을 수 있으며, 그 결과는 그림7의 곡선(a), (b) 및 (c)와 같다. 그림7의 곡선(d)는 트랩을 전혀 채우지 않고 측정된 I-T 특성곡선이다. 그림7에서 보는 바와 같이 write-in 전압이 작아짐에 따라 150~200K 사이의 저온부 피이크와 245K부근의 고온부 피이크는 모두 동시에 작아지고 결국 write-in 전압을 인가하지 않은 곡선(d)에서는 두 피이크가 모두 나타나지 않음을 알 수 있다.

그림7의 곡선(a), (b) 및 (c)에서 곡선(d)를 빼면 기억트

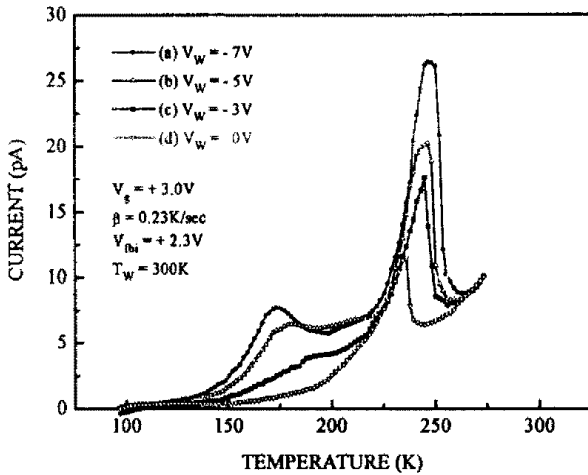


Fig.7. I-T characteristic curves for different write-in voltages. Write-in voltage was applied at 300K.

랩에서만 방출된 전하들로 인한 I-T 특성곡선을 얻을 수 있으며, 그 결과는 그림 8과 같다. 그림5에서와 동일한 방법으로 Q_{TSC} 와 Q_{CV} 의 관계를 나타내면 그림9와 같다. 그림으로부터 알 수 있는 바와 같이 1:1 대응하는 것으로 보아 그림8의 두 피이크는 서로 다른 종류의 트랩이지만 모두 기억트랩으로 작용함을 알 수 있다. 그림8에서 보는 바와 같이 write-in 온도가 300K일 때 I-T 특성곡선은 저온부와 고온부에서 두개의 뚜렷한 피이크를 나타낸다. 고온부 피이크의 온도는 245K로서 3가지 곡선에서 모두 같으며, 특히 그림4의 피이크 온도와 동일한 것으로 보아 이는 같은 종류의 트랩임을 알 수 있다. 반면에 write-in 온도가 높을 때 나타나는 저온부의 피이크는 write-in 전압이 작을 수록 고온 쪽으로 이동함을 알 수 있는데, 이는 이 피이크에 기여하는 기억트랩이 에너지적으로 분포하기 때문이라 생각된다. 또한, 저온부 피이크에서 에너지적으로 깊은 트랩으로부터의 방출을 의미하는 고온쪽의 곡선은 write-in

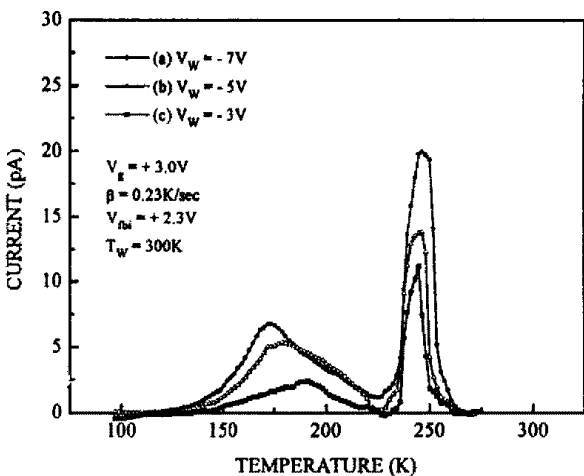


Fig.8. I-T characteristic curves due to the memory traps for different write-in voltages. Write-in voltages was applied at 300K.

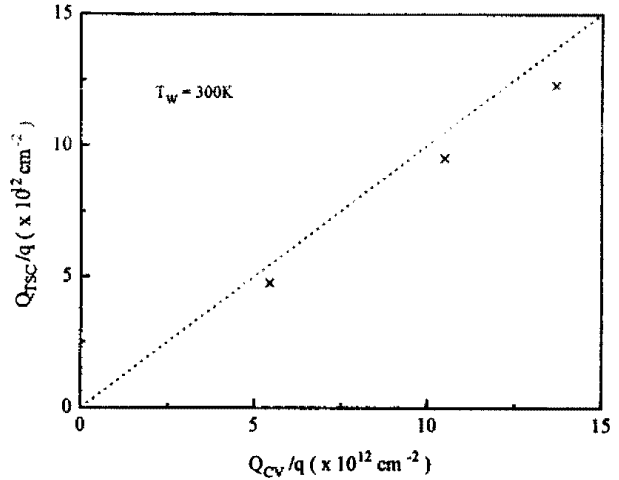


Fig.9. Correlation between the charges calculated from I-T curves in Fig.8 and from the flatband voltage shift.

전압에 무관하게 모두 서로 겹치게 되는 데 이는 모든 트랩이 에너지적으로 깊은 곳부터 채워지기 때문이며, write-in 전압이 크면 전류는 더 저온부에서부터 흐르고 값도 커지는 데 이는 좀더 에너지적으로 얇은 곳까지 채워짐으로써 넓은 분포를 갖기 때문이라 생각된다. 그림 8의 I-T 특성곡선 밑의 전체면적에 대한 저온부 피이크의 면적비는 53%로써 write-in 전압의 크기와 무관하였다. 이로부터 저온부 피이크에 기여하는 기억트랩은 상온에서의 동작에 상당히 큰 영향을 미침을 알 수 있다.

MONOS 구조에서는 질화막벌크 트랩과 플로킹산화막-질화막계면 트랩이 모두 기억트랩으로 작용하고,^{3, 4)} 질화막벌크 트랩은 에너지적으로 단일하게 공간적으로 분포하는 것으로⁵⁾ 보고되고 있다. 따라서, 그림 4의 I-T 특성곡선과 그림 8의 I-T 특성곡선중 고온부 피이크는 질화막벌크 트랩으로 인한 것이고, 그림 8의 저온부 피이크는 플로킹산화막-질화막계면 트랩으로 인한 것이라 생각된다. 즉, write-in 온도가 낮을 때는 trap-assisted 터널링이나 Pool-Frenkel 전도가 일어나지 않아⁶⁾ 실리콘으로부터 질화막으로 주입된 전하는 질화막벌크 내의 트랩에만 트랩핑된다. 온도가 높아지면 주입된 전하는 이들 두 전송기구에 의해 질화막 내를 전도하여 플로킹산화막-질화막 계면 트랩까지도 충분히 채울 수 있기 때문에 이들 두 종류의 트랩으로부터 방출된 전하가 열자극전류에 기여하여 그림8과 같이 I-T 특성곡선은 두 개의 피이크로 이루어진다고 생각된다.

4. 결론

- 1) MONOS 구조에서 기억트랩은 질화막벌크 트랩 및 플로킹산화막-질화막계면 트랩으로 구성된다. Write-in

온도가 낮은 경우에는 질화막벌크 트랩만이 기억트랩으로 기여하며 높을 경우에는 블로킹산화막-질화막계면 트랩도 기여하며, 그 기여도가 벌크트랩 보다 더 크다.

- 2) Write-in 온도와 write-in 전압의 크기를 달리하여 I-T 특성곡선을 측정하므로써 질화막벌크 트랩 및 블로킹산화막-질화막계면 트랩에 기인한 피이크를 각각 분리할 수 있다.
- 3) 질화막벌크 트랩은 단일 에너지 준위를 갖고 공간적으로 분포하며, 블로킹산화막-질화막계면 트랩은 계면에 에너지적으로 분포한다.

참 고 문 헌

- 1) L. S. Wei, et al., Solid-State Electronics, Vol.7, p.591 (1974).
- 2) 서광열 등, 전기전자재료학회지, 제1권, 제3호, p.243 (1988).
- 3) E. Suzuki, et al., IEEE Trans. Electron Devices, Vol.ED-33, No.2, p.214 (1986).
- 4) 서광열, 94년도 ISRC 보고서, ISRC-94-E-4064 (1995)
- 5) A. Roy, et al., Solid-State Electronics, Vol.34, No.10, p.1083 (1991).
- 6) L. Lundkvist, et al., Solid-State Electronics, Vol.19, p.221 (1976).