

비정질실리콘 박막트랜지스터의 캐패시턴스특성 Capacitance Characteristics of a-Si:H Thin Film Transistor

정용호*

이우선, 김남오, 이이수

Yong-ho Chung*

Woo-sun Lee, Nam-oh Kim, Yi-soo Lee

* 서강전문대

조선대학교

* Seo-kang Junior College

Cho-sun University

Abstract

Fabrication and a new analytical expression for the capacitance characteristics of hydrogenated amorphous silicon thin film transistors(a-Si:H TFT's) is presented and experimentally verified. The results show that the experimental capacitance characteristics are easily measured. Measured transfer and DC output characteristic curves of a-Si:H TFT are similar to those of the standard MOSFET-IC. The capacitances on bias voltages are in good agreement with experimental data. This capacitance characteristics is suitable for incorporation into a circuit simulator and can be used for computer-aided design of a-Si thin film transistor integrated circuits.

1. 서론

A-Si:H TFT 제작시에 플라즈마에 의해서 증착한 silicon nitride (SiNx)가 게이트와 반도체 사이에서 절연체로 사용되므로 SiNx층의 캐패시턴스는 디바이스의 특성에 절대적인 영향을 미치게 되며 TFT 캐패시턴스와 소오스, 드레인 사이의 콘택저항을 정확히 측정하고 분석하는 것은 대단히 중요하다. 비정질 실리콘

박막트랜지스터(a-Si:H TFT)는 영상감지기와 평판 표시기의 스위칭 소자로서 널리 사용되고 있다^{[1][2]}. TFT의 신뢰도를 향상시키고 active matrix LCD 표시기의 제조 가격을 줄이기 위해서는 LCD 논리 회로의 구동 회로는 동일한 박막에 제조되어야 하고, 평판형 액정 표시기의 많은 리드선을 감소시키기 위해서는 TFT를 스위칭 matrix 형상으로 제조해야 한다. 최근에는 TFT 논리회로가 개발되었고 상업화 되었으며 TFT의 스위칭 matrix는 대규모 평판표시기의 신뢰도를 향상시키고 가격이 저렴하게되어 a-Si:H TFT는 평판표시기용 논리회로에 이용하게 되었다^[3]. A-Si:H TFT 제조공정 과정에서 TFT의 a-Si층과 Silicon Nitride(SiNx)층의 약260℃의 저온 증착공정은 고온인 MOS-IC보다 저온공정이 가능하기 때문에 큰장점이 있으며 기술진보를 위해서 더 정확한 수학적 모델에 대한 이론 및 실험적인 연구가 요구되고 있다.

따라서 본 논문에서는 채널길이가 서로 다른 a-Si:H TFT를 PECVD에 의한 저온공정이 가능하도록 공정설계하여 제작하고 캐패시턴스 특성 측정할수있는 회로를 구성하고자 하며 스테거형 TFT 캐패시턴스 특성 곡선을 실험적으로 측정하고자 한다.

2. a-Si:H TFT의 설계 및 제작

TFT 제조를 위한 사진식각 마스크 패턴은 모두 3장으로 설계하였는데 첫번째 마스크는 게이트 패턴용이고, 2번째 마스크는 SiNx와 a-Si:H 증착용 패턴이며, 3번째 마스크는 드레인과 소오스 증착용 패턴이다. TFT는 채널폭 $950\mu\text{m}$, 채널길이가 각각 25, 50, 100, $150\mu\text{m}$ 인 TFT 4개를 하나의 실리콘 웨이퍼 다이(die)에 제작하였다. 웨이퍼는 (100) 방향 실리콘 웨이퍼를 사용하였으며 1100°C 에서 200\AA 의 실리콘 옥사이드를 성장하였다. 게이트는 크롬(Cr)을 스퍼터에 의해서 증착 하였으며, Silicon Nitride (SiNx) 증착을 위해서 SiH_4 (=5 SCCM), NH_3 (=50 SCCM) 그리고 N_2 (=50 SCCM) 비율로 gas 혼합 방법에 의하여 PECVD chamber에서 진행 하였으며 PECVD의 전력은 81.6 mW/cm^2 이고 chamber 내의 압력은 613 mT 이다. PECVD에 의해 증착된 두께는 1500\AA 이고, SiH_4 gas를 PECVD chamber에서 깨끗이 없앤후에 a-Si를 PECVD reactor 전력 9.8 mW/cm^2 에서 260°C 의 온도로 700\AA 증착 하였다. SiH_4 압력은 350 mT이고 flow rate는 50 SCCM이며 SiNx와 a-Si:H가 형성된후 30 KeV energy로 $1 \times 10^{16}\text{ ion/cm}^2$ 의 인(P) 이온을 주입하여 드레인 소오스 오믹 콘택을 형성하였다. 채널부의 이온주입 공정은 a-Si 윗 부분에 2중 PR 작업을 하여 소오스, 드레인에 이온주입한 후 전면에 알루미늄(Al)증착하고 아세톤으로 lift-off 하였다. 스퍼터에 의한 알루미늄 metalization 공정은 200°C 의 drynitrogen /hydrogen 분위기에서 30분간 어닐링한 후에 진행하였다. 스테거형 TFT 구조는 그림1(a)와 같고 캐패시턴스 측정 등가회로는 그림1(b)와 같다.

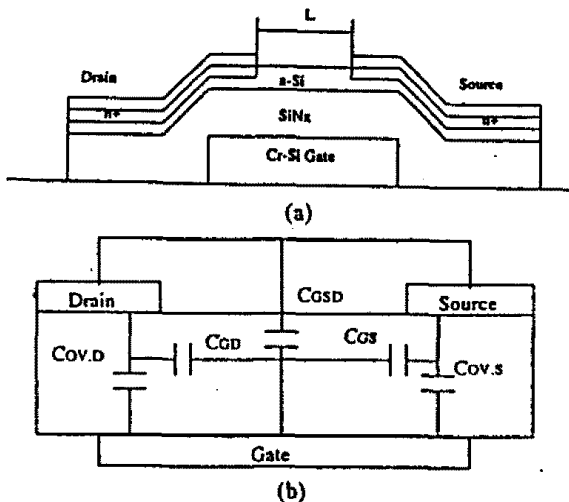


그림1. 제작한 비정질 실리콘 박막 트랜지스터의 구조(a), 및 등가회로(b).

3. 측정방법 및 실험결과

TFT 캐패시턴스의 특성 실험을 하기위해서 위와같이 제조된 웨이퍼를 Tempress Device Die Saw를 이용하여 자른다음 각각의 디바이스를 packaging 하여서 캐패시턴스 및 제 특성측정은 LCR meter를 사용하였는데 선로캐패시턴스와 외부 노이즈를 최소화하기 위하여 LCR meter의 연결선은 동축케이블을 사용하였다.

TFT에서 $V_G < V_{FB}$ 일 경우 증가채널은 형성되지 않고 공핍층이 형성되어 드레인에서 소오스로 전류가 흐르지 않게 되므로 $V_G > V_{FB}$ 인 상태에서 C_{gsd} 와 C_{gd} 의 캐패시턴스 측정은 그림2 (a) 및 (b)와 같이 회로를 구성하여 하였다.

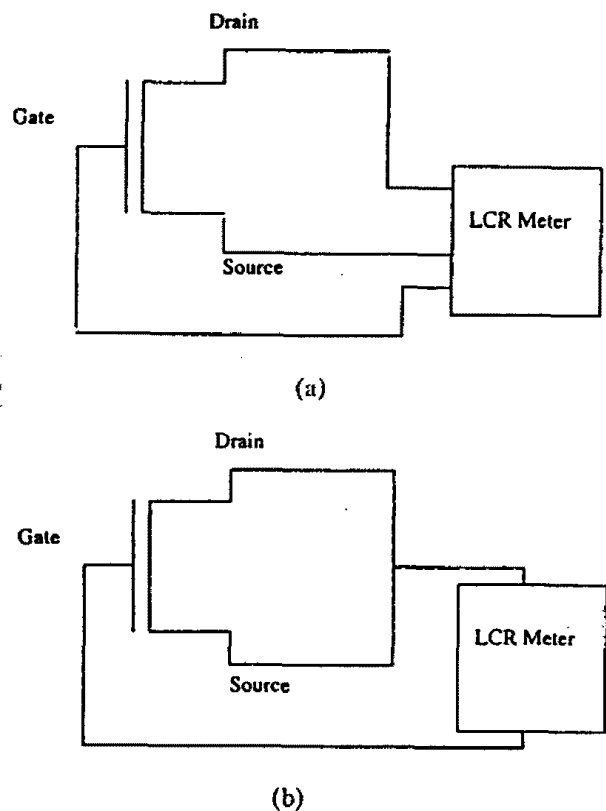
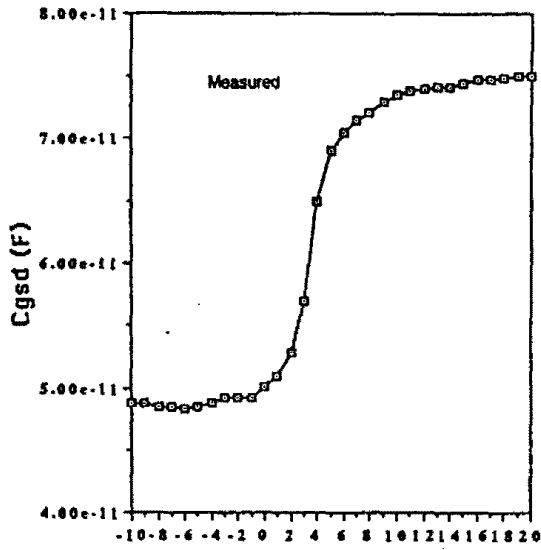
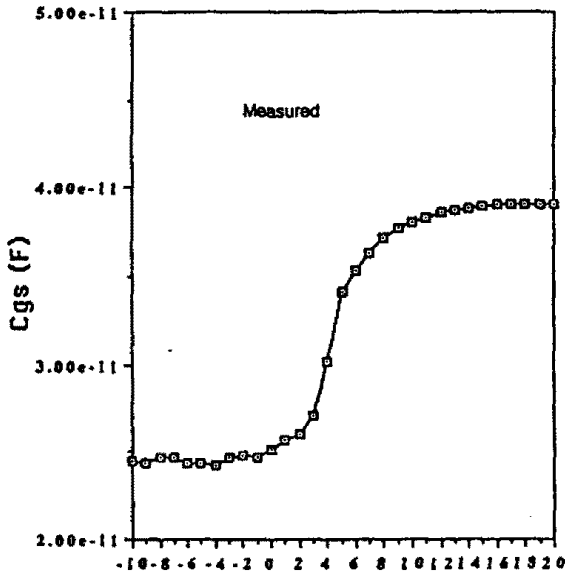


그림2. 캐패시턴스 측정회로. C_{gsd} (a), C_{gs} (b).

캐패시턴스 C_{gsd} , C_{gd} 와 C_{gs} 는 채널폭이 $950\mu\text{m}$ 이고 채널길이가 각각 25, 50, 100, $150\mu\text{m}$ 로 제작된 TFT에서 측정되었고 TFT오버랩은 $L_{ov}=25\mu\text{m}$ 로 동일하게 하였다. 게이트 전압 $V_G = -10\text{V}$ 부터 20V 까지 일때 측정한 TFT C_{gsd} 및 C_{gs} 특성곡선을 그림3 (a), (b) 에 나타낸다. 본 특성 측정에서 게이트 전압이 -10V 부터 증가함에 따라서 C_{gsd} 및 C_{gs} 는 게이트전압 0V 를 지나면서 지수함수적인 상승을 보였다.



(a)

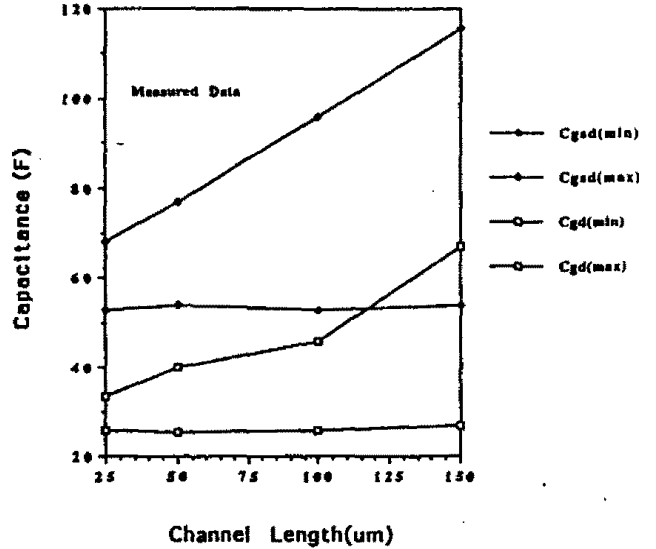


(b)

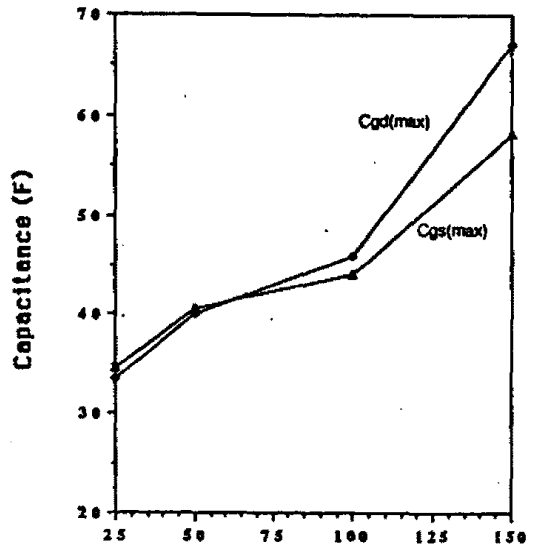
그림3. 캐패시턴스 특성 곡선. $C_{gsd}(a)$, $C_{gs}(b)$.

그림4 (a)는 채널길이가 $25\mu m$ 에서 $150\mu m$ 으로 증가함에 따라서 측정된 $C_{gsd}(Max)$, $C_{gsd}(Min)$ 및 $C_{gs}(Max)$, $C_{gs}(min)$ 값의 변화의 비교를 나타낸다. 캐패시턴스 값은 채널이 길어 질수록 증가 되었는데 캐패시턴스 값은 채널폭과 채널길이에 비례하기 때문에 채널이 길어 질수록 a-Si층의 전자가 공핍되어 캐 피시턴스가 증가하게 된것으로 본다. 그림4 (b)는 그림4 (a)와 같은 조건에서 $C_{gs}(Max)$ 값과 $C_{gd}(Max)$ 값을 비교한 것으로 $C_{gd}(Max)$ 값이 $C_{gs}(Max)$ 값보다 약간높게 나타났다. 또 이들 값은 서로 같을 것으

로 예상할 수 있으나 실제적으로는 $C_{gd}(Max)$ 값이 $C_{gs}(Max)$ 값보다 약간 더 큰 값으로 된 것은 TFT 채널에서의 전위가 드레인 측이 더 높기 때문이다.



(a)



(b)

그림4. $C_{gsd}(Max)$, $C_{gsd}(Min)$ 및 $C_{gs}(Max)$, $C_{gs}(min)$ 의 비교 (a), C_{gs} C_{gd} 의 비교 (b).

그림5는 $C/C(min)$ 값의 비율을 나타낸다. $C/C(min)$ 비율은 게이트전압 $-10V \sim 20 V$ 범위에서 나타나게 되었으며 지수 함수적인 변화를 보였다. 그 이유는 게이트전압이 증가될수록 채널의 온도가 증가되게 되고 고온으로 인한 전자의 터널링에 기인 한 것이다.

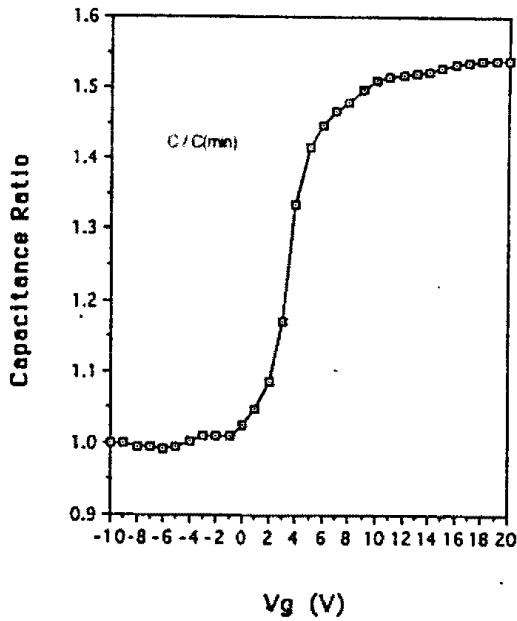


그림5. C/C(min) 값.

4. 결 론

본 연구에서는 스테거형 a-Si:H TFT를 제작하고 캐패시턴스 특성 측정장치를 구성 하였으며 캐패시턴스 특성 측정 곡선을 실험적으로 구 하였고 실험결과에 대한 타당성이 분석되고 연구 되었다. TFT 캐패시턴스 C_{GS} 값은 채널이 길어질수록 증가되었고, C_{GS} 및 C_{GD} 값은 게이트 전압 -10V - 20V 범위에서 측정한 결과 게이트 전압이 0V 부근을 지나면서 전형적인 캐패시턴스 특성 곡선과 같이 지수 함수적인 상승을 보였다. C_{GS} 와 C_{GD} 값을 비교한 결과 게이트 채널이 길어 질수록 이들이 더 커지게 되었고 상승폭이 더 커졌으며 동일한 채널에서 드레인 전위가 더 높기 때문에 C_{GS} 값과 C_{GD} 값이 같아질 것으로 예상 되었으나 실제로는 C_{GS} 값이 C_{GD} 값보다 작아짐을 보였다. 본 캐패시턴스 모델은 TFT의 캐패시턴스를 계산하는 CAD와 이와 관련한 시뮬레이터를 개발하는데 기초적인 모델링 자료로서 응용이 가능하다.

References

- [1] Y.Nara, Y.Kudou and M.Matsumura, "Application of amorphous field effect transistor in 3-dimensional integrated circuits," Japanese Journal of Applied Physics, vol.22, no.6, pp L370-L372, June 1983.
- [2] F.Okumura and S. Kaneko, "Amorphous Si:H linear image sensor operated by a-Si:H TFT array," Proc. Materials Res. Society Symposium, vol.33, M.J. Thompson Ed. New York: North Holland, pp 275-280, 1984.
- [3] Y.Nara and M.Matsumura, "An amorphous silicon integrated inverter," IEEE Trans. Electron Devices, vol.ED-29, no.10 pp.1646-1649, 1982.
- [4] T.L.Credelle, "Recent trends in color avionic LCD's," Soc. Information Display, vol.3, no.10, pp15-18, Nov. 1987.