

Deep Sub-Half Micron PMOSFETs의 DIBL 특성에 관한 연구. A Study on DIBL Charateristics in Deep Sub-Half Micron PMOSFETs

신희갑*, 류찬형*, 이철인*, 서용진**, 김태형***, 장의구*

* 중앙대 전기공학과

** 대불공과대 전기공학과

*** 여주전문대 전기과

Hee-kab Shin*, Chan-hyung Ryue*, Cheol-in Lee*, Yong-jin Seo**, Tae-hyung Kim***, Eui-goo Chang*

* Electrical Eng. of Chung Ang Univ.

** Electrical Eng. of Dae Bul Tech. College

*** Electrical Eng. of Yeo Joo Junior College

Abstract

To improve the DIBL characteristics of deep sub micron BC PMOSFET's, the methods of DCI(Deep Channel Implantation) and Halo Implantation have been reported.

In this study, using the process simulator TSUPREM4, we simulated the 0.25 μm and 0.45 μm gate length BC PMOSFET's applying the both methods to improve the DIBL characteristics, and their electric characteristics were compared to find the mothod suitable for deep sub-half micron BC PMOSFET's, using the device simulator MEDICI.

So we found out that the method of Halo Implantation could be applied to deep sub-half micron BC PMOSFET's for 256 Mbit DRAM.

1. 서론

Deep Sub-half micron CMOS 소자를 개발하는데 가장 중요한 이슈중의 하나가 PMOS 소자를 매몰채널소자로 할 것인지 표면채널소자로 할 것인지를 결정하는 것이다[1]. 표면채널과 비교할때 매몰채널의 장점은 채널이 표면의 아래에 형성되어 표면산란이 일어날 가능성이 적어 더 높은 이동도를 갖게 되고 이로 인해서 높은 전류 구동력을 갖게 된다는 것이다. 또한 표면채널에서는 폴리실리콘으로부터 게이트 산화막으로의 보론 침투로 인하여 문턱전압을 조절하기가 힘들어지게 되는 문제가 발생하는데 매몰채널에서

는 이러한 문제가 없다는 것이다. 하지만 문턱전압을 조정하기 위해서 행하는 채널표면 이온주입으로 인하여 일어나는 short channel 효과가 심하다는 것이 문제점으로 지적되어왔다. 그것은 드레인쪽의 공핍층이 확장되어 소스와 접하게되어 소스쪽의 전위장벽을 낮추는 DIBL(drain-induced lowering)이 일어나기 때문이다.

지금까지 이와 같은 DIBL문제를 개선하기 위한 여러가지 방법들이 제안되어 왔는데, 대표적인 방법은 공핍층의 확장을 막기 위해서 기판 보다 높은 농도를 갖도록 채널에 n-type 이온을 깊게 이온주입하는 방법(Deep Channel Implant: DCI)[2]과 고농도의 드레인-소스 접합으로 인하여 확장되는 공핍층을 막기 위해서 드레인-소스 접합 근처에 Halo 이온주입을 행하는 방법[3][4]이다. 그림 1의 (a)와 (b)는 그 소자 구조를 보여준다.

본 논문은 공정시뮬레이터인 TSUPREM4와 소자시뮬레이터인 MEDICI를 이용하여 sub-half micron PMOSFETs의 DIBL 특성을 향상시키기 위하여 위 두방법을 사용한 즉 DCI와 Halo이온주입 방법을 사용한 16Mbit DRAM급인 게이트 길이가 0.45 μm 인 소자와 256Mbit DRAM급인 0.25 μm 인 소자를 시뮬레이션하여 두 방법의 적용범위 및 전기적 특성을 고찰하였다. 그 결과로 Deep Sub-half Micron PMOSFET의 최적 공정조건을 구하고자 한다.]

2. 소자설계

표 1은 TSUPREM4를 이용하여 시뮬레이션한 DCI 방법과 Halo 이온주입 방법 그리고 Conventional 소자의 제

작 순서 및 공정 조건을 보여준다. DCI이온주입은 게이트 산화막을 성장시키기 전에 문턱전압 조정을 위한 이온주입을 행한후 바로 깊게 Phosphorous, $2.5 \times 10^{12} \text{cm}^{-2}$ 을 145keV로 깊게 이온주입을 하였고, 복잡한 공정을 갖는 Halo PMOS 소자와는 다르게 본 연구에서 시뮬레이션에 의한 소자는 추가적인 마스크없이도 공정의 스텝만 바꾸어 간단하게 제작할 수 있도록 하였고, P- LDD이온주입후에 Phosphorous, $8 \times 10^{16} \text{cm}^{-2}$ 을 65keV로 10° Tilted 이온주입을 하여 Halo 구조를 만들었다.

DIBL 효과를 개선하기 위해서는 기판 농도를 증가시키야 하지만 그것은 소스-드레인의 기생집합용량과 소스-드레인과 기판에 의해서 형성되는 p'-n 접합의 low-level breakdown에 의해서 기판의 농도가 제한된다[5]. 이와같은 조건을 고려하여 DCI와 Halo 이온주입한 부분의 농도가 $1 \sim 2 \times 10^{17} \text{cm}^{-3}$ 정도가 되도록 설계되었고, DCI와 Halo 이온주입의 위치는 기생집합용량을 줄이도록 설계되었다.

3. 시뮬레이션 결과

게이트 길이(L_g)가 감소되거나 드레인 전압이 높아지게 되면 드레인의 공핍영역이 소스의 공핍영역으로 가까게 확

성되어 소스쪽의 전위장벽이 낮아지도록 한다. 이러한 DIBL에 의해 일어나는 전기적 특성의 변화를 살펴보면, 첫째는 $V_{GS}=0[V]$ 일시라도 게이트 길이가 짧아지고 드레인 전압이 증가하면 누설전류(I_{leak})가 증가하게 되어 일반적인 허용치인 $10^{-11} [A/\mu m]$ (1.1~1.2 V_{DS} 에서)을 넘어서게 된다. 둘째는 채널길이나 드레인 전압에 의해서 공핍영역이 확장됨으로써 문턱전압도 shift하게 된다. 일반적으로 드레인 전압이 증가하거나 채널길이가 감소함에 따라 문턱전압은 낮아지게 된다. 하지만 채널길이를 고정하였을 경우, 정상적으로 소자가 동작하기 위해서는 드레인 전압이 문턱전압의 shift에 거의 영향을 미치지 않아야 한다. 즉 DIBL에 의한 영향이 거의 없어야 한다. 셋째는 드레인 전압의 증가에 의해 Si/SiO_2 계면 아래의 실리콘 벌크에서 소스와 드레인의 공핍층이 접하게 되는 Punchthrough가 시작되면 Subthreshold Slope(S.S.: mV/dec)도 크게 증가하기 시작한다[6].

그러므로 DIBL 특성을 고찰하기 위해서는 소자의 누설전류, 문턱전압 shift 그리고 S.S.는 분석되어야 할 중요한 파라미터가 된다.

그림 2는 $0.25 \mu m(L_g)$ PMOSFET에서 드레인 전압 따른(-0.05~-4.0[V]) Subthreshold 특성을 보여준다. conventional소자와 DCI 방법을 사용한 소자의 경우는 누설전류가 $V_{DS}=-4.0[V]$ 에서 $I_{leak, con.} = -7.7482 \times 10^{-9} [A/\mu m]$, $I_{leak, DCI} = -2.3605 \times 10^{-7} [A/\mu m]$ 으로 일반적인 허용값을 훨씬 초과하지만, Halo 이온주입 방법의 소자의 경우는 $I_{leak, Halo} = -1.4475 \times 10^{-14} [A/\mu m]$ 으로 허용조건을 충분히 만족하는 것을 볼 수 있다.

그림 3은 $0.45 \mu m(L_g)$ PMOSFET에서 드레인 전압 따른(-0.05~-3.1[V]) Subthreshold 특성을 보여준다. conventional소자의 경우는 $0.45 \mu m(L_g)$ 에서도 누설전류가 상당히 크지만 DCI와 Halo 이온주입 방법을 사용한 소자는 드레인 바이어스에 의한 누설전류가 허용조건보다 훨씬 낮다.

	DCI	HALO	conventional
Channel I/I	5.5e12, 50keV	5.5e12, 50keV	5.5, 50keV
Gate Ox.	65Å	65Å	65Å
P- LDD I/I	1e13, 30keV	1e13, 30keV	1e13, 30keV
Space Length	1500Å	1500Å	1500Å
S/D I/I	3e15, 30keV	3e15, 30keV	3e15, 30keV
Punchthrough Preven. I/I	2.5e12, 145keV	8e12, 65keV, 10°	skip

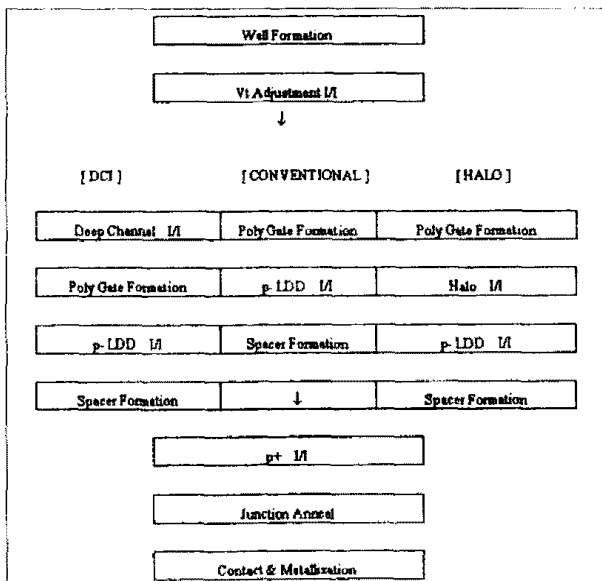
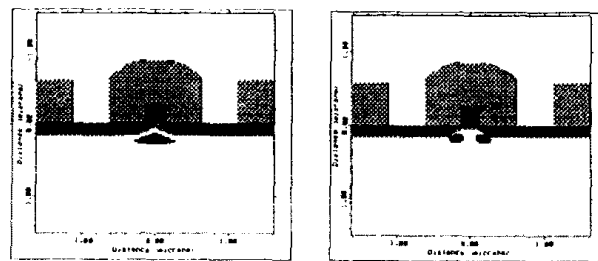


표 1. 시뮬레이션을 위한 공정조건 및 공정순서



(a) DCI (b) Halo

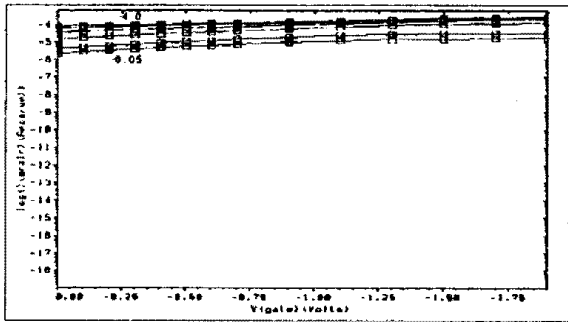
그림 1. 시뮬레이션된 소자의 단면

그림 4는 $0.25 \mu m(L_g)$ PMOSFET의 드레인 전압(-0.05~-4.0[V])에 따른 문턱전압(V_t)의 shift를 보여준다. conventional 소자의 경우는 다른 소자와 비교할 수 없을

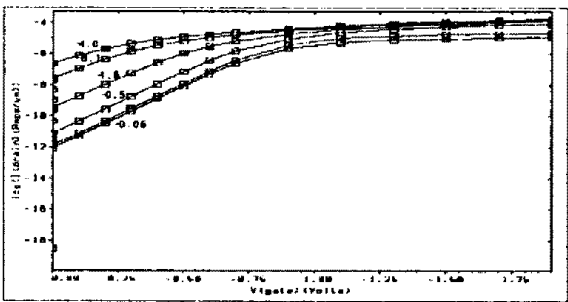
정도로 V_t 의 변화가 크게 나타났고, DCI방법을 사용한 소자는 $\Delta V_t(V_t(-0.05[V]) - V_t(-4.0[V])) = 0.6594[V]$ 로 드레인 바이어스에 의한 DIBL특성이 좋지 않음을 볼 수 있었다. 하지만 Halo 이온주입 방법을 사용한 소자의 경우는 ΔV_t 가 0.1[V]로 DCI 방법보다 훨씬 작은 것을 볼 수 있다.

그림 5는 $0.45 \mu m(L_g)$ PMOSFET의 드레인 전압(-0.05 ~ -3.1[V])에 따른 문턱전압(V_t)의 shift를 보여준다. conventional 소자의 경우는 여전히 V_t 의 변화가 크지만, DCI와 Halo 이온주입 방법의 소자 모두 $\Delta V_t(V_t(-0.05[V]) - V_t(-3.1[V])) = 0.1037[V]$, $\Delta V_t(Halo) = 0.1849[V]$ 으로 그 변화가 작은 것을 볼 수 있다.

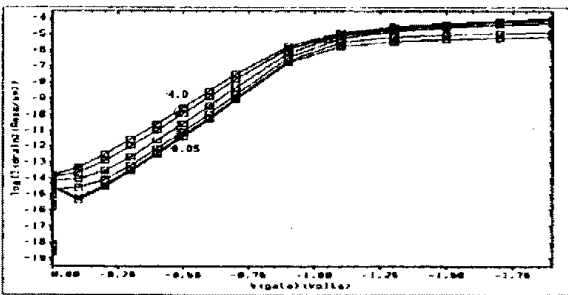
그림 4과 5에서 Halo이온주입 방법의 경우는 $0.25 \mu m$ 와 $0.45 \mu m$ 모두에서 드레인 바이어스에 의한 V_t 의 변화가 작았지만 DCI의 경우는 $0.45 \mu m$ 에서만 그 변화가 작은 것을 볼 수 있다.



(a) conventional

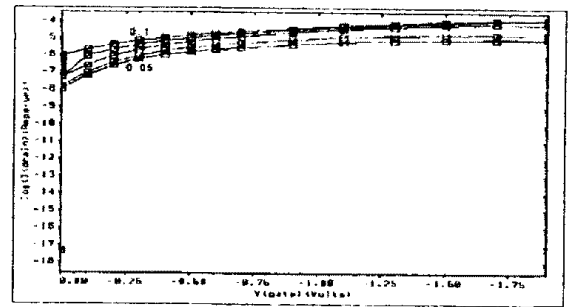


(b) DCI

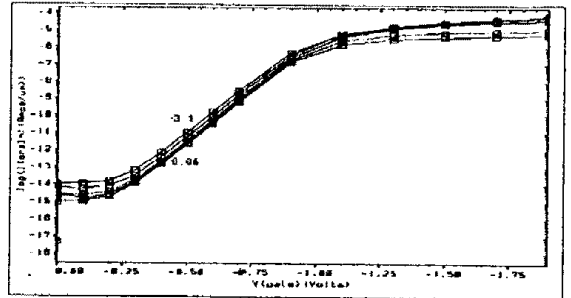


(c) Halo

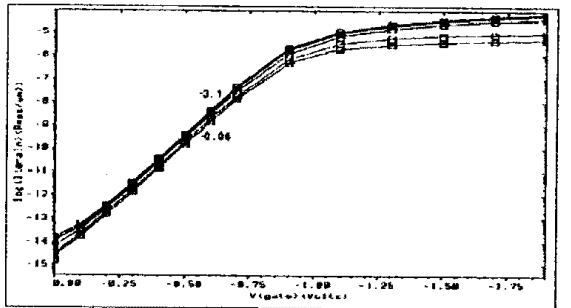
그림 2. $0.25 \mu m(L_g)$ PMOSFET의 서로 다른 드레인 전압(-0.05, -0.1, -0.5, -1.6, -3.1, -4 [V])에서의 Subthreshold 특성



(a) conventional



(b) DCI



(c) Halo

그림 3. $0.45 \mu m(L_g)$ PMOSFET의 서로 다른 드레인 전압(-0.05, -0.1, -0.5, -1.6, -3.1 [V])에서의 Subthreshold 특성

그림 6은 $0.25 \mu m$ PMOSFET에서 드레인 바이어스(-0.05 ~ -4.0[V])에 따른 Subthreshold Swing의 변화를 보여준다. conventional 소자에서는 S.S.가 $954 \sim 2907[mV/dec]$ 로 그 변화가 아주 높게 나타났고, DCI 방법의 경우는 그림 2와 4에서 볼 수 있듯이 드레인 전압이 -1.6[V]일때부터 S.S.가 크게 변하기 시작하는 것을 볼 수 있다. 이것은 실리콘 표면아래의 벌크에서 punchthrough가 일어나기 시작하였기 때문이다. 하지만 Halo 이온주입 방법의 경우는 S.S.의 변화가 $11[mV/dec]$ 로 드레인 바이어스에 의한 영향이 상당히 작은 볼 수 있다.

그림 7은 $0.45 \mu m$ PMOSFET에서 드레인 바이어스(-0.05 ~ -3.1[V])에 따른 Subthreshold Swing의 변화를 보여준다. conventional 소자의 경우를 제외하고는 DCI와 Halo 이온주입 방법 모두 드레인 바이어스에 따른 S.S.의 변화가 작은 것을 볼 수 있다. 이렇게 드레인 바이어스에 따른 S.S.의 변화가 작은 것은 DIBL에 의한 영향이 작기 때문이다.

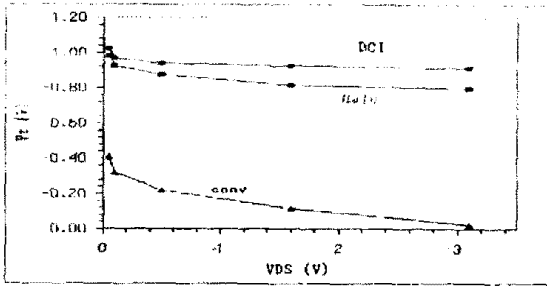


그림 5. $0.45 \mu\text{m}$ (L_g) PMOSFETs의 드레인 전압에 따른 문턱전압(V_t) shift

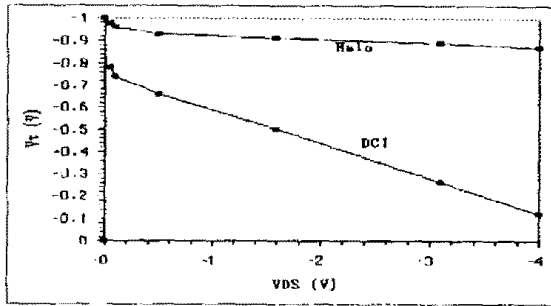


그림 4. $0.25 \mu\text{m}$ (L_g) PMOSFETs의 드레인 전압에 따른 문턱전압(V_t) shift

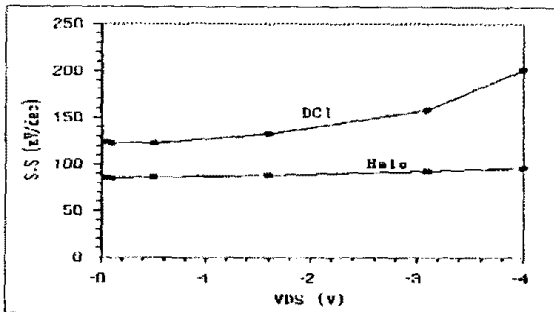


그림 6. L_g $0.25 \mu\text{m}$ PMOSFET에서 드레인전압에 따른 Subthreshold Slope

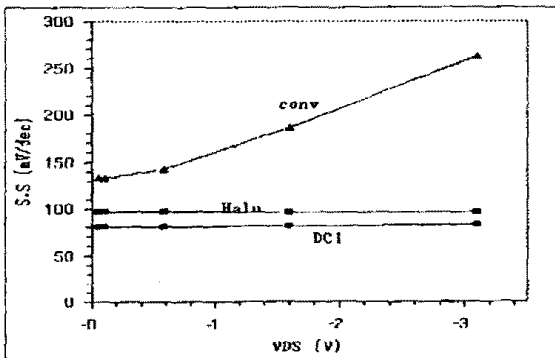


그림 7. L_g $0.45 \mu\text{m}$ PMOSFET에서 드레인전압에 따른 Subthreshold Slope

4. 결론

DCI와 Halo이온주입 방법을 사용한 $0.25 \mu\text{m}$ (L_g)와 $0.45 \mu\text{m}$ (L_g) PMOSFET의 DIBL 효과를 고찰하기 위해서 전기적인 특성을 시뮬레이션하였다.

드레인 바이어스에 따른 누설전류, 문턱전압, S.S. 등에 대한 시뮬레이션 결과로부터 DIBL을 극복하기 위해서 DCI 이온주입 방법의 경우는 $0.45 \mu\text{m}$ 에는 적합하지만 $0.25 \mu\text{m}$ 에서는 특성이 좋지 않음을 알 수 있었다. 하지만 Halo 이온주입을 사용한 방법의 경우는 $0.25 \mu\text{m}$ (L_g)까지 적용가능한 것을 알 수 있었다.

결과적으로 본 연구를 통해서 Deep Sub-half Micron BC PMOSFET의 DIBL 효과를 개선하기 위해서는 일반적으로 행해져 온 DCI 방법보다는 Halo 이온주입 방법을 이용하는 것이 바람직하다는 것을 알 수 있었다.

참고문헌

1. K.Okabe, T.Ikezawa, I.Sakai and M.Fukuma, 1992 IEDM, p. 889.
2. K.M. Cham and S. Chiang, IEEE Trans. Electron Devices ED-31, p. 964 (1984).
3. S.Odanaka, M. Fukunoto, G. Fuse, M. Sasago, T. Yabu, and T. Ohzone, IEEE Trans. Electron Devices ED-33, p. 317 (1986).
4. A. Hori, A. Hiroki, H. Nakaoka, M. Segawa, and T. Hori, IEEE Trans. Electron Devices ED-42, p. 78 (1995).
5. S. Wolf, Silicon Processing for the VLSI Era Volume 3, p. 238.
6. S. Wolf, Silicon Processing for the VLSI Era Volume 3, p. 233.