

DTC 에 의한 MOSFET 의 공정및 소자특성에 관한 연구. A Study on Process and Charateristics of nMOSFET by DTC Method

류찬형
신희갑
이철인
서용진
김태형
장의구

중앙대 전기공학과
중앙대 전기공학과
중앙대 전기공학과
중앙대 전기공학과
여주전문대 전기과
중앙대 전기공학과

Chan-Hyung Ryue
Hee-Kab Shin
Cheol-In Lee
Yong-Jin Seo
Tae-Hyung Kim
Eui-Goo Chang

Electrical Eng. of Chung-Ang Univ.
Electrical Eng. of Chung-Ang Univ.
Electrical Eng. of Chung-Ang Univ.
Electrical Eng. of Dae-Bul Eng. College
Electrical Eng. of Yeo-Joo Tech. College
Electrical Eng. of Chung-Ang Univ.

Abstract

In short channel MOSFET, it is very important to establish optimal process conditions because of variation of device characteristics due to the process parameters. In this paper, we used process simulator and device simulator in order to optimize process parameter which changes of the device characteristics caused by process parameter variation. From this simulation, it has been derived to the dependence relations between process parameters and device characteristics. The experimental results of fabricated short channel device according to the optimal process parameters demonstrate good device characteristics.

1. 서론

VLSI chip 을 제조하기 위해서는 소자파라메터와 설계법칙 및 공정조건등이 필요하며 이러한 조건을 얻기위해서 공정과 소자에 대한 모델링이 필요하다. 컴퓨터를 사용한 시뮬레이션의 반복수행으로 실험적인 공정의 수행없이 VLSI 의 설계가 가능하게 되었다[1,2]. 소자가 고집적화되고 고속인 동작특성을 얻기위해서 채널길이, 게이트산화막두께, 집합깊이등은 스케일다운(scale down) 되고, 채널 도핑은 스케일 업(scale up) 된다. 그러나 서브마이크론 영역에서 감소된 채널길이, 산화막두께, 집합깊이 및 증가된 채널도핑사이의 여러가지 디자인 트레이드 오프(design trade off) 는 아직까지도 명백하게 정립되어 있다고 할 수 없다[3].

본 논문에서는 nMOSFET 이 짧은 채널로 되면서 발생하는 소자특성의 저하를 최소화할 수 있는 최적의 공정파라메터를 얻기 위해서 공정시뮬레이터인 TSUPREM-4 를

사용하여 얻은 공정시뮬레이션 결과를 소자시뮬레이터인 MEDICI 에 입력으로 사용함으로써 공정파라메터와 소자특성사이의 의존성을 고찰하였다.

2. DTC(Design Trend Curve)

MOSFET 의 기본특성을 고려한 소자시뮬레이션 데이터로부터 얻어진 대표적인 소자특성으로서의 임계소자파라메터를 S.S(substrate swing) 값, 오프상태의 누설전류(I_L), 문턱전압(V_T), 트랜스컨덕턴스(g_m), 드레인포화전류($I_{D,sat}$) 로 하였다. 공정파라메터중 임계소자파라메터와 상호의존성이 강한 벌크농도(N_B), 이온주입량(D_c), 채널길이(L), 게이트산화막두께(T_{ox}), 집합깊이(x_j), 로 하고 이들 공정파라메터가 소자특성에 미치는 영향을 조사하였다.

공정조건에 따른 소자의 임계파라메터를 구하고 최대값을 1로 하여 정규화(normalization) 시킨 후(그림 1), 공정파라메터의 공정조건변화에 따라 임계소자파라메터들이 증가하거나 감소하므로 이들 소자특성을 동시에 만족시킬 수 있는 공정조건을 구하기 위해 DTC 에서 증가곡선과 감소곡선의 교차점으로 이루어진 폐곡선을 DTC 영역으로 하였다.

3. 공정조건 및 소자특성

n-well 및 p-well 의 벌크농도(N_B) 의 증가에 따라서 I_L 은 증가하게 되지만, 농도의 증가에 따른 캐리어의 이동도 감소로 인하여 구동전류의 감소현상이 일어나고, N_B 가 낮을 경우에는 기생쌍극성효과에 기인하는 래치업, 펀치쓰루 등의 문제점이 있으므로 최적의 벌크농도(N_B) 를 결정하는 것이 중요하다.

CMOSFET 소자로 우수한 논리회로를 구현하기 위해서는 nMOS 와 pMOS 소자의 특성이 같으면 이상적이다. 특

각 소자의 문턱전압(V_T)은 절대값이 같고 부호가 다르며 이상적인 논리회로를 설계할 수 있다. 그러나 nMOS 및 pMOS 소자의 기판농도가 같을 때, 게이트 재료와의 일함수차가 서로 다르므로 문턱전압(V_T)의 절대값은 같지 않다. 이를 보상하여 문턱전압을 대칭적으로 만들기 위해서 nMOS 소자의 p형 벨크농도를 증가시키고 pMOS 소자의 n형 벨크농도를 낮추는 문턱전압조정을 위해서 이온주입(V_T adjusting ion implant)으로 역도핑을 하면 pMOS 소자의 표면농도가 반전되어 반도체 표면아래에 매몰채널을 형성하게 된다[4, 5].

소자의 크기가 scale down 되면서 채널길이가 감소하게 되면 구동전류는 증가하게 되지만, DIBL, 펀치쓰루 등과 같은 짧은 채널효과로 소자 특성이 저하되므로[6] 채널길이를 줄이는데는 한계가 있다. 또한 이러한 효과는 드레인 전압을 걸어주면 L_{eff} 가 줄어들어 더욱 뚜렷해진다.

4. 결과와 검토

비저항이 $20 \Omega\text{-cm}$ 이고 p-Si (100) 인 웨이퍼에 n-well 및 p-well 을 형성하기 위한 이온주입의 시뮬레이션은 그림 2와 같다. 채널길이 L 은 $0.5 \mu\text{m}$ 를 목표로 하였으며, 산화막두께 T_{ox} 는 10 nm , 접합깊이 x_j 는 $0.2 \mu\text{m}$ 로 하였다. 시뮬레이션에 의한 peak 농도는 그림 2와 같다. p-well 을 형성하기 위한 불순물 도핑은 B_{11} , 35keV , $7.0 \times 10^{12} \sim 1.5 \times 10^{13} \text{ cm}^{-2}$ 로 하였으며 문턱전압 조정을 위한 이온주입(D_c)은 BF_2 , 80keV , $1.7 \times 10^{12} \sim 2.3 \times 10^{12} \text{ cm}^{-2}$ 로 하였을 때 peak 농도에 따른 문턱전압 V_T 는 그림 3과 같다.

peak 농도의 깊이보다는 peak 농도가 증가함에 따라서 문턱전압 V_T 가 증가하였다. n-well 을 형성하기 위한 불순물도핑은 P_{31} , 100keV , $1.1 \times 10^{13} \sim 2.0 \times 10^{13} \text{ cm}^{-2}$ 로 하였고 문턱전압조정을 위한 이온주입을 BF_2 , 80keV , $1.3 \times 10^{12} \sim 1.7 \times 10^{12} \text{ cm}^{-2}$ 로 하였을 때 peak 농도에 따른 문턱전압 V_T 는 peak 농도가 증가함에 따라 절대값이 증가하는 경향이었다. 그러나 pMOS 의 경우에 peak 농도의 깊이에 따라서 V_T 는 다르게 되었다. 문턱전압조정을 위한 이온(D_c) 주입이 $1.3 \times 10^{12} \text{ cm}^{-2}$ 일 경우 peak 농도는 $5.84 \times 10^{16} \text{ cm}^{-3}$, 깊이는 $0.312 \mu\text{m}$ 일 때 V_T 는 -1.23 V 이지만, D_c 주입이 $1.7 \times 10^{12} \text{ cm}^{-2}$ 일 경우 peak 농도는 $5.83 \times 10^{12} \text{ cm}^{-3}$, 깊이가 $0.322 \mu\text{m}$ 일 때 V_T 는 -1.156 V 였다. 이와 같은 차이는 매몰채널이 형성되었거나 문턱전압조정을 위한 불순물(BF_2) 때문으로 추측된다.

게이트길이에 따른 문턱전압 V_T 의 변화는 그림 4와 같다. 그림 4(a)는 p-well 을 위한 이온주입(N_B)은 B_{11} , 80keV , $2.0 \times 10^{13} \text{ cm}^{-2}$ 으로 하고 문턱전압조정을 위한 이온주입(D_c)은 BF_2 , 80keV , $2.4 \times 10^{12} \text{ cm}^{-2}$, 스페이서(spacer)는 180 nm 로 하였을 때 양측 소오스/드레인의 공핍층으로 인한 채널길이의 감소가 $2\Delta L = 0.176 \mu\text{m}$ 일 때의 게이트길이에 따른 문턱전압 V_T 의 변화이다.

그림 4(b:LDD)는 p-well 의 이온주입(N_B)은 B_{11} , 80keV , $2.0 \times 10^{13} \text{ cm}^{-2}$ 으로 하고 n채널 문턱전압조정을 위한 이온주입(D_c)은 BF_2 , 80keV , $1.9 \times 10^{12} \text{ cm}^{-2}$, 깊은 이온주입(Deep Implantation)을 BF_2 , 100keV , $3.0 \times 10^{12} \text{ cm}^{-2}$ 을 한 다음 LDD 이온주입을 P_{31} , 40keV , $2.0 \times 10^{13} \text{ cm}^{-2}$, 스페이서를 180 nm , 게이트 산화막을 9 nm , N^+ S/D 이온주입은

As_{75} , 40keV , $6 \times 10^{15} \text{ cm}^{-2}$ 이고 채널감소가 $2\Delta L = 0.035 \mu\text{m}$ 인 경우의 게이트길이의 변화에 따른 문턱전압 V_T 의 변화이다. 그림 4에서 게이트길이가 $0.5 \mu\text{m}$ 이상에서의 문턱전압의 변화보다 $0.5 \mu\text{m}$ 이하에서 급격히 변함을 알 수 있는데 이는 짧은채널효과에 기인한다고 생각된다.

드레인 전압 V_{DS} 에 의한 공핍층의 변화로 유효채널길이 L_{eff} 가 변하게 되며 L_{eff} 에 따른 문턱전압 V_T 의 변화는 그림 5와 같다. 채널길이 $0.5 \mu\text{m}$ 에서 드레인전압에 따라 L_{eff} 가 $0.381 \sim 0.444 \mu\text{m}$ 일 때의 문턱전압 V_T 의 변화인데 그림에서 보는 바와 같이 L_{eff} 가 $0.4 \mu\text{m}$ 까지는 V_T 의 변화가 작지만 $0.4 \mu\text{m}$ 미만에서 급격히 V_T 가 감소하게 되며 이는 짧은채널효과에 기인하는 것이라고 추측된다.

그림 6는 채널길이가 $0.5 \mu\text{m}$ 인 nMOSFET의 $I_{DS}-V_{DS}$ 특성으로서 양호한 결과로 볼 수 있다. DTC에 의해 공정조건을 최적화함으로써 실험에 의하지 않고서도 공정파라미터에 따라 짧은 채널효과를 최소화할 수 있다고 사료된다.

5. 결론

짧은 채널 nMOSFET의 공정파라미터에 대한 소자특성의 저하를 최소화할 수 있는 최적의 공정 파라미터 추출을 위해 TSUPREM-4와 MEDICI 시뮬레이터를 사용하여 DTC를 구하되로서 공정파라미터와 소자특성사이의 의존성을 검토하였다. 표 1은 DTC에 의한 소자특성의 의존성을 보인 것이다. DTC에 의한 공정조건에 따라 제작한 nMOSFET의 $I_{DS}-V_{DS}$ 특성은 양호하므로 DTC에 의한 공정개발 및 소자설계가 타당함을 알 수 있었다. 구동전류를 향상시키기 위해서는 N_B 와 D_c 는 낮게 하고 L 을 감소시켜야 하지만 소오스와 드레인에서의 공핍층 증가로 인하여 L_{eff} 의 감소로 짧은 채널효과에 의하여 V_T 가 급격히 감소하게 됨을 알 수 있었다.

참고문헌

1. K. M. Cham, S. Y. Oh and J. L. Moll, "Computer-Aided Design in VLSI Device Development," IEEE J. Solid-State Circuits, vol. SC-20, No. 2, pp. 495-500, 1985.
2. J. Y. Chen, "CMOS Devices and Technology for VLSI," Prentice-Hall International, Inc., Ch. 3, pp. 38-41, 1990.
3. J. E. Chung, M. C. Jeng, J. E. Moon, P. K. Ko and C. Hu, "Performance and Reliability Design Issues for Deep-Submicrometer MOSFET's," IEEE Trans. Electron Dev. vol. ED-38, No. 3, pp. 545-553, 1991.
4. G. Hu and R. Bruce, "Design Tradeoffs between Surface and Buried Channel FET's," IEEE Trans. Electron Dev., vol. ED-32, No. 3, pp. 584-588, 1985.
5. M. P. Brassington and R. R. Razouk, "The Relationship between Gate Bias and Hot-Carrier Induced Instability in Buried and Surface Channel pMOSFET," IEEE Trans. Electron Dev., vol. ED-35, No. 3, pp. 320-324, 1988.
6. H. B. Bakoglu, "Circuits, Interconnections and Packaging for VLSI," Addison-Wesley Pub. Co., Ch. 2, pp. 28-43, 1990.

표 1 공정파라메타에 따른 입계 소자파라메타의 의존성 경향
 Table 1 Dependence trend of device parameter with process parameter.

	$N_B \uparrow$		$D_c \uparrow$		$L \downarrow$		$T_{ox} \downarrow$		$X_j \downarrow$	
	nMOS	pMOS	nMOS	pMOS	nMOS	pMOS	nMOS	pMOS	nMOS	pMOS
S.S	↑	↓	↑	↑	↓	↑	↓	↓	↑	↑
I_L	↓	↓	↓	↑	↑	↑	↑	↓	↓	↑
V_T	↑	↑	↑	↓	↓	↓	↑	↓	-	-
g_m	↓	↑	↓	↓	↑	↑	↑	↑	↓	↑
I_{Dsat}	↓	↓	↓	↑	↑	↑	↑	↑	↓	↑

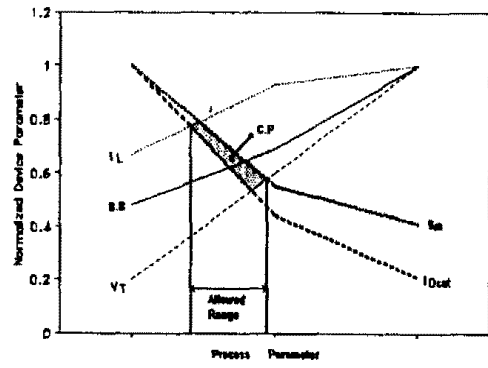


그림 1 디자인 경향 곡선(DTC)의 예
 Fig. 1 DTC example

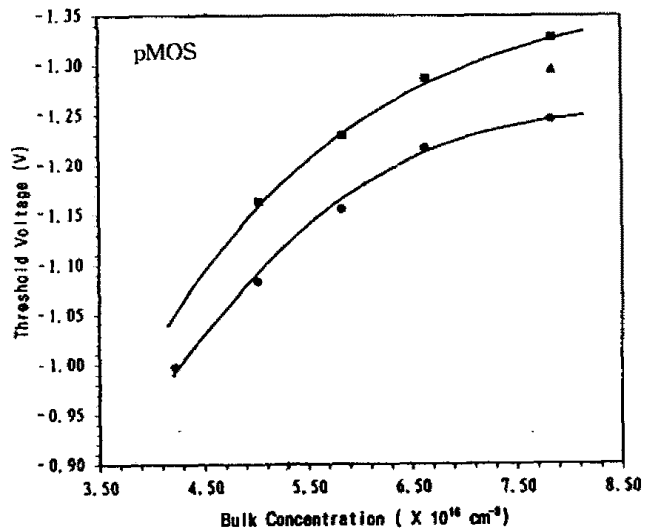
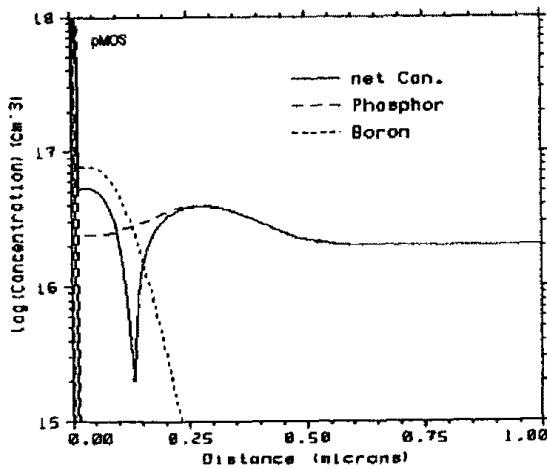
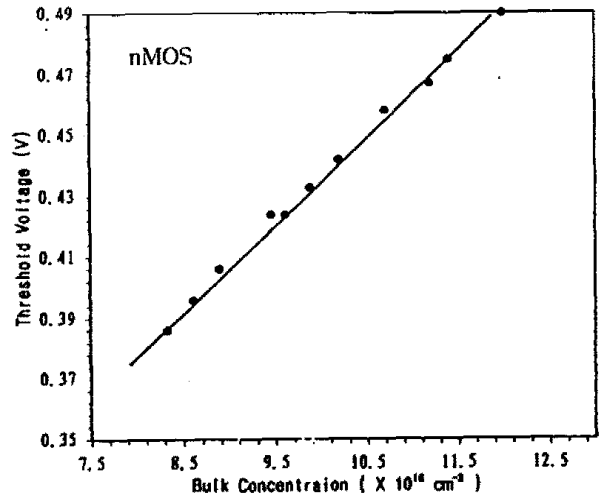
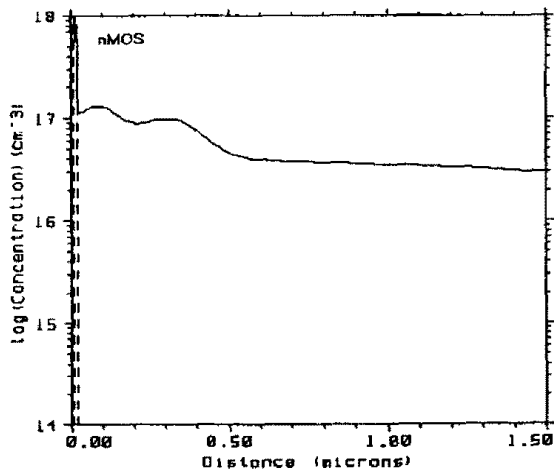


그림 2. TSUPREM-4 시뮬레이션한 채널 불순물분포
 Fig. 2 TSUPREM-4 simulated channel doping profile

그림 3. 벌크농도에 따른 문턱전압
 Fig. 3 Threshold voltage as a function of bulk concentration variation

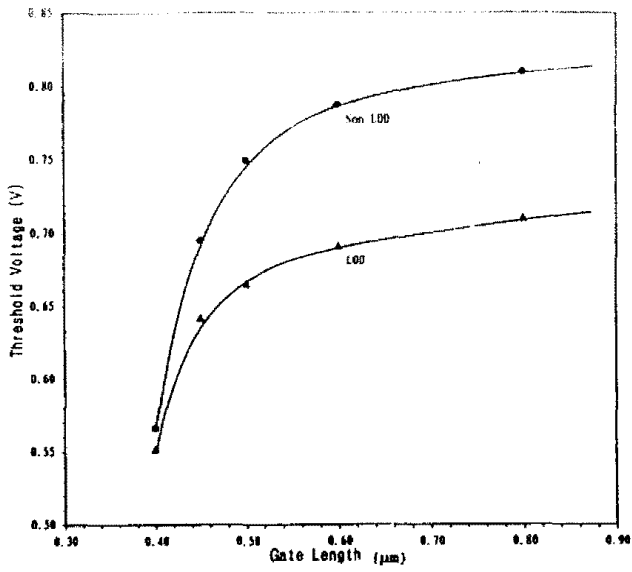


그림 4. 게이트 길이에 따른 문턱전압
 Fig. 4 Threshold voltage as a function of gate length variation

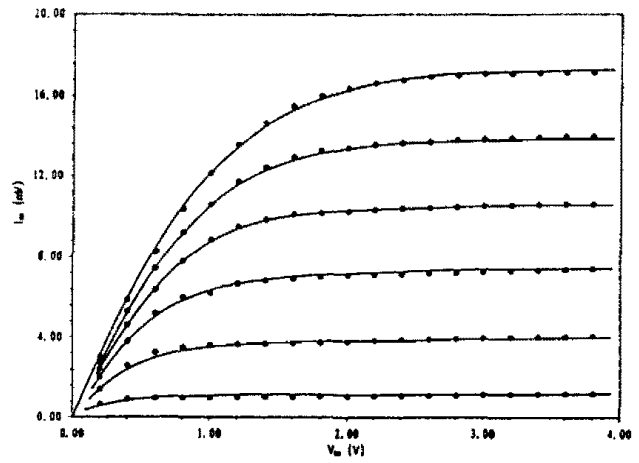


그림 6. nMOSFET의 $I_{DS}-V_{DS}$ 특성
 Fig. 6 $I_{DS}-V_{DS}$ characteristics of nMOSFET

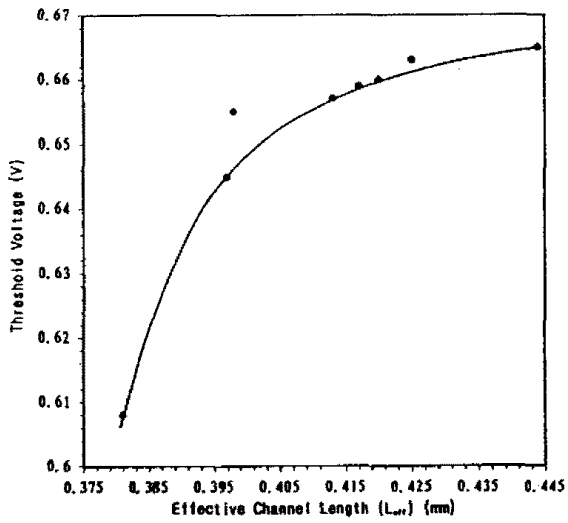


그림 5. 유효채널길이에 따른 문턱전압
 Fig. 5 Threshold voltage as a function of effective channel length variation