

# 감시를 위한 저가격의 DATA LOGGER 개발에 관한 연구

전 희중, 문 학룡\*, 김 진상, 김 수곤, 김 영일\*\*

송실대학교 전기공학과

\*\*대림공업전문대학 전기공학과

## A Study on the Development of Low Cost Supervisory Data Logger System

Hee-Jong Jeon · Hark-yong Moon · Jin-Sang Kim · Soo-Gon Kim · Yoong-Il Kim

Soong Sil University, Dept. of Electrical Engineering

\*\*Dae Lim Industry College, Dept. of Electrical Engineering

### ABSTRACT

In this paper, we proposed digitalized low cost data logger system. In the past, data logger system which use analog method had many problems, inconvenience of measurement, unsatisfied accuracy, and had difficulty in storing data. Proposed system overcome these problems by using one-chip microcontroller which detects abnormal status and saves it in RAM card. Saved data are transmitted to personal computer by serial communication port and by parallel interface card. Field experiment results validate the performances of the proposed system.

### 1. 서 론

계측 기술의 발달은 전기 및 전자분야뿐만 아니라 모든 과학 기술 분야에서 중요한 위치를 차지하게 되었다. 과거의 감시를 위한 데이터 수집 장치는 아날로그 방식을 사용하여 고장이 잦고 측정이 불편하고 분석에 정확도가 떨어지며 데이터의 저장 및 보존에 많은 어려움이 있었다.

본 연구에서는 이러한 문제점을 개선한 데이터 수집 및 컴퓨터를 이용한 데이터의 처리 및 분석이 가능한 저가격의 Data Logger 시스템을 구현하였다.

시스템의 콘트롤 CPU로서 인텔사의 16bit 단일 칩 마이크로 콘트롤러인 80C196KC를 사용하였으며 데이터 저장을 위해 64 Kbyte이외에 메모리를 4 Mbit(512 Kbyte)까지 확장하였으며, 수집 데이터와 설정된 기준값을 비교하여 유용성(Flexibility) 있게 데이터를 저장하여 메모리를 효율적으로 관리할 수 있도록 하였다. 또한 수집된 데이터는 직렬 통신 방식을 통해 퍼스널 컴퓨터로 전송되어 시간대별 부하 분포 및 크기 등의 데이터를 분석할 수 있게 구성하였다.

구현된 시스템은 공장내에 설치하여 데이터를 수집, 분석함으로써 유용성을 입증하였다.

### 2. 시스템의 구성

본 Data Logger 시스템은 입력 신호를 단일 칩 마이크로 콘트롤러에 내장된 A/D 변환기에 의해 디지털신호로 변환하여 데이터를 RAM Card 메모리에 저장한다. 저장된 데이터는 직,병렬 통신방법에 의해 전송되고 퍼스널 컴퓨터에서

데이터를 처리, 분석할 수 있도록 구성하였다.

시스템의 구성은 입력 처리부, A/D 변환부, I/O부, 데이터 통신부, 램 카드부로 되어 있다. 전 시스템의 개요는 그림 2-1과 같다.

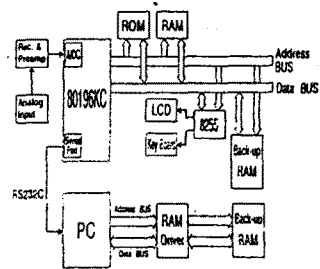


그림 2-1. 전체 시스템의 구성도

#### 2.1 입력처리부

입력 처리부는 크게 정류부와 프리앰프로 나누어진다. 정류부는 입력신호에 대한 하드웨어적인 보호 및 입력의 변화를 최소화하기 위해 사용하였으며, 프리앰프부는 A/D 변환기의 입력 레벨과 맞추기 위해 증폭 및 감소를 할 수 있도록 하였다.

정류부 및 프리앰프부의 블럭도는 그림 2-2와 같다.

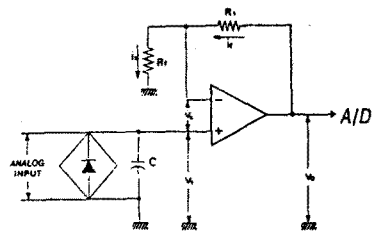


그림 2-2. 정류부와 프리앰프부의 구성

#### 2.2 A/D 변환부

A/D 변환부는 분해능과 변환속도가 기본적인 성능지표이며 본 시스템의 정밀성에 중요한 역할을 한다. 그림 2-3은 A/D 변환기의 블럭도이다.

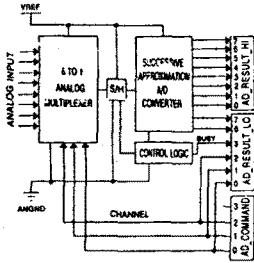


그림 2-3. A/D 변환기의 블럭도

본 연구에서 사용된 A/D변환기는 8입력 아나로그 멀티플렉서, 샘플&홀드회로, 10비트 분해능을 가지며 변환은 22μ sec가 걸린다.

변환과정은 HSO명령 0FH의 실행에 의하거나 A/D제어 레지스터의 GO 비트가 1로서 시작되며 각각은 A/D변환기에 변환시작신호를 변환기 로직으로 보낸다. 만일 HSO신호가 사용되면 변환 과정은 타이머 1 증가시 시작된다. 그러나 변환이 AD\_CON 레지스터 GO비트에 1을 써서 시작되면 명령 후 3개 상태안에 즉 0.75μs의 변화안에서 완결된다 (XTAL1=16 MHz).

변환결과는 입력전압의 10비트 비례표시이며 수치는 다음식으로 나타낸다.

$$10 \text{ 비트일 값} = INT \left\{ \frac{1023 * (V_i - ANGND)}{(V_{REF} - ANGND)} \right\} \dots\dots(2-1)$$

### 2.3 I/O부

I/O 부분에서 인터페이스 소자는 8255를 사용하였으며 입력인 Key-Board와 출력인 LCD를 컨트롤한다.

I/O 부의 블럭도는 그림 2-4과 같다.

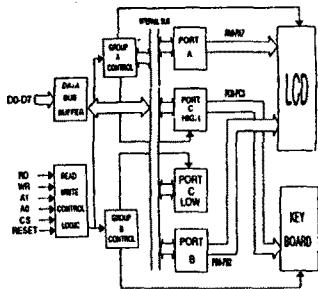


그림 2-4. I/O 포트의 구성

본 실험에서는 I/O 번지를 200H와 202H로 설정하였으며 출력으로는 Back-Light를 내장한 LM093LN을 사용하였다. LCD의 데이터는 8255의 PA0~PA7에 할당하였고 PB0~PB2는 LCD 표시를 위한 제어용이다. Key 입력은 16개의 Key로 구성하고 Encoder를 통해 16개의 입력신호를 4bit의 2진 값으로 변환하여 8255의 PC0 - PC3에 연결하였다.

### 2.4 데이터 통신부

#### 1. 직렬 통신부

80C196KC의 직렬신호 포트는 3개의 비동기와 하나의 동기 모드를 가지며 수신기는 이중 버퍼로 되어 있다. 본 연구에서는 비동기 통신모드를 사용하였으며 데이터 포맷은 시작 비트(0), 8개의 데이터 비트(LSB우선)와 정지 비트(1)의 10bit로 구성하였다. 본 실험에서 사용된 Baud Rate는 9600BPS(Baud Register:67H)이며 Baud Rate 다음과 같다.

$$Baud \text{ Rate} = \frac{XTAL1}{16 * (Baud \text{ Register} + 1)} \dots\dots(2-2)$$

#### 2. 병렬 통신부

PC 슬롯에 8255 인터페이스카드와, 램드라이브 카드를 장착함으로써 RAM Card만을 수거하여 데이터를 읽을수 있도록 한 통신부이다. C 언어로 작성된 프로그램에 의해 데이터의 입출력 제어 및 4개 RAM Card을 개별선택하고 동작변지는 0x340-3H를 사용하였다. 어드레스 발생부는 5개의 4bit Counter를 직렬로 연결하여 A0~A16의 어드레스를 발생시키고 8255의 PB0은 어드레스 발생부의 CLK으로 사용한다. 8255의 PA0~PA7은 데이터 버스가 되며, PC0는 RD선, PC1은 WR선, PC2~PC5는 각각 CS1~CS4가 되어 4개의 RAM Card중 하나를 선택한다.

### 2.5. RAM CARD부

RAM Card부는 수집된 데이터가 저장되는 곳이며 여기에 사용된 메모리는 1 Mbit SRAM인 681000이 사용되었다. 그림 2-5는 RAM Card부의 구성도이다.

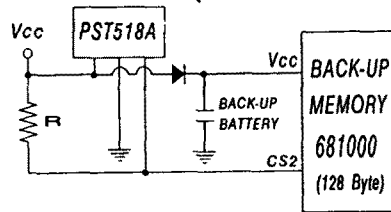


그림 2-5. RAM Card의 구성

또한, P5T518A는 전원 차단시 저장된 데이터 보호기능을 하게 된다. 전원 차단시 Vcc가 4.5[V]이하로 떨어지게 되면 P5T518A는 이것을 감지하여 출력단을 0[V]로 하여 데이터의 RD, WR가 불가능하게 되어 오동작에 의한 데이터의 RD, WR를 방지할 수 있다. 이 때 병렬로 연결된 Back-up Battery에 의해 저장된 데이터를 유지한다.

### 3. 제어 프로그램

본 연구에서 사용된 프로그램 언어는 C언어와 어셈블러를 사용하였으며 그림 3-1, 그림 3-2은 프로그램의 흐름도이다.

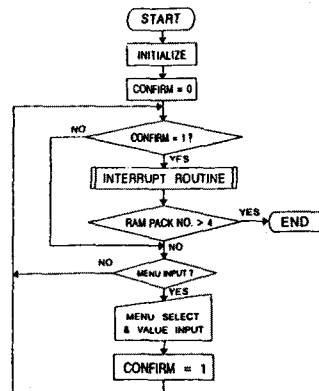


그림 3-1. 주 프로그램의 흐름도

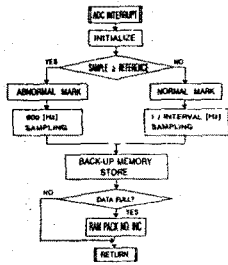


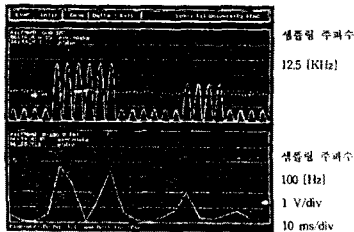
그림 3-2. 인터럽트의 흐름도

#### 4. 실험 결과 및 고찰

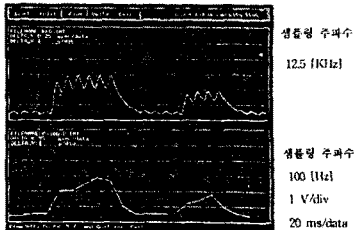
본 실험은 Data Logger 시스템의 정밀성, 신뢰성과 유용성을 입증하기 위하여 두가지 방법 실시하였다.

##### 1) 임의 파형 발생기를 이용한 모의 실험

실 실험에 앞서 현장에서 발생하는 사고 형태를 임의 파형발생기(AFG:Arbitrary Function Generator)를 사용하여 가상적인 신호를 만들어 측정하고 퍼스널 컴퓨터상에서 분석하여 본 시스템의 신뢰성을 확인한 모의실험이다.



(a) 정류된 파형



(b) 콘덴서를 통과한 정류 파형

그림 4-1. A/D 변환파형(샘플링 주파수:12.5KHz, 100Hz)

##### 2) 현장 적용 실험

본 시스템을 분전반에 설치하여 데이터를 수집하고 분석하여 유용성을 입증하였다. 기준값은 200A이고 기준값 이하에서는 1초-999초, 이상이면 600Hz로 데이터를 저장한다.

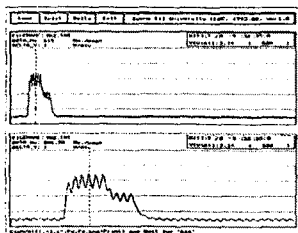


그림 4-3 데이터의 확대파형

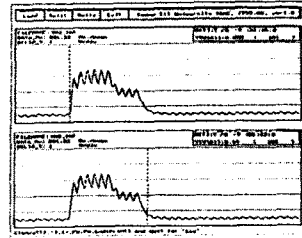


그림 4-4 이상(異常) 상태의 분석

#### 5. 결 론

본 연구에서는 감시를 위한 저 가격의 Data Logger 시스템을 구현함으로써 기존의 아날로그 방식과 비교하여 본 시스템의 신뢰성 및 유용성을 입증하였다. 이를 위해 공장의 분전반에 본 시스템을 설치하여 이상 전류를 검출하고 분석하여 보았다. 이를 통하여 선로에 발생한 이상 상태나 정상시의 시간대별 부하 분포 등을 파악하여 계통의 사고원인 분석 및 예방이 가능함을 보여줌으로 실제 산업 현장에의 적용이 가능함을 보여 주었다.

구현된 시스템은 A/D기능이 내장된 원칩마이크로프로세서를 사용하여 회로를 간소화하였으며 기준 설정 값 및 샘플링 주파수를 응용분야에 따라 적절한 샘플링 주파수 값을 설정할 수 있도록 하였다.

또한, 메모리용량을 최대 512KByte까지 확장하였고 전류를 정상상태(1초 간격)와 이상상태(600Hz)로 구분하여 데이터를 저장하여 메모리를 효율적으로 이용할 수 있도록 하였다.

이러한 Data Logger 시스템은 오지의 자동 감시 및 관리의 편의성 증대, 기존 감시 체계와 호환 가능함으로 관리의 효율성 증대, 교통, 환경 등 제반 분야에 적용 및 방폭용으로 구축하여 사고시 분석용 장비로의 활용이 가능하리라 사료됩니다.

#### 참 고 문 헌

[1] Yutaka Tomita, "A Fast, Simple, and Low Cost Data Acquisition System", IEEE Trans. on Instrumentation and Measurement, Vol IM-33, No. 1, pp.53-55, March, 1984.  
 [2] Abid M. Elabdallra, Ahamad I. Abu-el-haija, "Personal Computer Flexible Multichannel Interface for Data Acquisition of Low Frequency Signals", IEEE Transaction on Instrumentation and Measuremet, Vol. 37, No.December 1988.  
 [3] J.H. Posenau & B.J. Neilson, "A Portable PC Based Data Acquisition System for Water Quality Monitoring", in proc., IEEE Instrumentation Technology conf., pp.93-96, Apr., 1987.  
 [4] William J. Tompkins, Jhon G., "Modern Electronic Instrument and Measurement Techniques", Prentice-Hall, International Editions.