

전압원 인버터 Leg에 대한 출력 전압 극성 검출식 베이스/게이트 구동 억제 방법

박인규

원광대학교 공과대학 제어계측공학과

Output Voltage Polarity Detection type Base/Gate Drive Suppression Method for Voltage Source Inverter Legs

In Gyu Park

Dept. of Control and Instrumentation Eng., Won Kwang University

Abstract - The base/gate drive suppression method proposed by Joshi and Bose is that which detects the output current polarity of the leg and, according to the polarity, suppresses the base/gate drive of one of the two switching devices of the leg. This method has the merit that it does not have the conventional dead time problem, reduces the power loss of the driving circuit, and others. But this method has difficulty in implementation. In this paper, a new base/gate drive suppression method by detecting not the output current polarity but the output voltage polarity is proposed. The proposed method is easier to implement than Joshi and Bose's method.

1. 서 론

본 논문은 전압원 인버터를 구성하는 기본 단위인 그림 1의 leg를 구동하는 방법에 관한 것이다. (그림 1에 있는 단극성, 단방향성 스위치는 BJT, FET, GTO, IGBT 등과 같이 전압 차단 능력이 단극성이고 전류 도통 능력이 단방향성인 스위칭 소자들을 나타낸다 [1].)

그림 1의 leg를 구동하는 종래의 방법은 S_1 과 S_2 를 상보적 방식으로 구동하되, 스위칭 시에 leg가 단락 되는 것을 막기 위해서 매 스위칭에 일정한 dead time을 삽입하는 방법이다. 이 방법은 구현이 쉽다는 것이 장점이지만, dead time에 의해 leg의 스위칭에 오차가 발생한다는 것이 문제점이다. 이 오차는 인버터의 출력에 여러 가지의 나쁜 결과를 초래하며, 때문에 이 오차를 보상하기 위한 여러 연구들이 있어 왔다 [2~6].

그런데 최근 Joshi씨와 Bose씨에 의해 제안된 베이스/게이트 구동 억제 방법 [7]은 주목할 만하다. 이 방법은 leg의 출력 전류 i 의 극성을 검출하여, 그 극성에 따라 S_1 과 S_2 중 하나의 베이스/게이트 구동을 억제하는 방법이다. 이 방법은 기본적으로 dead time 없이 leg를 구동할 뿐 아니라, 구동 회로의 전력 손실을 줄이며, leg의 신뢰성을 높인다는 등의 장점을 갖는다 [7].

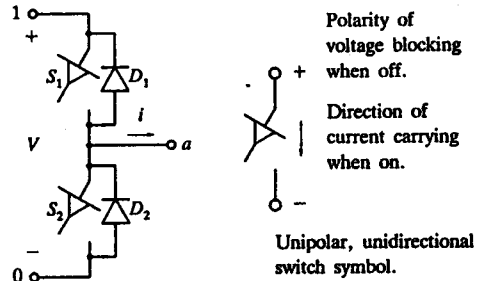


그림 1 전압원 인버터의 leg
Fig. 1 A leg of voltage source inverters

그러나 이 방법은 구현에 어려움이 있다. 첫째, 출력 전류의 파형은 대체로 연속이며 또한 부하 조건에 따라 크게 변하기 때문에 그 극성을 정확하게 검출하기 어렵다. (극성 검출이 정확하지 않으면 심각한 오동작이 발생한다.) 둘째, 출력 전류 극성의 검출을 위한 하드웨어는 (경우에 따라 다르지만) 일반적으로 부담스럽다.

이에, 본 논문에서는 출력 전류의 극성이 아닌 출력 전압 u_o 의 극성(high인지 low인지)의 검출에 의한 새로운 베이스/게이트 구동 억제 방법을 제안해 보고자 한다. 제안하는 방법은 Joshi씨와 Bose씨의 방법보다 구현하기 쉽다.

2. 제안하는 방법

제안하는 방법은 (간략하게 표현하면) leg의 두 스위칭 소자 S_1 과 S_2 중 하나만을 선택하여 구동하고 다른 하나는 오프 상태에 두되, leg의 스위칭에 과도 오차가 아닌 오차가 나타날 때에 선택을 바꾸는 것이다. 스위칭 오차는 출력 전압 u_o 의 극성을 검출하고 이를 기준 신호와 비교함으로써 검출한다.

2.1 선택적 구동

그림 1에서, i 의 극성에 관계없이 임의로, S_1 을 선택하여 S_1 만

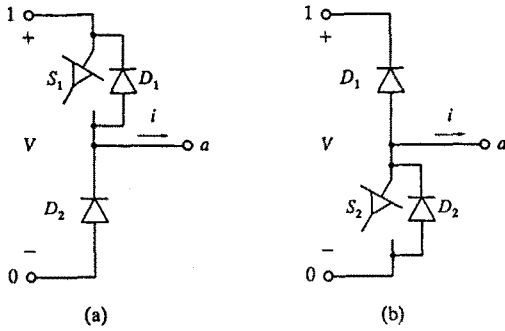


그림 2 (a) S_2 를 오프했을 때의 leg, (b) S_1 을 오프했을 때의 leg

Fig. 2 (a) The leg when S_2 is off, (b) The leg when S_1 is off

을 구동하고 S_2 는 오프 상태에 두는 것을 생각한다. 그러면 그림 1은 그림 2의 (a)와 같게 된다. 그림 2의 (a)는 $i > 0$ 인 한에 있어서는 1상한 직류 효과와 동등하며, 따라서 $i > 0$ 인 한에 있어서는 leg는 S_1 만의 구동에 의해 (dead time의 필요 없이, 그리고 leg 단락의 위험 없이) 잘 스위칭 된다. 그러나 $i < 0$ 이 되면, 전류는 S_1 의 구동에 관계없이 D_1 를 통해서 흐르며, leg의 스위칭에 오차가 나타나게 된다. 이렇게 leg의 스위칭에 오차가 나타날 때에 선택을 바꾸어 S_2 만을 구동하고 S_1 을 오프 상태에 두면, 이번에는 그림 1은 그림 2의 (b)와 같게 된다. 그리고 그림 2의 (b)는 $i < 0$ 인 한에 있어서는 4상한 직류 효과와 동등하며, 따라서 $i < 0$ 인 한에 있어서는 leg는 역시 S_2 만의 구동에 의해 잘 스위칭 된다. 그러나 $i > 0$ 이 되면, 전류는 D_2 를 통해서 흐르며, leg의 스위칭에 다시 오차가 나타나게 된다. 이 때에 다시 선택을 바꾸어 S_1 만을 구동하고 S_2 를 오프 상태에 두면 처음으로 돌아가서 이상의 과정이 반복된다.

2.2 스위칭 오차의 검출

Leg의 스위칭 오차는 leg의 기준 스위칭 신호와 실제의 leg의 스위칭 상태와의 차이이다. 실제의 leg의 스위칭 상태는 출력 전압 v_{ao} 로부터 검출할 수 있다. 절점 a가 절점 1에 연결된 때에는 v_{ao} 에는 전압 V가 나타난다. 그리고 절점 a가 절점 0에 연결된 때에는 v_{ao} 에는 전압 0이 나타난다. (스위칭 소자 및 다이오드에서의 전압 강하는 편의상 무시하였다.) 따라서 v_{ao} 를 측정하여 전압이 V(high)인지 0(low)인지를 판정하면 leg의 스위칭 상태가 검출된다. 검출된 leg의 스위칭 상태와 leg의 기준 스위칭 신호를 비교하면 leg의 스위칭 오차가 검출된다.

그런데, leg의 스위칭 오차 신호에는 스위칭 소자들의 스위칭 과도 시간 때문에 스위칭 시에 과도 오차가 나타난다. 때문에 전류의 극성의 변화 때문에 발생하는 스위칭 오차를 검출하기 위해서는 스위칭 오차 신호에서 이 과도 오차를 배제하여야 한다. 과도 오차의 배제는 기준 스위칭 신호에서 예상 스위칭 과도 시간을 추출하여 스위칭 오차 신호를 masking함으로써 가능하다.

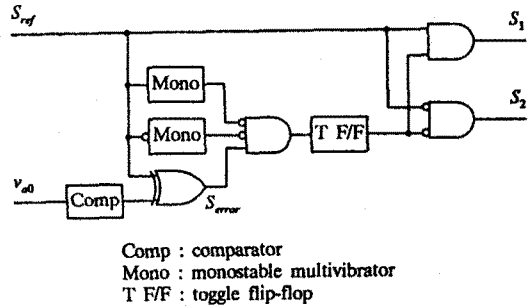


그림 3 제안하는 방법의 블록도

Fig. 3 Block diagram of the proposed method

2.3 블록도

그림 3에 제안하는 방법을 블록도로 나타내었다. 그림 3에서 S_{ref} 는 leg의 기준 스위칭을 나타내는 2진 신호이다. 1은 절점 a가 절점 1에 연결된 상태를, 0은 절점 a가 절점 0에 연결된 상태를 나타낸다. 출력 신호 S_1 과 S_2 는 각각 그림 1의 스위치 S_1 과 S_2 의 구동 신호이다. 1은 턴 온을, 0은 턴 오프를 나타낸다. S_1 과 S_2 는 toggle flip-flop의 상태에 따라 하나만 선택되며 다른 하나는 0이 된다. v_{ao} 는 그림 1의 v_{ao} 의 측정 파형이다. 비교기는 v_{ao} 의 극성이 high인 경우에는 1을, low인 경우에는 0을 출력한다. 비교기의 출력과 S_{ref} 를 비교하면 leg의 스위칭 오차 S_{error} 가 구해진다. 단안정 발진기들은 각각 기준 스위칭 신호 S_{ref} 의 rising 및 falling edge에서 trigger되어 예상 과도 시간만큼의 폭을 갖는 펄스를 만들어 낸다. 예상 과도 시간은 스위칭 소자의 턴 오프 과도 시간과 스위칭 오차 검출 회로의 시지연을 고려해서 충분히 길게 설정한다. S_{error} 는 예상 과도 시간에 의해 masking 되어 toggle flip-flop을 trigger한다.

2.4 성능

제안하는 방법은 기본적으로 dead time없이 leg를 구동한다. 다만, 전류의 극성이 바뀌는 순간에는 경우에 따라 한번의 dead time이 자동적으로 발생한다. (전류의 극성이 바뀌는 순간에 선택된 스위치가 온 상태에 있었을 경우에는 선택된 스위치를 턴 오프할 때부터 leg의 스위칭에 오차가 발생하며, 선택은 턴 오프 예상 과도 시간 이후에 바뀌게 된다. 이것은 선택을 바꾸는 순간에 한번의 dead time이 발생한 결과가 된다. 그러나, 전류의 극성이 바뀌는 순간에 선택된 스위치가 턴 오프 예상 과도 시간 이후의 오프 상태에 있었을 경우에는 전류의 극성이 바뀌는 순간부터 leg의 스위칭에 오차가 발생하며, 이 경우에는 dead time 없이 곧바로 선택이 바뀌게 된다.) 결국, 제안하는 방법은 출력 전류 i_a 가 연속적이고 주기당 극성의 변화가 2번인 경우에는 주기당의 스위칭 수에 관계없이 주기당 최대 2번의 dead time만이 발생한다.

2.5 실험 결과

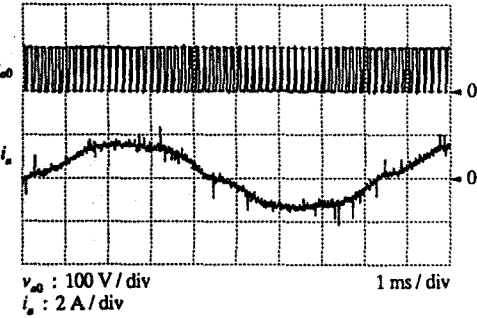
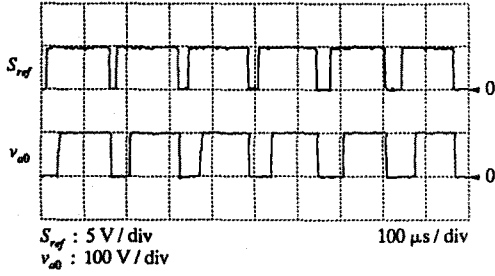


그림 4 종래의 방법에 의한 실험 결과
Fig. 4 Experimental result with the conventional method

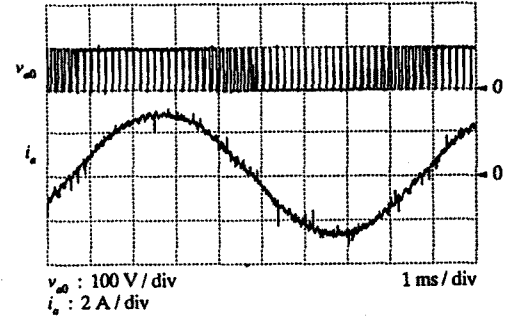
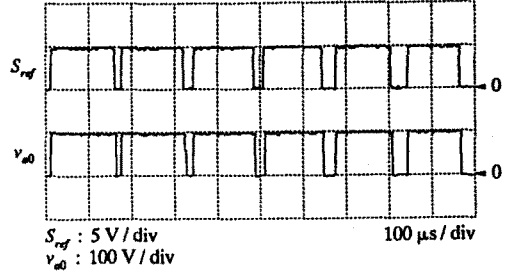


그림 5 제안하는 방법에 의한 실험 결과
Fig. 5 Experimental result with the proposed method

그림 4와 5는 각각 종래의 상보적 구동 방법 및 제안하는 방법을 3상 인버터에 적용한 실험 결과이다. 예상과 같이, 종래의 방법에서는 출력 전압의 파형에 dead time 오차가 발생하지만, 제안하는 방법에서는 dead time 오차가 발생하지 않는다. 그리고 출력 전류 파형도 제안하는 방법이 종래의 방법에 비해 크기가 더 크며 왜곡도 거의 없다. 그림 6은 전류의 극성이 바뀌는 순간에서의 제안하는 방법의 동작 파형들이다. 처음에 S_2 가 선택되어 S_2 만 구동되고 S_1 은 오프 상태에 있다가, 출력 전류 i_o 의 극성이 바뀌면서 출력 전압 v_{o0} 에 오차가 나타났다. 이 오차가 비교기(비교기의 level은 50V였다.)에 의해 검출되어 toggle flip-flop의 상태 S_T 가 바뀌었으며, 그에 따라 선택이 바뀌어 S_1 이 구동되고 S_2 는 오프 상태로 되었다. 그러면서 출력 전압 v_{o0} 의 오차는 곧바로 회복되었다. (실험에서 사용된 스위칭 소자는 450V, 30A급의 BJT이며, 부하는 R-L 직렬 회로이다. 실험 시의 직류 전압은 100V, 기준 전압의 주파수는 122Hz, 스위칭 주파수는 6.1kHz, PWM은 삼각 반송파 방법, 변조율은 0.9, 그리고 종래 방법의 dead time 및 제안하는 방법의 예상 과도 시간은 둘 다 $30\mu\text{s}$ 이다.)

2.6 Joshi씨와 Bose씨의 방법과의 비교

제안하는 방법은 출력 전류 극성의 검출을 요하는 Joshi씨와 Bose씨의 방법에 비해 특히 구현이 쉽다. 첫째, 출력 전류 i_o 의 파형은 대체로 연속이며 또한 부하 조건에 따라 크게 변하기 때문에 그 극성을 정확하게 검출하기 어렵다. (극성 검출이 정확하지 않으면 심각한 오동작이 발생한다.) 반면에, 출력 전압 v_{o0} 의

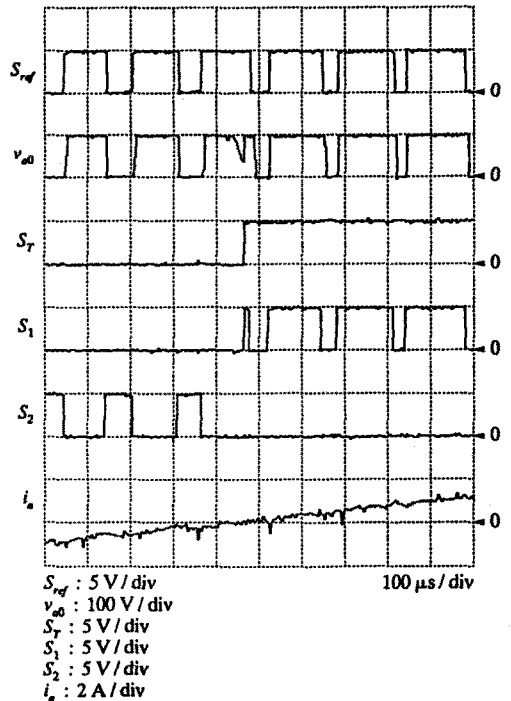


그림 6 전류의 극성이 바뀌는 순간에서의 제안하는 방법의 동작
Fig. 6 Operation of the proposed method at the moment when the current polarity changes

파형은 high 또는 low의 불연속 대(大) 신호이며 부하 조건에 따라 변하지 않기 때문에 극성을 검출하기 매우 쉽다. 둘째, 출력 전압 v_{ω} 의 극성의 검출은 출력 전류 i 의 극성의 검출보다 하드웨어상 부담이 작다. (출력 전류 극성의 검출은, Hall sensor를 사용하는 경우는 특히 가격이 부담이며, 전류 측정용 저항을 사용하는 경우는 특히 각 상마다 별도의 절연된 제어 전원이 필요하다는 것이 부담이다. 반면에, 출력 전압 극성의 검출은, [4]에 제시된 것과 같이, 저항 분압 회로 및 photocoupler를 사용함으로써 쉽게 할 수 있다.) 아울러, 제안하는 방법은 극성 검출 회로의 시지연을 예상 과도 시간에 포함시킬 수 있기 때문에 하드웨어의 높은 정밀도가 요구되지 않는다.

3. 결 론

본 논문에서는 출력 전압 극성의 검출에 의해 전압원 인버터 leg의 베이스/게이트 구동을 억제하는 새로운 방법을 제안하였다. 제안한 방법은 기본적으로 dead time없이 leg를 구동하므로 종래의 dead time 오차가 거의 발생하지 않으며, 구동 회로의 전력 손실을 줄인다는 등의 장점을 갖는다. 제안한 방법은 출력 전류 극성의 검출을 요하는 Joshi씨와 Bose씨의 방법에 비해 구현이 쉽다. 결국, 제안한 방법은 성능과 비용의 양 면에서 좋은 평가를 받을 수 있을 것으로 기대된다.

제안한 방법은 전압원 인버터 뿐만 아니라, 그림 1의 leg로 구성되는 여타의 전력 변환기에도 적용될 수 있다.

참 고 문 헌

- [1] P. Wood., *Switching Power Converters*, Van Nostrand Reinhold Company., 1981, pp. 16-18.
- [2] N. Mohan *et al.*, *Power Electronics: Converters, Applications, and Design*, John Wiley & Sons, Inc., 1989, pp. 92, 141-144, 299, 300, 514, 515.
- [3] R. S. Colby *et al.*, "Simplified model and corrective measures for induction motor instability caused by PWM inverter blanking time," in *IEEE PESC'90 Conf Rec.*, pp. 678-683, 1990.
- [4] Y. Murai *et al.*, "Waveform distortion and correction circuit for PWM inverters with switching lag-times," *IEEE Trans. Ind. Appl.*, vol. 23, no. 5, pp. 881-886, 1987.
- [5] T. Sukegawa *et al.*, "Fully digital, vector-controlled PWM VSI-fed ac drives with an inverter dead-time compensation strategy," in *1988 IEEE IAS Conf Rec.*, pp. 463-469, 1988.
- [6] S. G. Jeong *et al.*, "The analysis and compensation of dead time effects," in *IEEE IECON'88 Conf Rec.*, pp. 667-671, 1988.
- [7] R. P. Joshi and B. K. Bose, "Base/gate drive suppression of inactive power devices of a voltage-fed inverter and precision synthesis of ac voltage and dc current waves," in *IEEE IECON'90 Conf Rec.*, pp. 1034-1040, 1990.