

나종민, 최연익

아주대학교 전자공학과

A Study on the SOI LDMOS with a Tapered Field Plate

Jong-Min Na and Yearn-Ik Choi

Dept. of Electronics Engineering, Ajou University

Abstract

An SOI LDMOS(Silicon-On-Insulator- Lateral Double diffused MOSFET) with a tapered field plate is proposed and investigated in terms of the breakdown voltage and on-resistance using 2-D simulator, MEDICI. The results of conventional SOI LDMOS with a stepped field plate are reported for the comparison. Simulated breakdown voltage of the proposed LDMOS is found to be higher than that of conventional LDMOS since surface electric field can be reduced due to the field plate over the tapered oxide. On-resistance of proposed LDMOS is found to be lower than that of conventional LDMOS by 10 %.

복전압과 온 저항에 대해 2차원 시뮬레이터를 이용하여 조사하고 기존의 LDMOS와 비교하고자 한다.

II. 시뮬레이션

시뮬레이션에 사용된 변수를 표 1에 나타냈다. 메몰 산화막(buried oxide)의 두께가 2 μm, 드리프트 영역의 두께가 15 μm이며 드리프트 영역의 농도는 2×10¹⁵ cm⁻³이다. 이중 확산(double diffusion)에 의한 p영역의 접합깊이를 4 μm, n'영역의 접합깊이를 2 μm로 하였으며 드레인 영역에서 n'의 깊이는 2 μm, 채널깊이는 2 μm로 하였다. 게이트 산화막의 두께는 0.1 μm이고 FP의 길이, L_{FP}는 모두 10 μm로 고정시켰으며, 드리프트 영역의 길이 L_d는 드레인 방향의 채널 가장자리에서 드리프트 영역에 걸쳐 n' 영역까지로 정의하였다. 그림 1(a)은 본 연구에서 제안한 LDMOS의 단면도이고, 그림 1(b)은 기존의 LDMOS이다. 산화막의 두께를 0.1 μm에서 1 μm까지 선형적으로 증가시켰으며 경사각은 5.1°이다. 산화막의 고정 전하량(fixed oxide charge)은 무시하였다. 산화막의 경사영역의 제작은 열산화막 위에 식각물이 빠른 SOG(Spin-On-Glass)를 도포하여 제작할 수 있다[5].

I. 서론

SOI 기판위에 제작된 LDMOS는 IC에 적합한 수평형 소자로서 스위칭 속도가 빠르고, 입력 임피던스가 높으며 SOA(Safe Operating Area)가 넓다는 이점을 갖기 때문에 HVIC (High Voltage IC)와 smart power IC에 많이 사용된다. 특히 절연 격리(dielectric isolation)가 간단히 구현될 수 있기 때문에 접합 격리(junction isolation)에 비해 우수한 격리 특성과 낮은 누설 전류(leakage current)를 얻는다.

SOI LDMOS의 중요 설계요소는 항복전압과 온 저항(on-resistance)이다. 항복전압을 향상시키기 위해 계단형 FP(Field Plate)[1], LDD(Lightly Doped Drain)[2], internal field ring[3], SIPOS[4] 등을 이용하고 있으며, 온 저항은 드리프트 영역(drift region)의 농도를 적절히 변화시켜 단위 면적 당 최소의 저항값을 갖도록 설계한다.

본 연구에서는 SOI LDMOS의 항복전압을 향상시키기 위한 새로운 구조를 제안한다. 드리프트 영역 위 산화막의 두께를 채널 가장자리로부터 n' 드레인 영역 쪽으로 증가시켜 경사를 이루고, 게이트 전극을 경사면을 따라 연장시켜 FP를 설치한다. 새로 제안한 경사진 FP를 갖는 SOI LDMOS의 항

1. 항복전압

시뮬레이션 결과, 항복전압은 경사진 FP를 갖는 SOI LDMOS의 경우 170 V로서 드리프트 영역의 농도에 대한 1차원 항복전압, 178 V에 매우 근접한 높은 항복전압을 얻었다. 한편 기존의 LDMOS인 경우 항복전압은 122 V이었다. 그림 2에 드레인 전압이 100 V일 때 경사진 FP를 갖는 LDMOS의 표면전계를 실선으로 나타냈다. 제안한 LDMOS 구조에서 최대 전계치는 FP의 가장자리에서 나타났으며, 기존의 LDMOST의 경우(점선) 게이트 산화막 가장자리에서 나타났다. 기존의 LDMOS에 비해 최대 전계치가 낮기 때문에 제안한 LDMOS가 기존의 LDMOS에 비해 항복전압이 높은 것을 알 수 있다. 그림 3은 항복전압에서 경사진 FP를 갖

는 SOI LDMOS와 기존의 LDMOS의 동전위선 및 전류경로이다. 제안한 LDMOS는 항복이 p 영역과 드리프트 영역의 접합에서 일어나며 전류경로가 1-D접합 방향으로 이동하였다. 한편 기존의 LDMOS는 최대 전계치가 나타난 게이트 산화막 가장자리에서 전류경로를 보여준다.

2. 온 저항

그림 4는 경사진 FP를 갖는 SOI LDMOS에 대한 I-V 특성이다. 온 저항을 비교하기 위해 FP의 형태를 제외하고 모든 구조를 같게 정의하여 수행하였다. 실선은 경사진 FP를 갖는 SOI LDMOS, 점선은 계단형 FP를 갖는 SOI LDMOS를 게이트 전압이 각각 5V와 10V일 때를 나타낸다. 소자폭을 10 μm 로 가정하여 게이트 전압 10V, 드레인 전류 4A에서 온 저항을 계산하였다. 시뮬레이션 결과 경사진 FP를 갖는 SOI LDMOS의 온 저항은 11.3 Ω 이고 계단형 FP를 갖는 SOI LDMOS의 온 저항은 12.5 Ω 이다. 제안한 LDMOS의 온 저항이 기존의 LDMOS보다 10%정도 작다.

III. 결 론

본 논문에서는 새로 제안한 경사진 FP를 갖는 SOI LDMOS와 기존의 LDMOS에 관해 시뮬레이션을 하여 그 성능을 비교하였다. 제안한 LDMOS는 기존의 LDMOS에 비해 전계집중 현상을 효과적으로 완화시킴으로써 항복전압을 향상시키며, 온 저항에 있어서도 기존의 LDMOS에 비해 낮은 온 저항을 갖는다. 새로 제안한 SOI LDMOS는 기존의 LDMOS에 비해 추가의 마스크가 필요 없이 우수한 특성을 보여주기 때문에 앞으로 power IC 소자로서 응용될 수 있리라 기대된다.

감사의 글

이 연구는 정보통신부 95년도 대학기초연구지원사업으로 수행된 것임.

참 고 문 헌

- [1] S. Colak, B. Singer, and E. Stupp, "Lateral DMOS power transistor design," *IEEE Electron Devices Lett.*, vol. EDL-1, pp.51-53, 1980.
- [2] M. Cornell, R. Williams, and H. Yilmaz, "Impact ionization in saturated high-voltage LDD lateral FETs," *Proc. ISPSD*, pp.164-167, 1991.
- [3] A. Nezar, and C. Salama, "Optimization of the breakdown voltage in LDMOS transistors using

internal field rings," *Proc. ISPSD*, pp.149-153, 1991.

- [4] G. Charitat, M. Bouanane, and P. Rossel, "A new junction termination technique for power devices: RESURF LDMOS with SIPOS layers," *Proc. ISPSD*, pp.213-216, 1992.
- [5] Y. I. Choi, C. K. Kim, and Y. S. Kwon, "Graded etching of thermal oxide with various angles using silicafilm," *IEEE Electron Device Lett.*, vol. EDL-1, p. 30, 1980.

표 1. 시뮬레이션에 사용된 변수들

드리프트 영역의 농도	$2 \times 10^{15} \text{ cm}^{-3}$
드리프트 영역의 두께	15 μm
매몰 산화막의 두께	2 μm
p 영역의 접합깊이	4 μm
n' 영역의 접합깊이	2 μm
채널 길이	2 μm
게이트 산화막의 두께	0.1 μm
field plate의 길이	10 μm

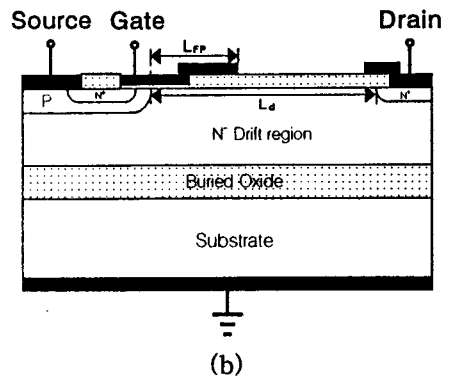
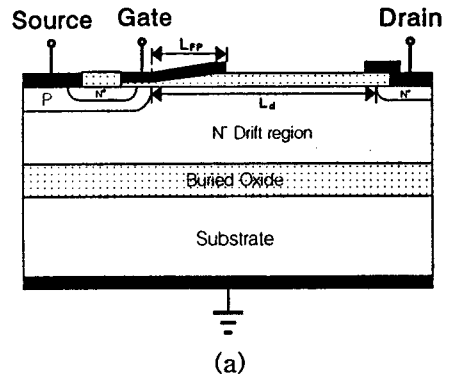


그림 1. FP를 갖는 SOI LDMOS의 단면도

(a)본 연구에서 제안한 경사진 FP 구조

(b)기존의 계단형 FP 구조

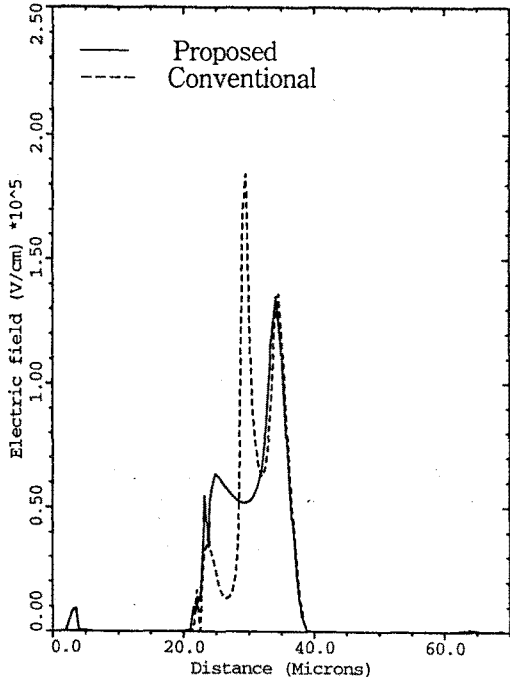


그림 2. 드레인 전압이 100 V일 때 SOI LDMOS의 표면전계 분포

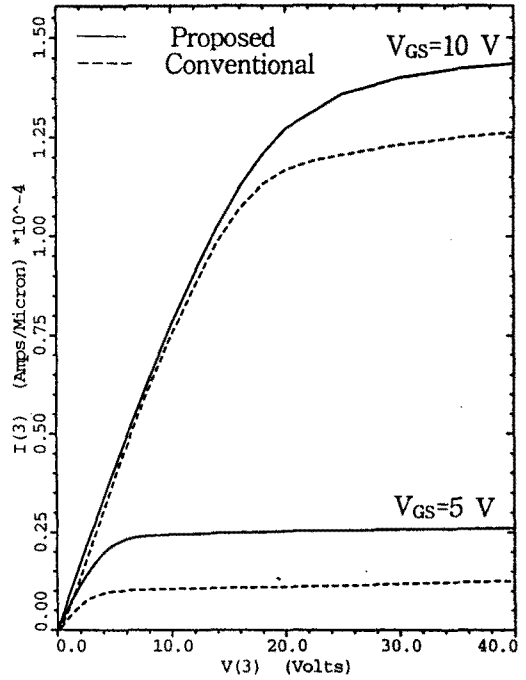
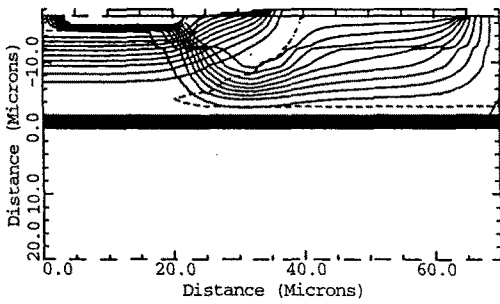
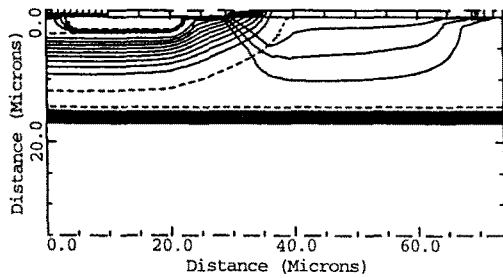


그림 4. 게이트 전압이 5V와 10V일 때 I-V 특성



(a)



(b)

그림 3. 항복전압에서의 등전위선 및 전류경로

(a)본 연구에서 제안한 FP 구조

(b)기존의 계단형 FP 구조