

# 비균일 양자기에 의한 과표분화율의 멀티비트 시그마-델타 A/D 변조기의 개발

\* 朴鍾演 \*\* 張牧淳

\* 강원대학교 전기공학과 교수

\*\* 강원대학교 대학원 전기공학과 박사과정

## Development of Oversampled Multibit Sigma-Delta A/D Converter with Nonuniform Quantizer

\* Chong-Yeun Park \* Mok-Soon Jang

\* Dept. of Elect. Eng. Kangwon Nat. Uni.

### Abstract

This paper has represented the new system for a multibit oversampled sigma-delta A/D converter. The novel digital correction scheme with the ROM-Table is employed to enhance SNR without requiring accurate precision of the analogue components. This architectures have a good features compared with the 1-bit approach, including significantly lower quantisation noise for a given oversampling ratio, as well as improved stability characteristics.

Then we have shown the validity of the proposed system by use of the software for the performance evaluation and by realizing the system with SCFs(switched capacitor filter).

### I. 서론

과표분화율을 갖는 시그마-델타 변조기는 적분기와 양자기 및 데시메이션 필터로 구성되며, 양자기에서 발생한 양자화잡음을 적분기에 의해서 신호대역 밖의 고주파 영역으로 이동시킨 다음 데시메이션 필터에서 신호대역만 통과시키므로 높은 SNR을 얻을 수 있다. 또한 이러한 과표분화율을 갖는 시그마-델타 변조기는 기존의 1-비트 시스템에서 최근에는 내부 ADC와 DAC를 멀티비트로 함으로써 보다 높은 SNR과 안정도를 가질 수 있는 연구가 진행되고있다. [1],[2]에서 ADC는 멀티비트로 사용하고 DAC는 1-비트로 사용하여 멀티비트 DAC의 비선형성에 의해 발생하는 잡음을 제거하였다. 그리고 [3]에서는 수정기법을 사용하였으며, [4]에서는 3차 멀티비트 변조기를 사용하였으며 멀티비트 DAC의 비선형성에 의해 발생하는 잡음을 줄이기 위해 피드백 경로를 사용하였으며, [5]에서는 첫 단(stage)은 1-비트 ADC와 DAC를 사용하였고, 둘째 단에서 멀티비트 ADC와 DAC를 직렬 연결하여 시스템을 실현하였다.

본 연구에서는 아날로그 소자의 정밀도의 개선 없이 멀티비트 ADC의 출력단에 ROM-Table에 의한 디지털 교정에 의해서 멀티비트 DAC의 비선형성에 의해 발생하는 잡음을 감소시켰다. 이렇게 하므로써 높은 SNR를 얻을 수 있었으며, 피드백 루프에 대한 DAC의 민감도를 낮추어 시스템 전체의 안정도를 향상시킬 수 있었으며, 1-비트 변조기에 비해 총 처리 비트 수를 감소시킬 수 있었다. 그리고 다양한 A/D 변조기에 대한 성능평가 프로그램을 개발하였으며 정현파를 입력으로하여<sup>[6]</sup> 각 변

조기의 성능을 평가하였으며, SCF(Switched Capacitor Filter)을 이용하여 회로를 제작하여 제안된 회로의 타당성을 입증하였다.

### II. 비균일 멀티비트 양자기의 설계

본 연구에서는 멀티비트의 ADC와 DAC로 2차의 시그마-델타 A/D 변조기를 그림1과같이 제안하였다.

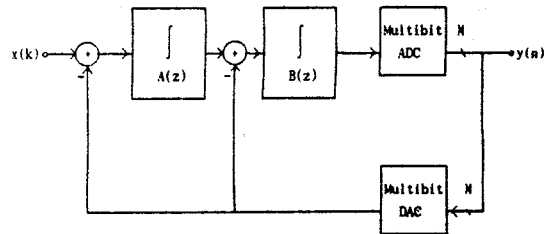


그림 1. 멀티비트 시그마-델타 A/D 변조기의 개략도

기존의 연구에서는 ADC를 대부분 1-비트의 비교기를 썼으나 본 연구에서는 비균일(Nonuniform) 멀티비트 양자기를 사용하여 비선형 압신(Companding)을 한 PCM(Pulse Coding Modulation)의 특성을 갖도록 하였다.<sup>[7]</sup> 따라서 입력의 크기에 따라 심각한 양자화 잡음을 가지는 1-비트 양자기와 멀티비트의 균일한 스텝을 갖는 양자기에 비해 비균일 멀티비트 양자기의 잡음은 자기상관계수값이 작아져서 백색잡음으로 가정할 수 있으므로 잡음의 전력(power)이 주파수에 대해 균일한(uniform) 분포를 갖게 되어 적분기에서 신호대역 밖으로 이동시킨 잡음을 데시메이터에서 보다 효과적으로 제거되므로 SNR(signal to noise ratio)를 향상시킬 수 있다.<sup>[8]</sup>

이와같은 비균일 멀티비트 양자기는 입력의 확률밀도함수(pdf : Probability density function)가 높은 곳에서 선택간격(Decision Interval)을 작게하고 확률밀도함수가 낮은 곳에서는 선택간격을 크게하므로써 보다 정확한 양자화를 할 수 있다. 시스템의 실현을 위한 순서는 아래와 같고, 실현 방법은 그림2와같다.<sup>[9]</sup>

- ① 입력신호를 비선형 압신특성을 갖는  $C(\cdot)$  함수에 의해서 압신된 신호  $C(x)$ 를 만든
- ② 압신된 신호  $C(x)$ 는 균일한 양자기에 의해서 양자화함.
- ③ 비선형 변환특성을 갖는  $C^{-1}(\cdot)$ 에 의해 압신된 신호  $C(x)$ 를 확장 시킨다.

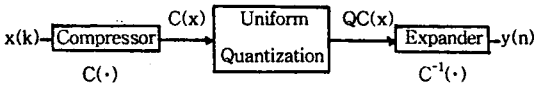


그림 2. 비균일 양자화 과정

이때 선택간격 밀도는 식(1) 같으며

$$\frac{dc(x)}{dx} \approx \frac{2x_{max}}{L\Delta k} \dots\dots\dots(1)$$

여기서  $\Delta k$ 는 비균일 스텝이고, L은 양자기 레벨수이며, x의 범위는  $-x_{max}$ 에서  $+x_{max}$ 이다.

또한 비균일 멀티비트 양자기의 최소 스텝 크기와 최대 스텝 크기의 비는 식(2)과 같이 나타나며

$$\frac{\max[\Delta]}{\min[\Delta]} = \frac{dc(x)/dx|_{x=0}}{dx(x)/dx|_{x=x_{max}}} \dots\dots\dots(2)$$

$$= \frac{G_c}{dx(x)/dx|_{x=x_{max}}}$$

여기서  $G_c$ 는 압신이득(companding gain)이며, 본 연구에서 사용한 양자기 레벨에서  $\max[\Delta]/\min[\Delta]$  비에 대한 SNR 예는 다음 표1과 같으며,  $\max[\Delta]/\min[\Delta]$ 의 비가 클수록 SNR이 증가하는 경향을 나타냈으며 비가 12 이상을 때 다소 감소하는 경향을 나타냈다.

표 1. 양자기 레벨의  $\max[\Delta]/\min[\Delta]$  비에 대한 SNR 예

$\max[\Delta]/\min[\Delta]$	1	3	6	9	12	49
SNR	88.35	89.66	90.17	90.26	90.33	90.23

### III. DAC 및 디지털 교정(Digital Correction)

멀티비트 양자기를 쓴 경우가 최근에서야 연구되는 원인은 멀티비트 양자기가 사용되면 DAC도 멀티비트가 사용되어야 하며 이때 멀티비트 DAC가 고도의 조화(matching)가 요청되며<sup>[10][11]</sup>, 그렇지 않을 경우 멀티비트 DAC의 비선형성에 의한 잡음이 SNR을 급격히 낮추는 심각한 문제가 발생한다. 본 연구에서는 이러한 문제를 해결하기 위해서 디지털 교정(Correction)방법에 의한 조정(Trimming) 기법을 도입하였으며 그림3과 같다.

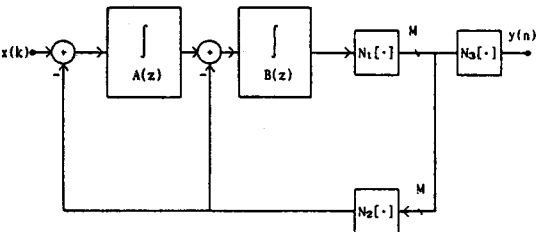


그림 3. 본 연구에서 제안한 교정에 의한 비균일 멀티비트 시그마-델타 A/D 변조기 구성도

그림3에서 입,출력신호와 N1, N2 및 N3과의 관계는

$$Vf(t) \approx Vin(t)$$

$$Vf(t) = N3[ V1(t)] \dots\dots\dots(3)$$

$$Vout(t) = N2[ V1(t)]$$

식(3)과같이 표현할 수 있으며, 여기서  $N2[ \cdot ] = N3[ \cdot ]$  라면  $Vout(t) = Vin(t)$ 가 된다. 즉  $N2[ \cdot ]$  과  $N3[ \cdot ]$  을 정합시키면 그림3의 시스템이 멀티비트 DAC에 의한 비선형성이 감소된다. 따라서 본 연구에서는  $N2[ \cdot ]$  과  $N3[ \cdot ]$  의 비선형성을 감소시키기 위하여  $N3[ \cdot ]$  를 ROM-Table에  $N2[ \cdot ]$  과  $N3[ \cdot ]$  를 정합시키기 위해 미리 정해진 값을 저장시켜 놓으므로써 이것에 의해 디지털 교정을 실현하여 DAC의 비선형성을 개선함으로써 잡음을 감소시켜서 SNR를 증가시킬 수 있다. 그러나  $N2[ \cdot ]$  과  $N3[ \cdot ]$  자체가 비선형적인 시스템이므로  $N2[ \cdot ]$  과  $N3[ \cdot ]$  를 정합시키는 ROM-Table 값을 구하기가 매우 어렵다. 따라서 본 연구에서는 A/D 변조기의 성능을 평가할 수 있는 프로그램을 개발하였으며, 이 프로그램에 의해 ROM-Table 값을 변경시키면서 반복 수행하여 가장 큰 SNR를 갖는 ROM-Table 값을 구하였으며 예로 표2과 같다.

표 2. sine파 입력에 대한 ROM-Table 값의 예

양자기 종류	과표본화율	ROM-Table 값					SNR			
		2-bit 양자기	64	15	0.125	-0.125		-15	90.01	
2-bit 양자기	64	25	0.125	-0.125	-25	91.25				
3-bit 양자기	32	15	0.5	0.25	0.125	-0.125	-0.25	-0.5	-15	87.71
3-bit 양자기	32	25	0.5	0.25	0.125	-0.125	-0.25	-0.5	-25	89.12

### III. 결과 및 고찰

#### III-1. 시뮬레이션

제안된 구조의 이론적 타당성을 확인하고 성능을 평가하기 위하여 그림4와같은 흐름도에 의하여 프로그램을 개발하였다.

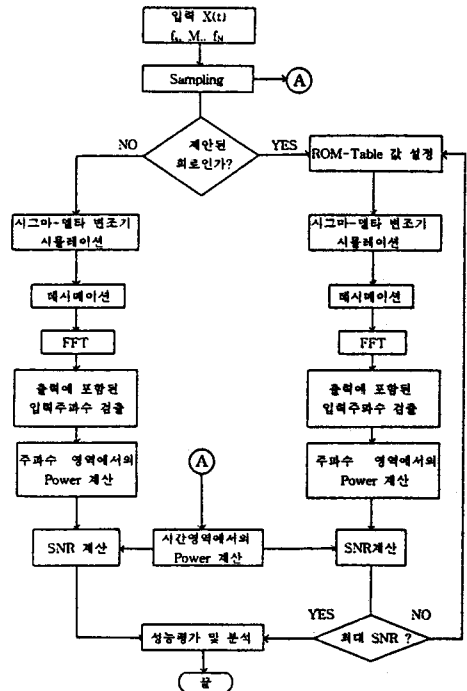


그림 4. 본 연구에서 개발한 성능평가 프로그램의 흐름도

본 연구에서는 제안된 ROM-Table에 의한 교정회로인 경우 먼저 ROM-Table에 임의의 교정값을 입력하고 변조기 시물레이션을 수행후 SNR를 계산하고, 다시 ROM-Table 값을 변화시켜 변조기 시물레이션을 수행한 후 다시 SNR를 계산한다. 이러한 과정을 반복 수행하여 가장 큰 SNR를 갖는 ROM-Table 값을 결정한다.

### III-2. 특성 해석

본 연구에서 개발한 성능평가 프로그램에 의해 표3의 조건하에서 시물레이션한 결과 다음과 같다.

표 3. 시스템에 주어진 조건

시스템의 종류	양자기 레벨수	표본화 주파수	과표본화율	총 사용 비트
1-bit 변조기	2	512kHz	128	512k-bit
제안된 2-bit 변조기	4	256kHz	64	512k-bit
제안된 3-bit 변조기	8	128kHz	32	384k-bit

#### ① 과표본화율에 대한 SNR

입력신호의 진폭을 1.0, DC 성분을 0, 입력주파수를 4000Hz 과표본화율의 변화에 대한 기존의 1-비트 시스템과 제안된 시스템에 대한 SNR는 그림5와 같으며 그 결과는 과표본화율이 클수록 높은 SNR를 값을 나타냈으며, 제안된 시스템이 총 사용 비트 수를 줄이면서도 높은 SNR를 가지는 것으로 나타났다.

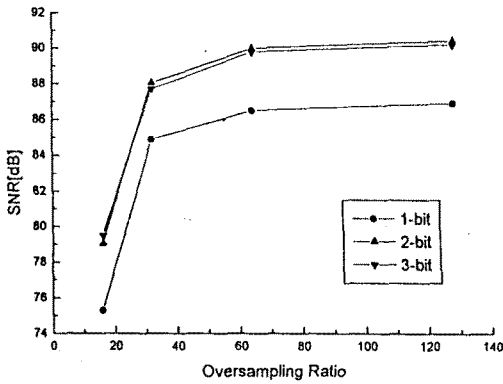


그림 5. 과표본화율에 대한 SNR

#### ② 입력의 크기에 대한 SNR

DC 성분을 0, 입력주파수를 4000Hz와 표3의 조건하에서 입력 크기의 변화에 대한 기존의 1-비트 시스템과 제안된 시스템에 대한 SNR는 그림6과 같으며, 2-비트의 경우가 3-비트에 비해 비교적 입력의 크기에 대한 민감도가 낮은 것으로 나타났다.

#### ③ 입력 주파수에 대한 SNR

입력신호의 진폭을 1.0, DC 성분을 0과 표4의 조건하에서 입력주파수를 변화시켰을 때 기존의 1-비트 시스템과 제안된 시스템에 대한 SNR는 그림7과 같으며 그 결과 입력주파수가 높을수록 SNR이 떨어지는 것은 과표본화율이 작아지기 때문이며, 3-비트 양자기에 의한 변조기는 입력 주파수에 대한 민감도가 비교적 큰 단점을 보였으며, 기존의 1-비트 변조기는 전체적인 SNR는 작지만 입력주파수에 대한 민감도가 작은 장점을 보였다.

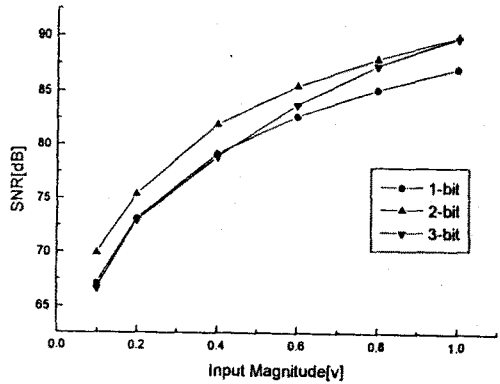


그림 6. 입력의 크기에 대한 SNR

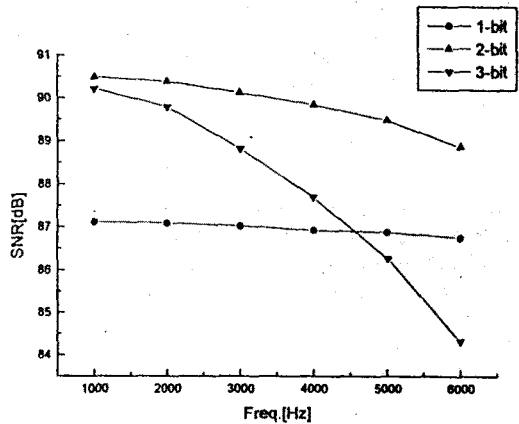


그림 7. 입력주파수에 대한 SNR

### III-3. 하드웨어 실현 및 결과

그림3에서 시스템의 적분기 부분을 스위치드 캐패시터 필터(SCF : Switched Capacitor Filter)를 이용한 적분기로 대체하여 교정에 의한 비균일 멀티비트 시그마-델타 A/D 변조기를 그림8과 같이 제안하였다. 제안된 회로에서 ADC와 DAC는 8-비트의 변조기를 사용했으며 ADC는 OR-게이트에 의하여 8-비트의 출력을 2-비트로 만들었으며, 이렇게 만든 2-비트의 출력을 DAC의 8-비트의 단자중 앞에서 구한 ROM-Table 값에 가장 가까운 2개의 비트를 선정하여 ADC의 2-비트 출력을 연결하였다.

실험은 정현파 100Hz, 크기 0.8[V]인 신호를 입력으로 하여 2-비트의 비균일 양자기를 사용하여 과표본화율을 8로 하였으며, 그 결과 그림9와 같이 '0' 근처에서는 간격이 작고, 신호의 최대값 부분에서는 간격이 넓은 비균일 4레벨의 변조기 특성이 나타났다. 따라서 SCF에 의해 제안된 회로가 타당함을 보였다.

### IV. 결론

본 연구에서는 아날로그 소자의 정밀도의 개선 없이 멀티비트 ADC의 출력단에 ROM-Table에 의한 디지털 교정에 의해 멀티비트 DAC의 비선형성에 의해 발생하는 잡음을 감소시켰다. 이렇게 하므로써 높은 SNR를 얻을 수 있었으며, 피드백 루프에 대한 DAC의 민감도를 낮추어 시스템 전체의 안정도를 향상시킬 수 있었으며, 1-비트 변조기에 비해 총 처리 비트 수를 감소

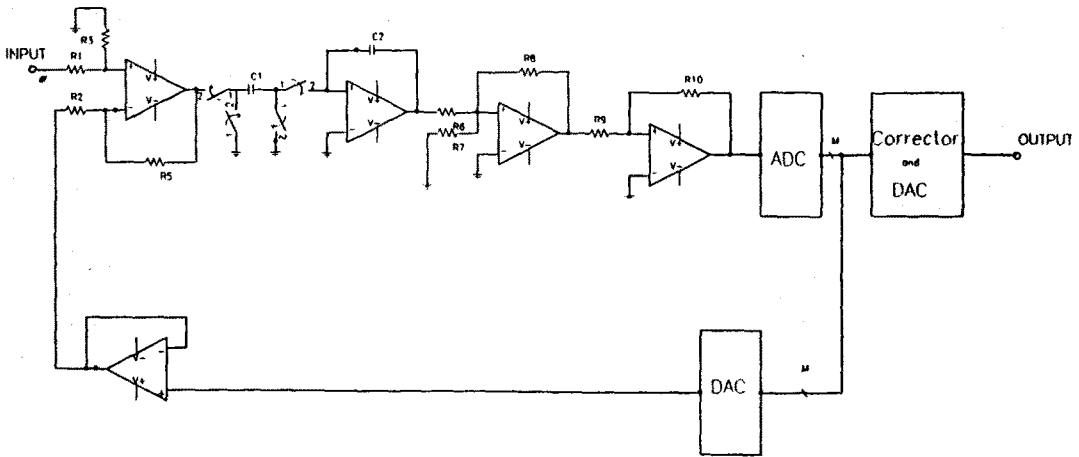


그림 8. 본 연구에서 실현한 시그마-델타 A/D 변환기

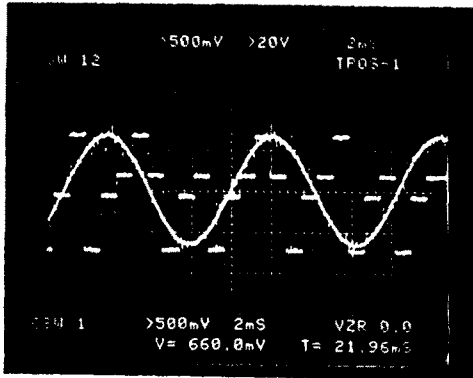


그림 9. 본 연구에서 제안한 회로의 하드웨어 실험결과 (2-비트 비균일 변조기)

시킬 수 있었다.

또한 A/D변조기에 대한 SNR, DR(Dynamic Range), 의 곡동을 해석할 수 있는 성능평가 프로그램을 개발하였으며, SCF(Switched Capacitor Filter)을 이용하여 디지털 고정틀 가지는 비균일 멀티비트 시그마-델타 A/D 변조기 회로를 제안하였으며 실제제작하여 제안된 회로의 타당성을 입증하였다.

## V. 인용문헌

- [1] LESLIE, T.C, and SINGH, 'Sigma-delta modulators with multibit quantising elements and single-bit feedback', IEE Proc. G, vol. 139(3), pp.356-362, 1992.
- [2] HARRIS, F., BROOKING, E., and McKNIGHT, B., 'Improved performance of multibit delta-sigma analog to digital convertors via requantisation', Proceedings of the IEEE International symposium on Circuits and systems, pp.1629-1632, 1991.
- [3] LARSON, L. E, CATALTEPE, T., and TEMES, G.C, 'Multibit oversampled sigma-delta convertor with digital error correction', Electron. Lett., vol. 24, pp.1051-1052, 1988
- [4] HAIRAPETIAN, A, TEMES, G.C and ZHANG, Z.X, 'Multibit sigma-delta modulator with reduced sensitivity to DAC nonlinearity', electron. Lett., vol. 27, pp.990-991, 1991
- [5] TAN, N. and ERIKSSON, S., 'Fourth-order two-stage delta-sigma modulator using both 1-bit and multibit quantisers', Electron. Lett., vol.29, pp.937-938, 1993
- [6] N.S. JAYANT-PETER NOLL, 'Digit coding of waveform principles and applications to speech and video', Prentice-Hall, Englewood Cliffs, pp125, 1984
- [7] Z. ZHANG, G.C.TEMES, 'Multibit overdamped sigma-delta A/D convertor with nonuniform auantisation', ELECTRONICS LETT., vol.27, No.6, 14th, Mar. 1991.
- [8] N.S. JAYANT-PETER NOLL, 'Digit coding of waveform principles and applications to speech and video', Prentice-Hall, Englewood Cliffs, pp158, 1984
- [9] N.S. JAYANT-PETER NOLL, 'Digit coding of waveform principles and applications to speech and video', Prentice-Hall, Englewood Cliffs, pp130, 1984
- [10] P.JU and D.G. Vallancourt, "Quantization Noise Reduction in Multibit Oversampling  $\Sigma$ - $\Delta$  A/D converters", Electronics Letters, vol.28, No.12, pp.1162 - 1163, June, 1992.
- [11] N.Tan and S. Eriksson, "New Multibit Delta-Sigma Modulator structure with reduced sensitivity to the D/A conversion error", IEE proc.-G, vol.140, No.6, pp.444-448, 1993.

<후기>

본 연구는 한국과학재단 95년도 핵심 전문연구비 지원에 의하여 수행되었습니다 ( 과제번호: 951-0915-034-1)