

영전압 스위칭 컨버터의 고속 스위칭에 관한 연구

‘김인수, 김의찬, 이병하’, 성세진

충남대학교 전기공학과, 국방과학연구소’

A Study On The High Frequency Switching Of Zero Voltage Switching Converter

‘Insoo Kim, Euichan Kim, Byungha Lee, Sejin Sung

Dept. of Electrical Eng. Chungnam Univ.

Abstract - In this paper, a design method of the phase shift ZVS-PWM converter is proposed to minimize the volume and increase the efficiency. The trade-offs of switching frequency, efficiency vs volume and ZVS range vs efficiency is also presented. The simulation of the designed converter is performed using the P-SPICE in which a phase-shift controller is proposed. For minimization of the converter volume, switching frequency is selected 100kHz, a simple drive circuit and single auxiliary supply are applied. In consideration of efficiency and load condition, ZVS range is decided from 50% to full load. A 28V, 1Kwatt prototype converter, of which the switch is MOSFET, is made, verified the performance.

1. 서 론

최근 제안된 위상이동-ZVS-PWM 컨버터는 회로의 기생 요소인 스위칭 소자의 출력 캐패시터와 변압기의 누설 인덕턴스를 공진요소로 활용하여 스위칭 소자가 ZVS(Zero Voltage Switching) 조건에서 스위칭하게 해준다. 이렇게 함으로서 전압과 전류가 증복되는 것에 따른 스위칭 손실을 제거할 수 있게 되며, 소자의 전압 스트레스도 크게 줄여주게 된다. 공진 요소인 출력 캐패시터스 및 누설인덕턴스는 기존의 풀 브릿지 방식에서 효율저하를 초래하는 요소였으나, 위상이동 ZVS 기술에서는 이 요소들을 이용하여 ZVS를 이루게 된다.

그림 1에 본 연구에 적용된 ZVS-PWM 컨버터의 회로 및 파형을 나타내고 있다. 이 방식은 일반적인 풀 브릿지 PWM 컨버터보다는 다소 높은 일차측 실효전류를 보이지만, 공진형 컨버터보다는 훨씬 낮은 값을 나타낸다. 이 토클로지는 1차측 스너버의 필요성을 배제시켜 스너버 회로에 의한 손실을 없애고 회로를 단순화 할 수 있게 해준다. 그리고 증진된 전력밀도 및 변환효율로 보다 높은 스위칭 주파수의 운용을 가능케 하여 전원장치의 소형화를 이룰수 있게 한다. 이와같은 ZVS 기술은 그 잇점으로 인하여 고전력, 고주파수 용용에 더욱 적합하며, 또한 EMI/RFI를 줄여 최근 대두되는 전자파 규제(EMI) 및 전자파 적합성(EMC) 요구에 잘 부합된다.

본 논문에서는 소형, 고 효율화를 위한 위상이동 ZVS-PWM 컨버터의 설계방법을 제시했다. 그리고 스위칭 주파수, 효율 대 부피 및 ZVS 영역 대 효율 사이의 trade-offs에 관해 기술하였다. 설계된 컨버터의 동작은 P-SPICE를 이용하여 모의실험되어졌고, 모의실험 용 위상이동 제어기가 제시되어졌다. 소형화 관점과 효율 및 부하조건 등을 고려한 28V, 1Kwatt 용량의 프로토타입 컨버터가 스위칭소자 MOSFET를 이용하여 만들어졌으며, 성능을 확인하였다.

2. 영전압 스위칭(ZVS) 해석 및 설계

2. 1 동작원리

대각선의 스위치들이 함께 구동되는 것 대신에 의도적인 시간지연이 스위치의 턴-온사이에 도입되어 위상이동 개념이 이룩된다. 이 시간지연은 제어회로의 전압루프에 의해 조절되며, 실제 시비율은 그림 1에 보여진 대로 구동신호 사이의 위상이동의 변화에 의해 조절된다.

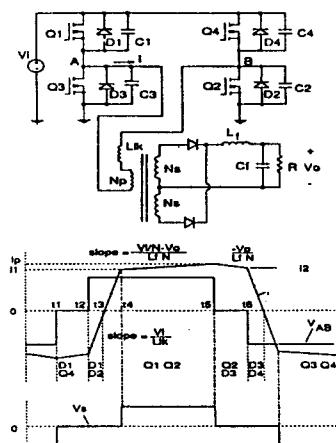


그림 1 ZVS-PWM 컨버터 기본회로 및 1, 2차측 파형

그림 1의 파형해석을 통해 동작원리를 살펴보면, D1 및 Q4가 도통된 상태에서, 시간 t2에서 Q4스위치가 turn-off 한다. 이때 변압기의 누설 인덕턴스에 저장된 에너지는 Q4의 출력 캐패시터를 충전시키고, 동시에 Q2의 출력 캐패시터는 방전시킨다. 그 결과 Q2에 내장된 다이오드 D2는 도통되게 된다. D2가 도통된 후 Q2를 턴-온시키게 되면 이 스위치는 영 전압상태에서 턴-온될 수 있다. 이러한 영 전압 턴-온을 이루기 위하여 변압기의 누설 인덕턴스에 축적된 에너지는 MOSFET의 출력 캐패시터에 축적된 에너지보다 커야된다. 그러므로 이러한 컨버터는 경부하 운용시 ZVS 특성을 잃게된다. t6에서의 Q4에 대한 동작도 Q2에 대한것과 동일하다.

시간 t5에서 Q1이 턴-오프되고, 일차측을 흐르는 전류는 Q3의 출력 캐패시터를 방전시키고, 동시에 Q1의 출력 캐패시터는 충전시키게 된다. 그 결과 Q3에 내장된 다이오드 D3는 도통되게 되며, D3가 도통된 후 Q3는 영 전압상태에서 턴-온될 수 있게 된다. 이 경우 Q1이 턴-오프할 때 변압기의 일차

측을 흐르는 전류는 부하전류가 일차측에 반사(reflected)된 전류로서, 이것은 이차측의 큰 필터인덕터에 저장된 에너지가 Q3, Q1의 ZVS를 이루는데 이용된다는 의미한다. 그러므로 Q1 및 Q3에 대한 ZVS는 변압기의 누설 인덕턴스의 에너지만을 이용하는 Q2, Q4에 비해 비교적 쉽게 이루어 진다.

2. 2 ZVS 요구조건

2.2.1 누설 인덕턴스의 요구

Q2 턴-오프전 일차측 전류는 Q2와 D3를 통하여 순환되고, 일차측 변압기 전압은 영으로 고정된다. Q2가 턴-오프될 때 일차측 전류는 D4를 도통해 하고, 누설 인덕턴스에 남아있는 에너지는 전원소스에 되돌려 진다. D4를 턴-온시키기 위해 Q4의 출력 캐패시터는 방전되어져야 하고, Q2의 출력 캐패시터는 입력전압으로 충전되어져야 한다. 시간 t6 (또는 t2) 직후 이 캐패시터들의 충방전에 이용되는 에너지는 누설 인덕턴스에 축적된 에너지이다. 또한 변압기의 권선 캐패시턴스 (CTR)도 이과정에서 충전되어져야 한다. 그래서 누설 인덕턴스, L_{leak} 의 에너지는 다음 식을 만족하여야 한다.

$$E = \frac{1}{2} L_{\text{leak}} I_2^2 > \frac{4}{3} C_{\text{MOS}} V_{\text{in}}^2 + \frac{1}{2} C_{\text{TR}} V_{\text{in}}^2 \quad (1)$$

L_{leak} 에 저장된 에너지는 부하전류에 비례하므로, Q2 및 Q4에 대한 ZVS는 컨버터의 부하상황에 영향을 받는다. 경부하시, L_{leak} 를 흐르는 전류는 MOSFET의 출력 캐패시턴스를 충방전 시키기에 부족하게 된다. 이에 따라 역 병렬 다이오드 (D2 및 D4)의 턴-온이 보장되지 못해 ZVS 특성을 잃게된다. 따라서 누설 인덕턴스는 ZVS를 이루는 최소 부하전류에서 웃식을 만족하게 설정 되어야 한다.

2.2.2 데드타임(Dead time)의 요구

Q4의 ZVS를 이루는데 있어, Q4 턴-온전 D4의 도통을 보장하기 위해, Q2의 턴-오프와 Q4의 턴-온 사이에 데드타임이 필요로 하게된다. 이 데드타임 동안 변압기의 누설 인덕턴스와 MOSFET의 출력 캐패시턴스 사이의 공진에 의해, 턴-온하려는 MOSFET의 역 병렬 다이오드가 도통되어 영전압 상태를 유지하게 된다. 만일 이 데드타임이 너무 길게 되면 출력 캐패시터로 건네진 에너지가 다시 되돌려져, 턴-온하려는 MOSFET의 역 병렬 다이오드는 차단되며, 영전압 상태 또한 잃게 된다. 이 현상은 일반적인 풀브릿지 PWM 컨버터에서도 볼 수 있다.

공진 과정에 포함된 소자들을 알고 있으므로, ZVS 상태에서 최대 부하범위를 확보하기 위해 요구되는 데드타임을 결정할 수 있다. L_{leak} 및 C_{MOS} 와 C_{TR} 사이의 공진은 캐패시터들에 정현파 전압을 제공하는데, 이 전압은 입력전압을 넘어서게 되면 그 전압으로 클램핑 되며, 넘어서지 못하게 되면 공진주기의 1/4에서 피크가 된다.

$$\delta_{\text{dead}} = \frac{T}{4} = \frac{\pi}{2} \sqrt{L_{\text{leak}} C} \quad (2)$$

($C = C_{\text{MOS}} + C_{\text{TR}}$)

Q2 와 Q4 사이의 데드타임은 공진주기의 1/4인 δ_{dead} 로 설정되는데, 이렇게 함으로서 누설 인덕턴스에 저장된 모든 에너지가 캐패시턴스의 충방전에 활용토록 하게 함이다.

Q1 및 Q3 사이에 요구되는 데드타임 δ_{dead} 은 다음 식에 의해 계산된다.

$$4C_{\text{MOS}}V_{\text{in}} + C_{\text{TR}}V_{\text{in}} = I_b \delta_{\text{dead}} \quad (3)$$

여기서 $4C_{\text{MOS}}V_{\text{in}}$ 항은 MOSFET의 비선형 드레인-소스 캐페시턴스에 축적된 두배의 전하에 해당된다. I_b 는 일차측에 반사된 출력 필터 인덕터 전류리풀의 최대값에 해당된다.

2. 3 스위칭 주파수, 누설 인덕턴스 및 시비율의 선택

큰 L_{leak} 의 선정은 더 넓은 부하범위에서의 ZVS를 이루지만, 일차전류의 상승 하강시 기울기를 제한하여 이차측에서의 실효 시비율을 줄이게 된다. 바람직한 DC-DC 변환을 위해 L_{leak} 는 변압기의 권선비 및 동작 주파수와 함께 선택되어져야 한다.

주어진 전력에 대해, 입출력 전압비, 최대 시비율, 변압기 권선비, 스위칭 주파수 및 누설 인덕턴스등은 다음 식을 만족하게끔 선정되어져야 한다.

$$1 \geq D_{\text{max}} \geq \frac{N_s}{N_i} \frac{V_{\text{out}}}{V_{\text{in}}} \left(1 + 4 \frac{I_{\text{leak}}}{R} f_s\right) \quad (4)$$

여기서 $R' = R_{\text{load}}(N_s/N_i)^2$ 은 일차측에 반사된 부하저항 값이다.

2. 4 설계 Trade-off

2.4.1 스위칭 주파수의 Trade-off

그림 2에 스위칭 주파수에 따른 효율 및 크기의 관계를 나타냈다.[3] 주파수가 낮아짐에 따라 효율이 증가함을 알 수 있는데, 이는 스위칭 손실, 전도손실, 코어손실등이 주파수가 낮아짐에 따라 감소함에 원인이 있다. 반면 컨버터의 크기는 오목함수 특성을 나타내는데, 높은 스위칭 주파수는 변압기 및 인덕터의 코어크기를 줄이고 또한 캐패시터의 크기도 줄인다. 그러나 스위칭 주파수가 어느 임계값을 넘어가면 효율은 떨어지게 된다. 효율이 떨어지게 될 때 따라 증가하는 전력손실을 감당하기 위해 더 큰 방열판이 필요로 하게 된다. 따라서 전체 크기는 주파수가 올라감에 따라 다시 증가하게 된다. 스위칭 주파수의 선정이 비교적 최소 부피가 되도록 선정되었다면, 상대적으로 적은 크기로 높은 효율을 얻게 된다.

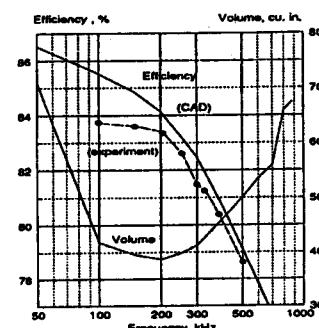


그림 2 스위칭 주파수에 따른 효율 및 크기 관계

2.4.2 ZVS 영역의 Trade-off

적절한 누설 인덕턴스는 ZVS 컨버터의 설계에 필수요소이다. 그러나 큰 누설 인덕턴스는 이차측에 적은 실효유리를

초래하여, 입력 및 부하 레귤레이션을 만족키 위해 적은 턴비의 변압기를 요구한다. 이로 인해 일차측 전도 손실이 증가하고, 이차측 정류기의 전압 스트레스가 가중된다. 이러한 단점이 있는 반면 큰 누설 인덕턴스로 인해 넓은 ZVS 영역이 확보되어 스위칭 손실은 감소된다. 실제적으로 오른쪽 두 개의 스위치만이 큰 누설 인덕턴스로 도움을 받는데, 이는 왼쪽 두 개의 스위치는 최대부하에서 항상 ZVS를 이루기 때문이다. 높은 전력, 낮은 출력전압의 규격을 갖는 경우 전도손실이 스위칭 손실보다 크게 된다. 따라서 이 경우 적은 누설 인덕턴스를 적용하여, 변압기의 턴비를 높여, 1차측의 전도손실을 줄이는 것이 바람직하게 된다. $I_{ZVS}/I_{FL} \approx 1$ 의 ZVS 영역을 갖도록 누설 인덕턴스 값을 선정하게 되면, 전반적인 효율은 최대가 된다.

3. 모의실험(Simulation)

부하의 다양성을 고려하여 ZVS 범위를 최대부하에서 50%로 설정하였다. 식 (1)을 이용하여 L_u 값을 $15 \mu H$ 로 설정하였고, 테드타임은 식 (2)에 의해 약 $0.14 \mu s$ 로 얻어지나 소자특성을 고려하여 $0.2 \mu s$ 로 설정했다. 그림 3에 시뮬레이션 회로 및 1, 2차측 주요 파형을 나타냈다. 그리고 그림 4에 모의실험용 위상이동 제어기를 나타냈다.

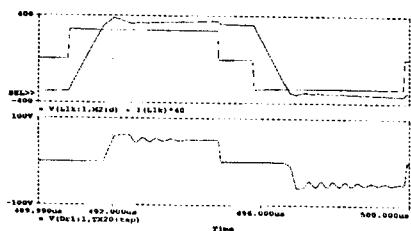
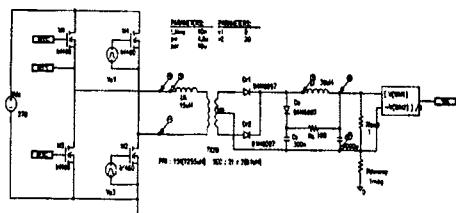


그림 3 시뮬레이션 회로 및 주요 파형

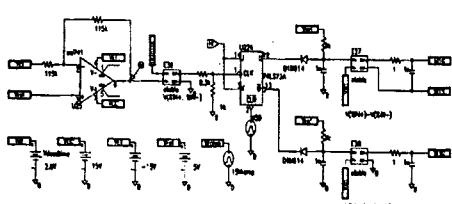


그림 4 위상이동 제어기

4. 제작 및 실험

설계 및 시뮬레이션을 통해 얻어진 회로변수값을 바탕으로 다음과 같이 실험장치를 제작했다. MOSFET은 IRF840(삼성)을 적용하였고, 구동기로는 IR2110 (International Rectifier)을 적용하였으며, 위상이동 제어기로는 ML4818 (Micro Linear)을 적용하였다.

실험 구성에 있어 주요 목표는 소형화 및 고 효율화로서, 소형화를 위해 IR2110을 이용하여 구동회로의 단일 칩(chip)화를 기하였으며, 보조전원으로는 전압안정기, LM7818 1개를 적용하여 구성하였다. 실험구성으로부터 얻어진 일차측 전압 및 전류를 그림 5에 나타냈다.

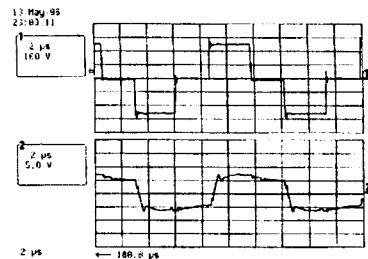


그림 5 FB-ZVS-PWM 컨버터의 일차측 전압 및 전류파형

5. 결론

ZVS-PWM 컨버터는 변압기의 누설 인덕턴스 및 스위칭 소자의 출력 캐파시턴스를 이용하여 스위치에 ZVS를 제공한다. 변압기의 누설 인덕턴스 크기는 ZVS의 부하영역을 결정한다. 반면 이 인덕턴스는 일차측 전류의 상승 및 하강시간을 제한하기 때문에, ZVS의 부하영역을 넓히기 위한 큰 인덕턴스는 이차측의 실효 드티를 감소시킨다. 따라서 ZVS의 부하영역과 이차측의 실효 드티 사이에서 trade-off가 이루어져야 한다.

본 연구에서는 ZVS-PWM 컨버터의 설계방법을 제시하였고, 모의실험을 통해 설계된 변수값을 확인하였고, 모의실험용 위상이동 제어기를 제시하였다. 소형화를 위해 스위칭 주파수가 100kHz 로 선택되어 졌고, 구동회로의 단일 칩(chip)화를 이루었으며, 보조전원을 단순화하였다. 그리고 효율 및 부하 조건을 고려하여 ZVS 영역을 50%에서 최대부하까지로 선정하였다. 이 결과들을 바탕으로 입력전압 270V, 출력전압 28V, 출력전류 37.5A급의 실험용 컨버터를 제작하였으며, 설계 성능을 입증하였다.

참고문헌

- J.A. Sabate, V. Vlatkovic, R.B. Ridley, F.C. Lee and B.H. Cho, "Design Consideration for High-Voltage, High-Power, Full-Bridge, Zero-Voltage-Switched PWM Converter" APEC, 1990
- "Application Handbook", Micro Linear, 1995
- Qing Chen, Ashraf Lotfi and Fred C. Lee, "Optimization and design issues of low output voltage, off-line, zero-voltage-switched PWM converters", APEC, 1992
- 이병학 외3 "대전류형 FB ZVS DC-DC 컨버터에 관한 연구", 95 대한 전기학회 학술 논문집, 1995. 7