

기생저항 효과를 제거한 SOI 구조의 전기적 특성분석

- 감희선, ● 배영호, ● 김광일, ● 정옥진, ● 이광철, ● 안창근, ● 이석하, ● 권영규
 ● 포항공과대학교 전자전기공학과, ● 산업과학기술연구원 자동화부문
 ● 790-784 경북 포항시 남구 효자동 산 31번지,
 ● 790-600 경북 포항시 남구 효자동 산 32번지

SOI(silicon-on-insulator) 기판은 그 구조상, 소자 제조공정의 단순성 및 고속, 고집적화 등의 장점 때문에, 기존의 ULSI 공정에서 사용되는 벌크 실리콘이나 에피 실리콘을 대체할 기판으로 기대되고 있다. 그러나, ULSI 공정에 상용화되기 위해서는 SOI의 품질향상 및 이에 대한 명확한 전기적 특성분석이 뒷받침되어야 한다. 지금까지, SOI의 전기적 특성분석은 대개, SOI-MOS Capacitor 구조를 이용하여 행해졌다. 그러나 기존의 분석구조에서는 필연적으로 발생하는 기생저항 효과에 의하여, 분석상의 오차가 심하게 나타났다. 특히, 용량형 DLTS 분석은 실리콘 밴드갭내의 트랩을 간단하게 검출할 수 있다는 장점 때문에 가장 많이 사용되는 분석법이지만, 측정용 소자가 SOI 층 상부에 존재하는 Planar Capacitor 형태이고 SOI 층의 두께가 0.2 μm 이하이기 때문에 기생저항의 영향을 심하게 받는 단점이 있다. 본 연구에서는 이와 같은 기생저항의 효과를 제거한 상태에서, SOI 구조의 전기적 특성을 정확하고 간단하게 분석하기 위한 측정방법에 대하여 고찰하고자 한다.

본 연구에서 제안한 측정구조는 Inverted Vertical Capacitor(IVC) 구조로써, Fig. 1 (a)에서 보는 바와 같이, n 형의 전도형을 갖는 SOI 층에 Schottky diode를 형성시키고, ohmic 접촉은 전도형이 SOI 층과 반대인 p 형 실리콘 기판의 아래 부분에 형성시킨 것이다. 이는 Fig. 1 (b)에서 볼 수 있듯이, 기존의 DLTS의 측정에서 측정용 소자인 Schottky diode가 SOI 상부에 위치한 Planar Capacitor(PC)와는 구조적으로 다르다.

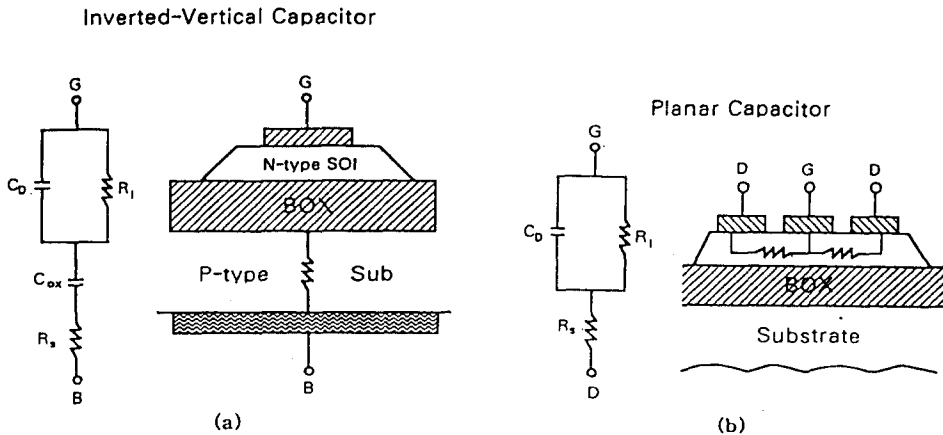


Fig.1 용량형 DLTS 측정을 위한 측정시료의 개략도 및 등가회로
 (a) Inverted Vertical Capacitor (b) Planar Capacitor

이와 같은 두 가지 측정구조에 대하여, 온도에 따라서 기생저항을 계산한 다음, 전기적인 등가회로를 이용하여 기생저항이 DLTS 분석에 미치는 영향을 알아보았다. IVC 구조는 매물 산화층과 SOI 층이 직렬로 연결되어 있기 때문에, 매물 산화층과 SOI 층 그리고 기판과의 계면상태에 의하여 SOI 층의 특성분석에 영향을 받을 수 있는데, IVC 구조는 SOI 층과 기판이 서로 반대의 전도형을 가지고 있기 때문에, DLTS 입력펄스는 Schottky diode 가 역방향이 되도록 가하면, 두 계면은 전하의 축적이 발생하여 계면에 의한 영향을 제거할 수 있다. 그리

고 매물 산화층은 이상적인 열 산화막과 같다고 가정하였다. 이 때, SOI 층과 매물 산화층 (BOX: Buried Oxide) SOI 층의 두께는 일반적인 ULSI 공정용 SOI 조건인 0.2 μm 와 0.385 μm 로 각각 설정하였다. SOI 층의 도핑은 Schottky diode의 역바이어스 상태에서 완전공핍을 방지하기 위하여 $10^{17}/\text{cm}^3$ 으로 하였다. 실리콘 기판은 일반적인 도핑농도인 $10^{15}/\text{cm}^3$ 으로 하였다. 온도에 따른 기생저항 값은 Arora가 구한 온도와 도핑농도에 따른 이동도의 식을 이용하여 구했다. DLTS 측정조건은 기준 역바이어스 -3 V, filling 바이어스 -1 V, 그리고 filling time은 1 msec 이상이었고, capacitor의 면적은 $6.6 \times 10^{-3} \text{ cm}^2$ 이었다.

Fig. 2는 온도가 300 K 일 때, 기생저항(여기서는 R_s 로 표기) 값이 DLTS 신호에 미치는 영향을 나타낸 그림이다. 여기서, $\delta S(0)$ 는 $R_s=0$ 일 때 DLTS 신호를 나타내고, $\delta S(R_s)$ 는 임의의 R_s 값을 가지는 시료에 대한 DLTS 신호를 의미한다. 그림을 보면, PC 구조는 R_s 가 20 Ω 일 때까지는 DLTS 신호에 영향을 미치지 않지만, 20 Ω 이상에서는 DLTS 신호가 R_s 값에 심한 영향을 받는다는 것을 알 수 있다. IVC 구조도 같은 경향을 보이지만, R_s 값이 200 Ω 이상이 되어야 DLTS 신호가 감소되기 시작하는 것을 볼 수 있다. 이와 같은 결과를 기초로 하여, $E_c-0.3 \text{ eV}$ 의 에너지 준위에 위치한 전자 트랩이 실리콘 밴드갭 내에 존재하는 시료에 대하여 DLTS 신호 $\delta S(T)$ 의 온도 의존성을 자세하게 살펴보았으며, Fig. 3에 그 결과가 나타나 있다. 그림을 보면, PC 구조는 이상적인 Curve에 비하여 전체적으로 50% 정도 감소된 것을 볼 수 있는 반면에, IVC 구조는 이상적인 Curve와 정확하게 일치하는 것을 알 수 있다.

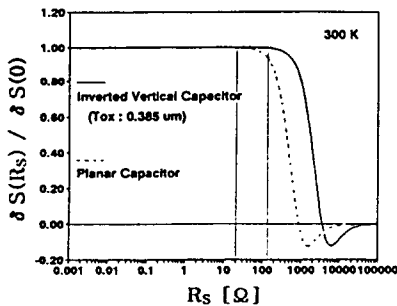


Fig.2 측정시료의 기생저항 값에 따른 DLTS 신호

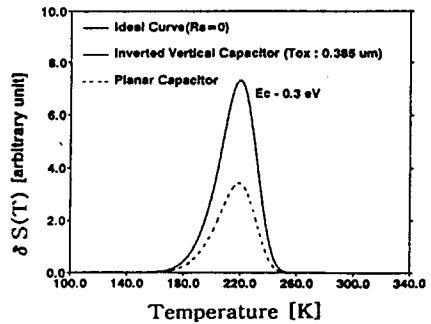


Fig. 3 측정 구조에 따른 DLTS 신호