

Chemical Mechanical Polishing 공정에 의한 실리콘 전계방출 팁 어레이 형성방법에 관한 연구 (A Study of Silicon Field Emission Tip Array by Chemical Mechanical Polishing Process)

이진호, 강성원, 김상기, 김용민, 조경익, 유형준
한국전자통신연구소, 반도체연구단, 305-600

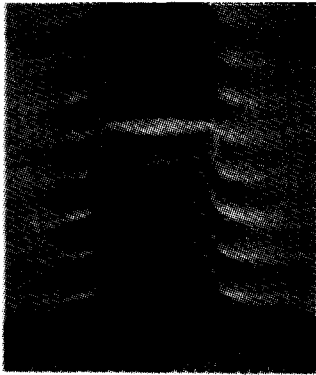
전계방출 소자는 냉음극 전계방출 현상을 이용하는 진공소자로서, 마이크로 파 전력소자, 내온도.내방사선 소자, 평판디스플레이 및 미세센서 등의 응용을 위하여 최근 많은 연구가 이루어 지고 있다 [1-2]. 전계방출 팁 어레이(FEA:Field Emitter Array)를 제작하는 방법으로는 Spindt 형 금속 팁과 실리콘 팁이 주로 사용되고 있으며, diamond 혹은 DLC(diamond like carbon) 등의 저일함수 물질을 이용한 전계방출 소자도 연구되고 있다. 실리콘 팁의 경우, 반도체 표준공정과 호환성이 뛰어나고, 균일한 특성을 얻을 수 있는 장점이 있는 등 앞으로의 응용범위가 넓어 많이 연구되고 있다 [3-4]. 이러한 실리콘 전계방출 팁을 제작하기 위한 기존의 방법으로는 보통 실리콘을 등방성으로 식각한 후 게이트 산화막과 게이트 금속전극을 전자선 증착방법으로 증착한 후, 습식식각에 의한 lift-off 공정을 이용하여 실리콘 팁을 노출시켜 제작한다. 그러나 이러한 구조는 전자선에 의해 증착된 게이트 절연막의 누설전류, 게이트 홀의 크기가 확대되는 문제, 그리고 실리콘 기판내의 위치에 따른 비대칭성 등의 문제점이 있다 [5].

본 연구에서는 SF₆ 등의 가스를 사용하는 건식 식각방법에 의해 실리콘을 식각하여 팁을 형성하고 (그림1-a), 열 산화막 성장에 의한 팁 침여화 공정을 이용하여 팁을 뾰족하게 한 후(그림1-b), 이때 형성된 산화막을 모두 제거하여 팁을 형성하였다. 게이트 절연막으로 기존의 전자선 증착방법 대신, 기상화학증착 방법에 의해 200 ~ 400 nm의 두께로 TEOS(tetraethylorthosilicate) 박막을 형성시키고, 게이트 전극으로 300 nm 두께의 폴리실리콘을 증착한 후, 팁 윗부분의 폴리실리콘 박막을 CMP(chemical mechanical polishing) 방법으로 선택적으로 연마를 하여 그림 2의 (a) 및 (b)와 같이 제작 하였다. CMP공정에 있어서 slurry의 종류 및 pad의 압력에 따라 게이트 물질의 식각율이 달라졌으며, 게이트의 높이 및 모양은 같은 압력일때, 연마시간에 의존하였다. 이러한 CMP방법을 이용함으로써, 게이트 물질과 게이트 절연막의 높은 선택비를 이용한 연마에 의해, 게이트 물질과 팁의 높이를 임의로 조절 할 수 있었으며, 게이트의 단면 및 끝면이 깨끗하고 균일하게 형성되어, 전계방출 특성의 균일도를 크게 향상 시킬 수 있었다.

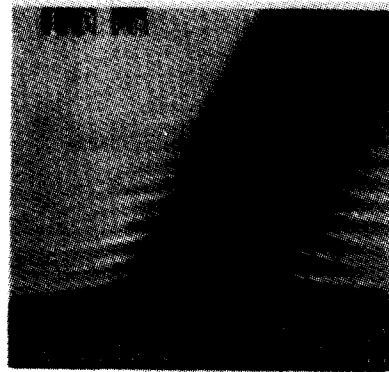
이러한 방법으로 제작된 실리콘 팁 어레이의 전계방출 특성을 고진공 ($< 3 \times 10^{-7}$ torr) 챔버내에서 측정하여, 약 55V의 게이트 turn-on 전압을 얻었으며, 64 V의 게이트 전압에서 팁당 16 nA의 방출 전류를 얻었다.

참고문헌

1. C. A. Spindt, et al. J. Appl. Phys. vol. 47, 1976, p 5248.
2. I. Brodie, et al. J. Vac. Sci. Tech. vol. B11(2), 1993, p 468.
3. H. S. Uh, et al. J. Vac. Sci. Tech. vol. B13(2), Mar./Apr. 1995, p 456.
4. Jin Ho Lee, et al, 3rd ASID, Seoul, 1995, p 143.
5. J.E. Pogemiller, et al, J. Vac. Sci. Tech. vol. B12(2), 1994, p 680.

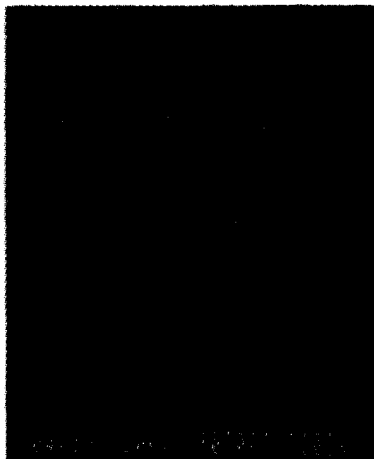


(a)

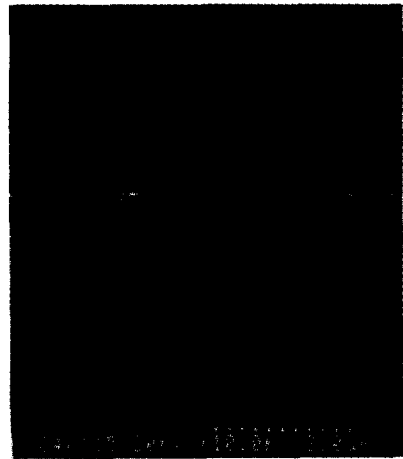


(b)

(그림1) 제작된 팁 어레이의 SEM 사진 : (a) 실리콘을 식각하여 팁을 형성시킨 후 및 (b) 팁 첨예화 공정 및 산화막 식각 공정 후.



(a)



(b)

(그림 2) 제작된 전계방출 팁 어레이의 SEM 사진 : (a) 조감도 및 (b) 단면도