

온도가 W / Ta₂O₅ / Si 구조의 전기적 특성에 미치는 영향

The temperature effect on the electrical properties of W / Ta₂O₅ / Si structures

장 영 돈 Youngdon Chang*
박 인 철 Inchel Park
김 홍 배 Hongbae Kim

청주대학교 전자공학과 Dept. of Electronic Eng. Chongju Univ.
청주대학교 전자공학과 Dept. of Electronic Eng. Chongju Univ.
청주대학교 반도체공학과 Dept. of Semiconductor Eng. Chongju Univ.

Ta₂O₅ film are recognized as promising capacitor dielectric for future DRAM's. The electrical properties of Ta₂O₅ films greatly depend on the heating condition. In the practical fabrication process, several annealing process, such as the annealing of Al in H₂ (about 400°C) and reflow of BPSG (borophosphosilicate glass) film in N₂ (about 800°C), exist after deposition of Ta₂O₅ film.

In this paper, we describe the temperature effect on the electrical properties of W/Ta₂O₅/Si structure. The thin film of Ta₂O₅ and tungsten have been deposited on p-si(100) wafer using the sputtering system. The heating temperature was varied from 500 to 900°C in N₂ for 30min and The degree of temperature is 100°C.

In a log(J/E²) Vs 1/E plot of typical I-V data, we find a linear relationship for the temperature of 500, 600°C and as deposition. This could indicate Fowler-Nordheim tunneling as the dominant mode of current transports. However, we can not find a linear relationship for the temperature above 700 °C. This could not indicate Fowler-Nordheim tunneling as the dominant mode of current transport. The high frequency (1MHz) capacitance-voltage (C-V) of W/Ta₂O₅ /Si Capacitor were investigated on the basis of shift in the threshold voltage and dielectric constant. The magnitude of the threshold voltage and dielectric constant depends on the heating temperature, and increases with heating temperature.

I. 서론

오늘날 VLSI에 대한 요구가 증가함에 따라 소자의 크기는 비약적으로 감소해 왔고, 커패시터의 축소화는 4Mbit 까지 종래의 SiO₂막을 주 재료로 하여 행해져 왔다. 그러나, Mega bit 시대에는 Package 재료(방사선 원소 포함)에서 방출하는 α-입자에 의한 soft error가 발생하는 것

등의 예상치 않던 문제가 표면화되었다. 이들은 유전막의 커패시턴스 감소에 의한 축적 전하량의 감소에 의한 것으로 이러한 문제점을 해결하기 위해서 커패시턴스를 최저 30fF 이상 유지하는 것이 대단히 중요한 연구과제로 되고 있다.[1]

스택 또는 트랜치 구조와 같은 3차원 메모리

셀 구조는 이러한 한계를 극복하기 위해 제안되어졌다. 이들 구조로 인해 4Mb 이하에서는 유전막에 대한 필요성이 감소되었다.[2] 그러나, 미세화가 진전될수록 이들을 형성하는 3차원 공정은 더욱 곤란해지고 복잡해져서 수율 저하와 제조원가의 상승을 초래케 했다. 더욱이 256Mb 이상의 차세대 고집적 메모리를 실현하기 위해서는 고유전을 유전막을 사용함으로써 단위 면적당 축적 전하량을 증가시켜야 한다.[3]

고유전을 재료의 선택에 있어서 유의할 점은 전하 축적 성능이 박막화 함으로써, 본래의 재료물성에서 예측되지 않는 성능이 나타나지 않게 하는 것이다. 즉, 박막화 시킴으로써 유전성의 저하와 결정구조가 변화하고, 유전율이 감소하는 것등 박막화에 의한 특성변동이 작은 물질을 택하는 것이 바람직하다. 이러한 점에서 유전을 20 - 25의 값을 갖는 탄탈륨 산화막은 신뢰성상 약간의 문제점을 내포하고 있으나, 박막화에 의한 특성 변동이 작고 실리콘 반도체 소자 형성 프로세서에 적용 가능한 내열 안정성과 미세 가공성 및 신뢰성 있는 용량 구조가 구축되는 등의 관점에서 대단히 유망한 재료이다.

탄탈륨 산화막의 전기적 특성은 탄탈륨 산화막의 산화조건, 증착조건 등의 제작조건에 크게 의존한다. 실제 제작 공정에 있어서, H₂ 분위기에서 Al의 아닐링(약 400°C) 과 N₂ 분위기에서 BPSG (borophosphosilicate glass) film의 reflow (약 800°C) 와 같은 몇 가지 공정이 존재한다.[4] 이와 같은, 고온의 열처리후 탄탈륨 산화막의 누설전류 증가는 VLSI 공정 프로세서에서 중요한 문제로 대두되었다.[5] UV-O₃[6], dry - O₂[5] 또는 plasma-O₂[7] 처리로 고온의 열처리 수행 후, 누설전류를 감소시키려 노력을 해왔으나, 완전히 해결하지는 못하였다.[8] 고온의 열처리후 누설전류의 증가는 탄탈륨 산화막의 결정화에 의한 crystal grain 성장과 grain boundary내 micro crack을 주된 원인으로 하고 있다.[6] 600°C 이상의 공정온도가 VLSI 소자 제작시 일상적으로 사용되기 때문에 고정 초기 단계의 비정질 탄탈륨 산화막 증착이 정형적인 공정 배열 동안 탄탈륨 산화막의 결정화에 영향을 미친다. 그러므로, 본 연구에서는 탄탈륨 산화막의 결정

화에 따른 Fowler - Nordheim 전도기구의 특성과 C-V 곡선을 이용하여 고온의 열처리가 탄탈륨 산화막의 전기적 특성에 미치는 영향을 살펴 보도록 하겠다.

II. 실험방법

스퍼터링 시스템을 이용하여, 저항률이 8.27~12.36Ωcm인 p-Si (100) 웨이퍼 위에 탄탈륨 산화막과 텅스텐을 순차적으로 증착하였다. 순도 99.99%의 탄탈륨 산화막은 RF로, 텅스텐은 DC 스퍼터링으로 증착시켰고, 스퍼터링의 조건은 다음과 같다. 초기 진공은 5×10⁻⁶ Torr 이고, 작업 진공은 1×10⁻² Torr에서 작업하였다. RF 스퍼터링은 200 Watt의 Power에서 행하였고, DC 스퍼터링은 300V의 전압에서 15분간의 프리스퍼터링 (pre - sputtering) 후 각각 30분과 5분 동안 증착하였다.

온도가 W/ Ta₂O₅ / Si Capacitor의 전기적 특성에 미치는 영향을 알아보기 위해 500, 600, 700, 800, 900°C에서 4cc/min의 N₂ 분위기에서 열처리를 행하였다.

그후, 전압에 대한 전류 측정은 HP 4145B Semiconductor Parameter Analyzer로 측정하였고, 전압에 대한 Capacitance는 HP 4192A LF Impedance Analyzer로 1MHz의 주파수에서 측정을 하였다.

III. 실험결과

1. Fowler - Nordheim 전도 기구[9]

W / Ta₂O₅ / Si Capacitor에서 발생하는 누설 전류의 전도기구를 규명하기 위해 Fowler - Nordheim 전도 기구로 분석하였다. 전자방출에 대한 가장 간단한 경우로 금속 - 진공계면에 대하여 고려하였고, 그림 1은 전자에 대하여 외부 전계 때문에 발생한 장벽 강하에 의한 전위에너지를 나타낸 것이다. 최대 전위 장벽은

$$\phi_0 = \left(\frac{q}{16\pi \epsilon_0 \epsilon_o E_{ext}} \right)^{1/2} \text{의 위치에서 나타나고,}$$

$$\Delta \phi = \left(\frac{qE_{ext}}{4\pi \epsilon_o} \right)^{1/2} \text{이다. 여기에서 } q\Delta \phi \text{는 외}$$

부 전계가 표면에 인가되었을 때 일함수 $q\phi_m$ 이 줄어든 양이다. 표면 일함수 감소는 더욱 큰 방

출 전류를 발생시키게 한다. 장벽의 영상력 강화에 의한 효과로 인하여 포화 전류 밀도 J 는 다음과 같이 된다.[9]

$$J = \frac{q^3 E^2}{8\pi h\phi} \exp\left(\frac{-4(2m^*)^{1/2}(q\phi)^{3/2}}{3qhE}\right)$$

여기에서 h 는 플랑크 상수, q 는 전자의 전하, E 는 전계, ϕ 는 장벽의 높이, m^* 는 터널링 유효 질량이다.

따라서, $\ln(J/E^2)$ 과 $1/E$ 에 대한 그래프를 그렸을 때 선형 관계가 나타나게 되면, Fowler - Nordheim 전도 기구를 따른다는 것을 확인할 수 있다.

그림 2에 탄탈륨 산화막의 열처리 온도에 따른 $W / Ta_2O_5 / Si$ Capacitor의 누설전류에 대한 Fowler - Nordheim 전도 기구의 특성 곡선을 나타내었다. 위의 식에서 알 수 있듯이 Fowler - Nordheim 특성 곡선에서 기울기가 급할수록 전도장벽이 크다는 것을 의미한다. 저온 열처리의 경우, 온도 증가와 함께 기울기 감소가 관측되었고, 이러한 기울기의 감소는 장벽의 감소를 의미한다. $700^\circ C$ 이상의 열처리 후에는 유전막의 결정화에 의하여 Fowler - Nordheim 특성 곡선을 따르지 않음을 알 수 있었다.

한편, 반전 영역에서는 Fowler - Nordheim 특성곡선을 따르지 않았는데, 이는 채널과 실리콘 사이의 공핍층에 의한 영향때문이다.

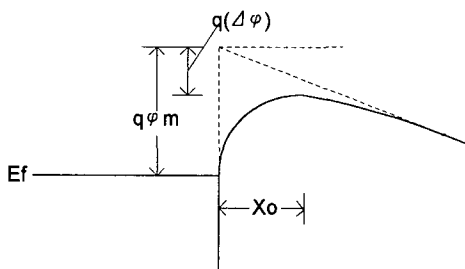


그림 1. 영상력 강화에 의한 에너지 대역도

2. Capacitance - Voltage 특성[10]

$W / Ta_2O_5 / Si$ Capacitor를 열처리 하였을 때, 온도에 따른 C-V 곡선을 그림 3에 나타내었다. 온도의 변화에 대한 C-V 곡선의 관측결과 온도의 증가에 따라 문턱전압이 (+) 방향으로 증가를 하였고, 열처리 온도가 높을수록 유전율이 증가

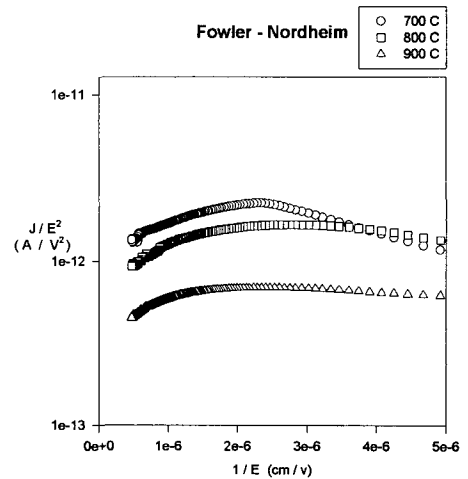
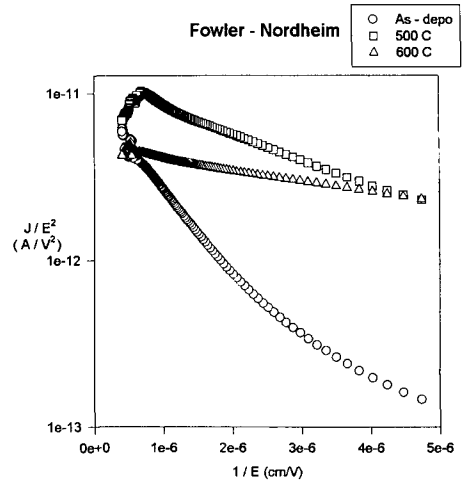


그림 2. $W / Ta_2O_5 / Si$ Capacitor의 열처리 온도에 따른 F - N 특성 곡선

하는 경향을 알 수 있다. 일반적으로, 유전율은 같은 물질이라도 유전체의 밀도와 미세구조에 따라 달라지게 된다.[10] 따라서, 탄탈륨 산화막의 유전율이 열처리 온도에 따라 증가하는 것으로 고온의 열처리후 탄탈륨 산화막의 밀도가 상승했다는 것을 알 수 있다.

IV. 결론

고온의 열처리가 탄탈륨 산화막의 전기적 특성에 미치는 영향을 살펴보았다.

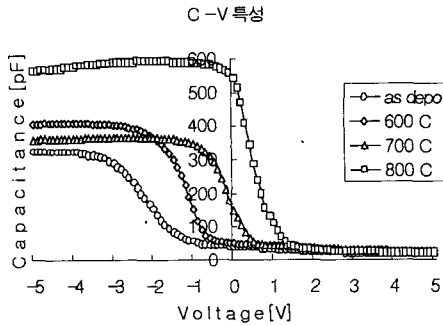


그림 3. W / Ta₂O₅ / Si Capacitor의 열처리 온도에 따른 C - V 특성 곡선

W / Ta₂O₅ / Si Capacitor가 갖는 누설전류의 전도기구를 규명하기 위해 Fowler - Nordheim 전도 기구로 분석하였다. 저온 열처리의 경우, 온도 증가와 함께 기율기 감소가 관측되었고, 이러한 기율기의 감소는 장벽의 기율기 감소를 의미한다. 700°C 이상의 열처리 후에는 유전막의 결정화에 의하여 Fowler - Nordheim 특성 곡선을 따르지 않음을 알 수 있었다.

온도의 변화에 대한 C-V 곡선의 관측결과 온도의 증가에 따라 문턱전압이 (+) 방향으로 증가를 하였고, 탄탈륨 산화막의 유전율이 열처리 온도에 따라 증가하는 것으로 고온의 열처리후 탄탈륨 산화막의 밀도가 상승했다는 것을 알 수 있다.

참고문헌

- [1] T. C. May, and M. H. Woods, IEEE Trans. Electron Devices, vol. 26, no. 1, p. 2, 1979.
- [2] H. Sunami, T. Kure, N. Hashimoto, K. Itoh, T. Toyabe, and S. Asai, IEEE Trans. Electron Devices, vol. 31, no. 6, p. 746, 1984.
- [3] H. Shinriki, T. Kisu, S. Kimura, Y. Nishioka, Y. Kawamoto, and K. Mukai, IEEE Trans. Electron Devices, vol. 37, no.9, p. 1939, 1990.
- [4] H. Matsuhashi and S. Nishikawa. SSDM p. 853, 1993.
- [5] Y. Nishioka, N. Homma, H. Shinriki, K. Mukai, K. Yamaguchi, A. Uchida, K. Higeta, and K. Ogiue, IEEE Trans. Electron Devices, vol. 34, no. 9, p. 1957, 1987.
- [6] H. Shinriki, and M. Nakata, IEEE Trans. Electron Devices, vol. 38, no. 3, 1991.
- [7] H. Suzuki, S. Kamiyama, H. Watanabe, A. Sakai, and A. Ishitani, SSDM, p.853, 1993.
- [8] Y. Takaishi, M. Sakao, S. Kamiyama, H. Suzuki and H. Watanabe, IEDM Tech. Dig. p.839, 1994.
- [9] M. Lenzlinger and E. H. Snow, J. Appl. phys. vol.40, no.1, p.278, 1969.
- [10] 박주욱, 주승기, 전자공학회 논문지, 제28권, 제3호, p.71, 1991.