

## 미세소자에서 누설전류의 분석과 열화

# Analysis and Degradation of leakage Current in submicron Device

\*배 지철      동의대학교 전자공학과  
이 용재      동의대학교 전자공학과

\*Ji Cheol Bae      Dept. of Electronics Eng., Dong-Eui University  
e-mail              jcbea@turtle.dongeu.ac.kr

Yong Jae Lee      Dept. of Electronics Eng., Dong-Eui University  
e-mail              yjlee@turtle.dongeu.ac.kr

### Abstract

The drain current of the MOSFET in the off state(i.e.,  $I_d$  when  $V_{gs}=0V$ ) is undesired but nevertheless important leakage current device parameter in many digital CMOS IC applications (including DRAMs, SRAMs, dynamic logic circuits, and portable systems). The standby power consumed by devices in the off state have added to the total power consumed by the IC, increasing heat dissipation problems in the chip.

In this paper, hot-carrier-induced degradation and gate-induced-drain-leakage current under worse case in P-MOSFET's have been studied.

First of all, the degradation of gate-induced-drain-leakage current due to electron/hole trapping and surface electric field in off state MOSFET's which has appeared as an additional constraint in scaling down p-MOSFET's.

The GIDL current in p-MOSFET's was decreased by hot-electron stressing, because the trapped charge were decreased surface-electric-field. But the GIDL current in n-MOSFET's under worse case was increased.

소자의 축소는 단순히 집적도를 높이는 것 뿐만 아니라 성능을 향상시키기 위한 중요한 수단이다. 그러나 게이트 채널 길이가 마이크로미터 이하의 크기로 작아진 소자에서는 이러한 효과를 반드시 기대할 수는 없다.<sup>[1]</sup> 왜냐하면 그 소자의 성능이 캐리어 속도의 포화나 채널 반전층 용량 등의 영향으로 제한되기 때문이다.<sup>[2,3]</sup> 또한 소자 크기를 작게하면 짧은 채널 효과를 가능한 경감하여야 하며, 소자의 신뢰성도 큰 문제인데 이는 VLSI에서 한 칩에는  $10^5 \sim 10^6$ 개의 개별 소자가 들어가게 되고 이 중 한 개의 소자만이라도 열화되어 제 특성을 가지지 않을 때 이 칩은 성능의 저하나 오동작, 더 나아가서는 파괴에 이르게 된다.

그 중에서 핫-캐리어 현상은 채널길이가 짧아지면서 증가하는 수평전계에 의해 캐리어는 가속화되어지고 일정한 거리동안 가속된 캐리어는 높은 운동에너지를 가지게 되는데 이러한 높은 에너지를 가진 캐리어를 핫-캐리어라 말한다.

핫-캐리어는 드레인 부근의 공핍층에서 증성 이온들과 충돌하여 전자-정공쌍을 발생시킨다. 발생된 전자-정공쌍은 실리콘과 산화막의 장벽 에너지보다 훨씬 큰 에너지를 가지면서 게이트 산화막내로 주입하게 된다. 그러나 실험에 의한 분석에서 전자가 정공보다 훨씬 많이 주입되는 것으로 분석되는데, 이는 게이트 산화막 속의 전하에 의해 유기된 전하가 양전하이므로 전자가 주로 주입된다. 이는 산화막의 장벽 에너지가 전자에 대하여는  $3.1 \pm 0.1eV$ 의 장벽 에너지

### 1. 서론

가 존재하고, 정공에 대해서는  $3.8 \pm 0.1 \text{eV}$ 의 장벽 에너지가 존재하게 되어 정공보다는 훨씬 많은 전자가 게이트 산화막 내로 주입된다.<sup>[1,2,4,5]</sup> 주입된 핫-캐리어는 소자의 특성 변화를 일으켜 심각한 신뢰성문제를 야기시킨다.

본 연구에서는 초고집적용 p-MOSFET에서 게이트 단자에 동작 상태 스트레스 인가 조건으로 최악 상태의 전압 인가로서 짧은 시간에 경년 변화를 준다. 이를 위해 게이트 누설전류를 측정하여, 최대 게이트 전류에서의 전압을 게이트에 인가한 스트레스 상태에서 시간을 각각 변화시킨다. 각 시간에 따른 게이트와 드레인 단자에서 나타나는 게이트 유기 드레인 누설 전류를 분석 조건에 따라 측정하였다. 스트레스 인가 시간에 따른 게이트 유기 드레인 누설 전류의 영향의 분석과 이 누설 전류의 구성 성분을 각각 분석 추출 하였다.

## 2. 누설 전류의 형성 메카니즘

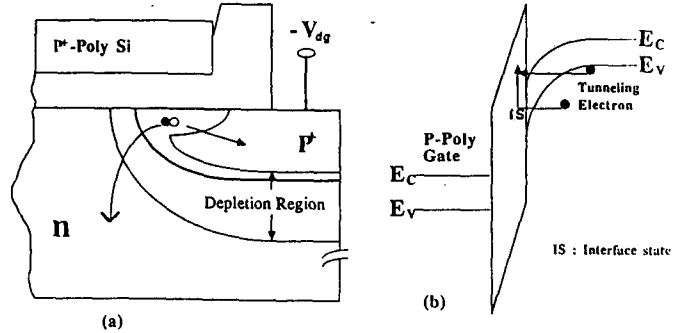
초고집적화와 더불어 얇아지는 게이트 산화막의 MOS 트랜지스터에서 드레인과 게이트의 중첩 부분은 기판 영역을 포함하여 역 바이어스된 p-i-n 구조의 터널 다이오드 형태로 구성된다. 여기서 산화막은 포획전하와 계면 트랩 상태 밀도에서 핫-캐리어 현상 뿐만 아니라 게이트 유기 드레인 누설 전류를 야기시킨다. 이러한 측정을 위해 동작 상태 (e.g.,  $I_{g,max}$  또는  $I_{sub,max}$ )의 최대 스트레스 인가 전압 조건에서 시간 변화에 따른 게이트 유기 드레인 누설 전류를 측정 후 전류 성분을 분석한다.

## 3. 실험

본 연구 소자는 게이트 산화막 두께가 각각 72Å, 79Å, 87Å과 116Å인 p-MOSFET 소자로서, 시간에 누적적으로(스트레스 전, 10초, 30초, 100초, 300초, 1000초, 2000초) 최대 게이트 전류의 전압을 게이트에 각각 인가하면서 게이트 전류, 기판 전류와 게이트 유기 드레인 누설 전류를 각 조건에 따라 측정하였다.

그림1은 게이트와 드레인 부위의 GIDL 전류 형성 구조인데, 소오스를 단락 시킨 상태에서 게이트와 드레인에  $|V_{gd}|$ 를 인가하고 기판은 접지 시킨 상태에서 공핍층으로 인한 전장의 구성이다. 여기에서 최대 스트레스의 인가는 평탄대 전압( $V_{fb}$ )을 변화 시킴으로 인해 임계전압을 변화시킨다. 또한 드레인과 게이트 중첩 영역과 깊은 공핍층 영역이 형성되어 수직 방향의 강한 전장에 의해 전도대에서 가전자대로 전자의 터널링이 일어나고, 이 과정에서 일부 충돌에 의한 전자-전공쌍은 드레인과 기판으로 유입이 되는 기판 전류이며, 게이트와 드레인의 모스 구조에서는

강한 전장에 의해 얇은 게이트 산화막을 터널링하는 캐리어 성분의 누설 전류가 강한 수평 전장에 의해 생성되는데, 이 전류가 게이트 유기 드레인 누설 전류이며, 터널



$$I_d = A \cdot E_s \exp(-B/E_s) ; E_s = (V_{dg} + V_{fb} - 1.2) / 3T_{ox}$$

Fig.1 Cross-section of leakage current formation parts in devices. n surface is deep-depletion under reverse-bias. ( $V_g \approx 0, V_d > 0$ )

링이 일어나기 위한 최소한의 확률은 충분한 표면 전장과 밴드-휨의 에너지값이 1.12eV 보다 큰 값을 요구하며, 이를 수식으로 표현한 식1이고, 드레인 전압의 관계식과 게이트 유기 드레인 누설 전류는 식2이며, 여기에 관련된 인자의 의미는 식3,4로 보고<sup>[2,4]</sup>가 되고 있다.

$$V_d = V_g - V_{fb} - 3 \cdot T_{ox} \cdot E_s - \psi_s$$

$$(\psi_s > E_g \text{ (Silicon } E_g : 1.12\text{eV)}) \quad \text{--- (1)}$$

$$I_{GIDL} = A \cdot E_s \cdot \exp\left(\frac{-B}{E_s}\right) \quad \text{--- (2)}$$

$$E_s = \frac{V_{dg} - 1.2}{3T_{ox}} \quad \text{--- (3)}$$

$$A = \frac{2qm_r \pi E_g^2}{h^3} \quad \text{--- (4)}$$

식2는 게이트 유기 드레인 누설 전류에서  $E_s$ 는 표면 전장, A는 식4의 표현으로 상수, B는 산화막 전장이고,  $E_s$ 의 표현은 식3으로 터널링 관점에서의 전장을 표현한 식으로  $T_{ox}$ 는 산화막 두께,  $V_{dg}$ 는 드레인과 게이트의 전압이다.

산화막 전장은 게이트에 유기된 드레인과 누설전류의 발생에 비례적인 요소로써 게이트 산화막이 얇을수록 전장이 증가되며, 따라서 누설 전류 성분은 증가되는 관계로서 이는 그림1에서 나타난 드레인과 게이트의 중첩부분에

서 발생하는 변화는 전장이며, 산화막 내에서 포획 전하는 균일한 포획이 아닌 불규칙한 포획 전하 분포를 나타낸다.

산화막 근처의 에너지 띠은 식1에서 주어진 표면 전위 ( $\psi_s$ )를 1.12eV 보다 크게 함으로서 일어나고, 계면상태에 의한 터널링은 낮은 전장에서 핫-캐리어의 스트레스에 의한 영향에서 터널링 전류 성분을 측정 분석할 수 있다.

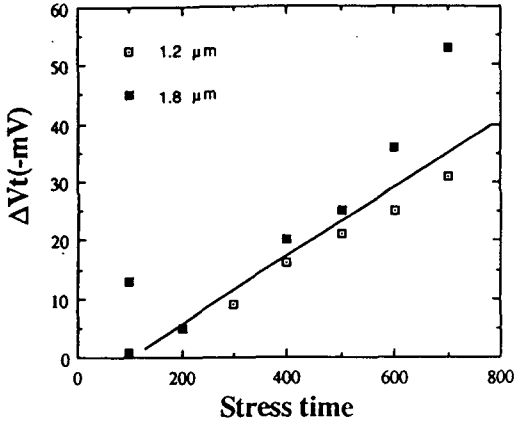


Fig.2 Stress time dependence of threshold voltage change of p-MOSFET's

게이트 유기 드레인 누설 전류에서 스트레스의 핫-캐리어 영향은 산화막내에 포획된 전하와 계면 상태 밀도에 의한 것으로 보고<sup>47)</sup>되고 있다. 그림 2는 핫-캐리어 스트레스에 의해 열화된 모스소자의 임계전압을 측정 한 것으로 스트레스에 따라 임계전압은 증가하는 것을 보여주고 있다.

$$\Delta V_t = -Q_{it}/C_{ox} \quad \text{----- (5)}$$

식 5는 산화막내의 전하가 바이어스 조건과 관계되어 있다는 것을 나타내며, 계면 상태 밀도의 변화는 기판전압의 변화와 같은 효과를 나타내므로 플랫밴드 전압( $V_{fb}$ )을 높게 되어 임계 전압은 높아지게 된다. 임계전압의 측정은 핫-캐리어에 영향을 받은 계면 상태 밀도에 변화를 주는 것을 쉽게 분석할수 있으며, 저전압에서의 누설 전류를 발생시키는 요인으로 보고 되고 있다<sup>4)</sup>. 그림 3은 이러한 임계 전압의 증가 분석을 기초로 저전압의 게이트 전압에서 측정 한 드레인 누설전류이다. 스트레스에 의해 계면 상태 밀도를 증가시켜 계면과 실리콘 사이의 접합면의 에너지 준위를 낮추게 되어 누설 전류는 감소하게 된다. 특히 계면의 밀도가 높은 (111)기판의 소자인 p-모스 트랜지스트는 (100)기판의 소자보다 스트레스에 의한 저전압 누설 전류가 적게 발생할 것이다.

#### 4. 분석 및 고찰

소자별 여러 측정 데이터에서 추출한 결과가 그림 4으로 산화막 포획 전하와 계면 포획의 생성에 의해 게이트 유기 드레인 누설 전류의 생성이 확연히 변하는 것을 확인할 수 있는데, 크게 계면 상태 생성에 의한 영역은 낮은 드레인-게이트 전압을 가진 경우로 이 영역은 밴드에서 결합간의 터널링 현상이 일어나는 영역이며, 핫 캐리어의 새로운 생성의 포획과 포획에서 이탈하는 현상이 동시에 진행되면서 불안정한 전류 파형 특성을 나타낸다. 또한 스트레스 인가 후에서도 마찬가지로 누설 전류가 낮은 게이트 전압에서도 불규칙한 현상이 일어나는데, 이는 낮은 전장에 의해 전하 포획이 어려운 상태인데 반해 누설 전류는 계속적으로 발생되기 때문이다.

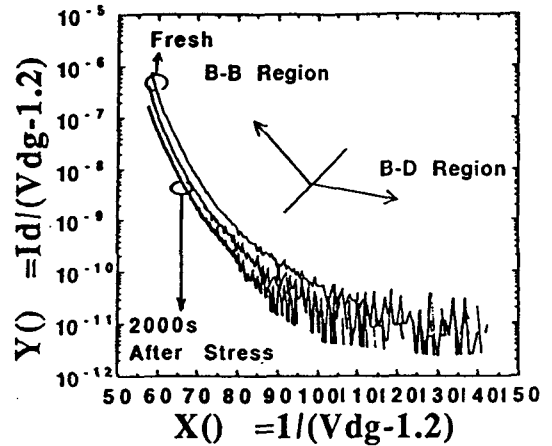


Fig.3 Characteristics of subthreshold current slope in different gate voltage

산화막 내의 포획 전하에 의한 영역은 높은 드레인-게이트 전압을 가진 경우로 이 영역은 전하가 에너지 밴드에서 밴드간 터널링 현상이 일어나는 영역의 전류 성분이며,

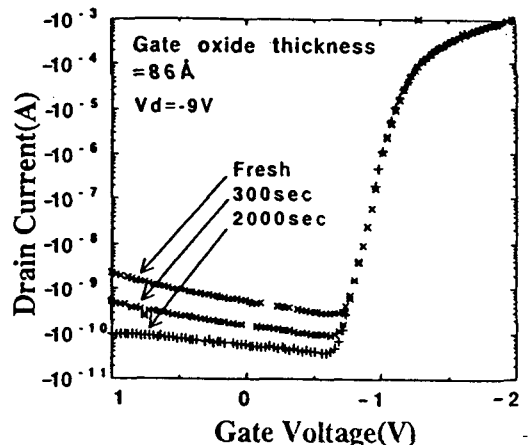


Fig.4 The current component of  $\log [I_d/(V_{dg}-1.2)]$  versus  $1/(V_{dg}-1.2)$  for before and after stress.

스트레스 인가 시간의 증가로 산화막 내의 포획 전하 때문에 누설 전류 성분은 시간의 증가에 따라 감소한다.

앞 식 3,과 식 6를 이용하여  $3T_{ox}B$ 를 추출한 데이터로부터 B값을 추출한 결과가 그림 5이며, 이때 인자 B의 값이 19.0 MV/cm 로 추출되었는데, 이는 C. Hu은 이론<sup>12)</sup>으로 인자 B=21.3 MV/cm 인 B값에 근접하는 결과치로 나타났다.

$$B = \frac{\pi^2 \sqrt{m_r} E_g^{\frac{3}{2}}}{qh\nu/2} = 21.3 \text{ (MV/Cm)}$$

----- (6)

게이트 유기 드레인 누설 전류의 대부분의 전류 성분은 에너지 밴드-밴드 터널링을 야기시키는 가장 큰 요소로 부각되고 있으며, B값의 추출로 본 소자에서 양호한 신뢰성을 나타낸다는 설명이 가능하며, 또 다른 중요시 되는 요소는 드레인과 게이트의 큰 전압 인가인 높은 전장에서 측정된 결과를 의미하며, 낮은 전장에서는 추출 인자B에 의한 터널링 보다는 결합 준위의 게이트 산화막 계면상태에 의한 게이트에 유기된 드레인 누설전류의 발생이 주 원인이므로 그림 5가 전체적인 분석 결과이다.

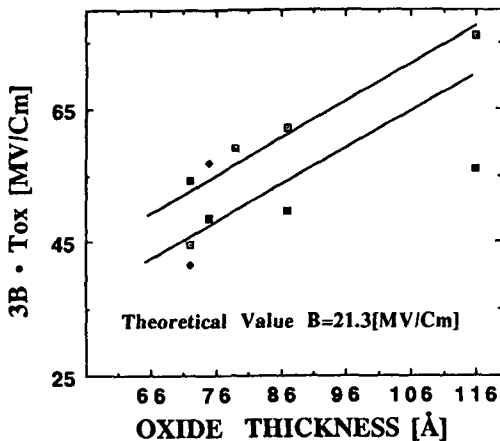


Fig.5 The slope of  $3T_{ox} \cdot B$  as a function of the oxide thickness.

## 5. 결론

스트레스 인가 전에 게이트 유기 드레인 누설 전류량은 게이트 산화막이 얇을수록 많았으며, 스트레스의 영향이 줄어들수록 감소되는 결과를 보였다. 얇은 게이트 산화막 소자에 있어서의 누설 전류량은 증가된 결과로 측정 되었다. 낮은 드레인-게이트 전압에 의한 전류 성분은 에너지 밴드에서 결합 준위의 터널링 성분으로 나타났으며, 게이트

유기 드레인 누설 전류는 감소되었다. 스트레스에 의해 소자의 게이트 산화막속에 포획된 핫 캐리어에 의한 영향은 높은 전장에서는 많은양의 캐리어가 산화막 속의 포획으로 누설 전류가 감소 되었으며, 누설 전류도 스트레스 인가 시간의 증가에 따른 열화 특성으로 감소되는 결과가 나타났다. 이는 핫-캐리어 열화에 의해 변화된 계면 상태 밀도와 긴밀한 관계가 있는 것으로 분석되었다. 따라서 초고집적화의 소자는 더욱 낮은 동작 전압이 요구되며, 소자의 신뢰성에서 스트레스 영향에 의한 게이트 유기 드레인 누설 전류의 열화 특성은 n-모스 트랜지스터에서는 반대적인 특성<sup>11)</sup>으로 CMOS회로 응용시 제조공정과 설계에 있어서 신중히 고려할 인자이다.

## 참고문헌

1. N. Lindert, C. Hu "Comparison of GIDL in P+-poly PMOS and n+-poly PMOS Devices" IEEE Electron Device Lett. vol. 17, No.6, pp.285-288, June 1996
2. T. Y. Chan, J. Chen, P.K. Ko and C. Hu, "The Impact of Gate-Induced Drain Leakage Current on MOSFET Scaling," IDEM Tech., Dig., pp.718-721, Dec. 1987.
3. Zeng Xu, et al "Enhanced Off-State Leakage Current in n-Channel MOSFET with N<sub>2</sub>O-Grown Gate Dielectric" IEEE Electron Device Lett., Vol. 16, No.10, pp. 436-438, Oct. 1995.
4. Tse-en Chang, Chimoon Huang, Tahui Wang, "Mechanisms of Interface Trap-Induced Drain Leakage Current in Off-State n-MOSFET's," IEEE Tran., Electron Devic, Vol. 42, No. 4, April, 1995.
5. G. Q. Lo, Dim-Lee Kwong, "Roles of Trapping and Interface State Generation on Gate-Induced Drain Leakage Current in p-MOSFET's," IEEE Tran., Electron Device, Vol. 12, No. 12, Dec. 1991.
6. Yong Jae Lee, et al "Gate-Induced-Drain-Leakage(GIDL) Current Degradations of Drain-gate Overlap Region in MOSFET's" Proceeding of KITE Fall Conference '95, Vol.18, No.2, pp499-502, Dec. 1995
7. J. F. Zjang, W. Eccleston "Effects of High Field Injection on the Hot Carrier Induced Degradation of Submicrometer pMOSFET's" IEEE Trans. on Electron Devices. Vol. 42, No.7, pp. 1269-1276, July 1995