

**AlGaAs/GaAs 이종접합 바이폴라 트랜지스터를 이용한
10Gbps 고속 전송 회로의 설계 및 제작에 관한 연구
Design and Fabrication of 10Gbps Optical Communication ICs
Using AlGaAs/GaAs Heterojunction Bipolar Transistors**

이태우*, 박문평, 김일호, 박성호, 편광의
한국전자통신연구소, 화합물반도체연구부

T.W. Lee, M.P. Park, I.H. Kim, S.H. Park, K.E. Pyun
Compound Semiconductor Dept., ETRI

ABSTRACT

Ultra-high-speed analog and digital ICs (integrated circuits) for 10Gbit/sec optical communication systems have been designed, fabricated and analyzed in this research. These circuits, which are laser diode (LD) driver, pre-amplifier, automatic gain controlled (AGC) amplifier, limiting amplifier and decision circuit, have been implemented with AlGaAs/GaAs heterojunction bipolar transistors (HBTs). The optimized AlGaAs/GaAs HBTs for the 10Gbps circuits in this work showed the cutoff and maximum oscillation frequencies of 65GHz and 53GHz, respectively. It is demonstrated in this paper that the 10Gbps optical communication system can be realized with the ICs designed and fabricated using AlGaAs/GaAs HBTs.

1. 서론

국가 초고속 정보 통신망 구축 및 이 분야에 대한 기술을 선점하기 위한 선진 각국의 기술 경쟁이 치열해지고 있다. 국내에서도 대용량 및 초고속의 정보 전달을 위한 광대역 종합 정보 통신망(B-ISDN)의 개발에 많은 노력이 배가되고 있으며 이의 실현을 위하여 10Gbit/sec 이상의 전송속도를 가지는 초고속 광통신 시스템에 대한 연구가 활발히 진행 중이다^{1,2}. Fig. 1에 도시한 초고속 광통신 시스템을 구성하는 핵심 소자인 10Gbps 이상의 전송속도를 가지는 아날로그 및 디지털 IC의 개발이 필수적인 바 본 논문에서는 전류 이득 차단 주파수가 60GHz 이상인 초고속 AlGaAs/GaAs HBT (Heterojunction Bipolar Transistor)를 이용한 10Gbit/s급 레이저 다이오드(LD:Laser Diode) 구동 회로³, 전치 증폭기, 제한 증폭기, 자동 이득 제어 (AGC) 증폭기와 판별 회로의 설계, 제작에 대하여 설명하고 측정 특성과 시뮬레이션에 의한 결과를 비교하고자 한다.

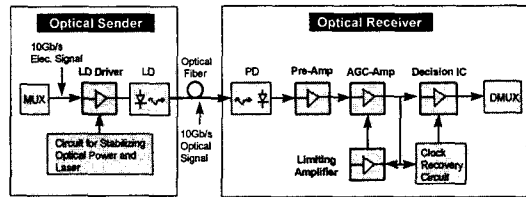


Fig. 1 Block diagram of 10Gbit/sec optical communication system.

초 고주파의 전기 신호를 광 신호의 형태로 변환하여 전송하는 광통신 시스템의 송신단 중 LD 구동 회로는 멀티플렉서를 통하여 다채널의 전기적 신호로 된 데이터를 초 고주파의 데이터로 변환하여 LD를 구동시켜 초고속의 광 신호로 변환하여 광 섬유로 전송하는 광통신 시스템의 핵심이라 할 수 있다. 10Gbps의 전송속도로 전송된 광 신호는 수광 소자를 통하여 미세한 신호로 검출된 후 전치 증폭기, 제한 증폭기, 자동 이득 제어 회로와 판별 회로 등으로 구성된 광 수신 시스템에서 적절한 전기 신호로 변환, 증폭되므로 광통신 시스템의 수신단은 저 잡음 특성과 아울러 광대역 증폭 특성, 넓은 동작 영역, 우수한 지터(jitter) 특성 등이 요구된다. 이러한 요구 사양에 따라 회로의 기본 구조를 결정한 후 DC와 AC 측정을 통하여 회로의 기본 소자인 HBT의 SPICE 파라미터를 추출하고 각 단의 특성을 SPICE를 이용하여 최적화한 후 전체 회로에 연결하여 전체 회로 특성을 최적화하였다. 또한 소 신호 시뮬레이션을 위하여 HBT의 측정된 S-parameter를 소 신호 시뮬레이터인 LIBRA에 입력하여 설계된 전체 회로의 소 신호 특성을 고찰하였다. 또한 10GHz 이상의 고 주파수에서 큰 영향을 미치는 패키지했을 때의 기생 인덕턴스에 의한 영향과 신호선(Signal line)의 고주파 특성을 별도로 측정하고 이를 고려하여 회로 시뮬레이션을 하였다. 이러한 시뮬레이션 결과와 함께

본 연구실에서 제작한 IC의 웨이퍼상 출력 특성을 비교하여 10Gbps 이상의 전송속도를 가지는 5종 고속 회로의 실험을 입증하였다.

2. 회로 개별 소자의 특성

본 연구에서는 주파수 대역폭 특성과 전달 컨덕턴스가 우수하여 초고속 집적회로의 개별소자로서 많은 응용이 예상되는 HBT를 사용하여 10Gbps 아날로그 및 디지털 광통신 회로를 설계, 제작하였다. 이러한 초고속 광통신 회로의 성능은 1차적으로 구성소자인 HBT의 성능에 크게 좌우되므로 본 연구에서는 최적의 HBT 주파수 특성을 얻기 위하여 베이스의 도핑 농도를 $3 \times 10^{19} \text{cm}^{-3}$ 으로 하고 그 폭은 70nm인 AlGaAs/GaAs 에피구조를 이용하였다. 회로 설계, 제작에 사용한 에미터 크기가 $2 \times 10 \mu\text{m}^2$ 인 AlGaAs/GaAs HBT 소자의 Gummel plot을 Fig. 2(a)에 제시하였고, 0.5 - 40GHz의 주파수 범위에서 network

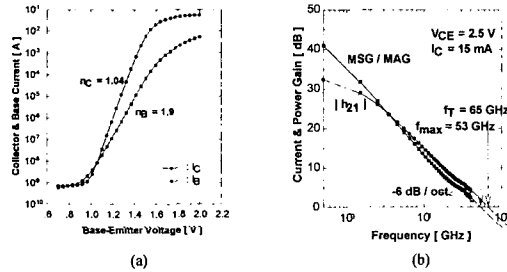


Fig. 2 DC and AC characteristics of the typical AlGaAs/GaAs HBTs with a $2 \times 10 \mu\text{m}^2$ emitter: (a) Gummel plot and (b) frequency response.

analyzer로 측정된 전류 및 전력 이득을 Fig. 2(b)에서 보여 주고 있다. Fig. 2로부터 HBT 콜렉터와 베이스 전류의 이상지수는 각각 1.04와 1.9이고, 차단 및 최대 공진 주파수는 각각 65GHz와 53GHz로서 본 연구의 10Gbps 광통신용 고속회로를 설계, 제작하는데 적합한 것으로 판단된다. 회로의 구성을 위하여 5000 Å의 실리콘 질화막을 증착 유전체로 한 MIM 커패시터와 NiCr 금속 저항을 사용하였으며 회로내의 1, 2차 배선 금속으로 Ti/Au를 증착 사용하였다.

3. 10Gbps 광통신용 고속 회로의 설계

HBT의 SPICE 대신호 파라미터를 표준화된 방법으로 추출한 후 PSPICE와 LIBRA 시뮬레이터에 입력하여 고속 회로의 설계를 진행하였다. 전체 회로의 구조를 결정하고 PSPICE를 사용하여 회로 각 부분의 동작점 특성을 결정 후 전체회로를 최적화하였다. 이때 PSPICE는 고주파수에서의 기생성분을 정확하게 시뮬레이션할 수 없으므로 가능한 기생성분의 영향을 등가회로를 통하여 고려하도록 하였으며, 설계 요구사항을 충분히 만족하도록 설계하였다. PSPICE를 통하여 설계 요구사항을

만족하는 안정된 회로를 결정하고 LIBRA 시뮬레이터를 사용하여 회로의 고주파 특성을 시뮬레이션하였다.



Fig. 3 Circuit diagram of the 10Gbps LD driver, composed of ① input bias and offset compensation, ② current source bias, ③ limiting amplifier, ④ driver, ⑤ current modulation, and ⑥ LD pre-bias

LD 구동회로는 MUX를 통하여 받아들인 다채널의 전기신호를 초고주파의 데이터로 변환하여 LD를 구동 시킴으로써 초고속의 광신호로 변환시키는 광통신 시스템 수신단의 핵심부분으로 초고속 변조와 대전류 구동능력 및 신호 제한기능을 가져야 한다. Fig. 3에서 LD 구동기의 전체 회로도 및 함께 각 부분을 명시하였다. 제한 증폭단은 입력신호의 크기와 관계없이 균일한 신호를 출력하며, 바이어스단은 전류원 HBT의 전류를 안정된 범위내로 제어하고 구동단에서는 변조전류를 50mA_{pp}까지 제어 하면서 최대 60mA까지의 per-bias를 인가할 수 있도록 설계하였다. 시뮬레이션결과 S_{21} 이득이 17dB이고 -3dB 주파수 대역폭이 20GHz로 설계 요구사항을 충분히 만족시키고 있다.

전치 증폭기는 수광소자인 광 다이오드의 미세한 출력신호를 검출하여 적절한 전기신호로 변환하는 부분으로 잡음을 최소화하고 전달임피던스 이득을 최대화하여야 한다. 이러한 기능을 위하여 전달임피던스형태의 전치 증폭기를 사용하여 주파수 대역폭과 이득 및 잡음을 최적화하도록 설계하였다. 여기서 광 다이오드의 등가 회로와 본딩 와이어에 의한 기생성분의 영향을 포함하여 설계를 진행하였다. 시뮬레이션결과 52dB Ω 의 전달임피던스 이득과 10.25GHz의 주파수 대역폭 특성을 보이고 있다.

광통신 시스템의 주증폭기를 구성하는 제한 증폭기와 AGC 증폭기는 전치 증폭기의 출력을 받아 다음단의 판별회로와 클럭 추출회로를 구동할 수 있도록 충분한 출력을 공급하여야 한다. 특히 제한 증폭기는 10 ~ 500mV 범위의 가변 입력신호에 대하여 900mV인 정격전압을 출력시켜서 50 Ω 인 부하에 18mA의 전류를 공급하여야 한다. 제한 증폭기와 AGC 증폭기는 약 40dB인 높은 S_{21} 이득을 얻기 위하여 2단의 증폭단을 사용하였으며 -3dB 주파수 대역폭은 17GHz가 되도록 설계하였다. 설계된 제한 증폭기의 회로도를 Fig. 4에 제시하였다. Fig. 4에서 보는 바와 같이 제한 증폭기의 경우 충분한 대역

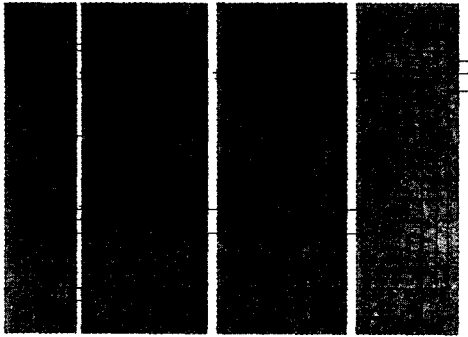


Fig. 4 Circuit diagram of the 10Gbps limiting amplifier composed of ① input buffer, ② first stage amp., ③ second stage amp., and ④ output buffer and differential output.

폭과 낮은 위상지연을 만족시키기 위하여 출력 버퍼단에 에미터 저항 및 커패시터를 결합한 에미터 피킹회로를 사용하였다.

또한 본 연구에서는 광통신 시스템 수신부의 마지막 단에서 전송 데이터를 결정하는 판별회로를 설계, 제작하여 HBT의 디지털회로 응용 가능성을 제시하였다. 즉 AGC 증폭기의 잡음이 섞인 아날로그 출력신호를 받아서 기준전압과 비교하여 디지털 논리가 '1'인지 '0'인지를 결정하여 깨끗한 디지털 신호를 출력하는 기능을 갖는 전송속도가 10Gbps 인 판별회로를 설계, 제작하였다. MS-DFF, 데이터 버퍼, 클럭 버퍼, 출력 버퍼와 자체 바이어스 회로로 구성된 판별회로는 전송속도가 10Gbit/sec 일 때 24mV_{pp}의 판별능력과 265°의 phase margin 을 갖도록 설계하였다.

4. 측정 결과 및 토의.

설계한 10Gbit/sec의 전송속도를 가지는 고속회로들은 본 연구소 자체의 표준화된 방법에 의하여 레이아웃한 후 자체 제작하였다. Fig. 5에 본 연구에서 제작된 AGC 증폭회로의 레이아웃을 보여주고 있다. Fig. 5에서 보는 바와 같이 차동 및 단일 입출력이 가능하도록 Signal-Ground-Signal (S-G-S)형태의 입출력 단자를 사용하였으며 회로 구동 및 제어를 위한 직류 바이어스는 Ground-Power-Ground (G-P-G)형태의 단자를 이용하였다. 각 단자의 크기는 75 × 75μm를 기본으로 하고 간격은 150μm를 유지하였으나, 필요한 경우 단자의 크기를 135 × 75μm로 하여 레이아웃하였다. 제작된 회로들은 CASCADE Microtech Probe 시스템을 사용하여 웨이퍼상 특성을 측정하였으며 HP8510B Network Analyzer를 사용한 주파수 응답과 Anritsu MP1758A Pulse Pattern Generator (PPG)와 Scope를 사용한 시간축 응답 (eye pattern)을 측정하였다.

전체 칩의 크기가 1.4 × 1.6mm로 제작된 LD 구동기의 PSPICE 및 LIBRA 시뮬레이션 결과와 측정된 주

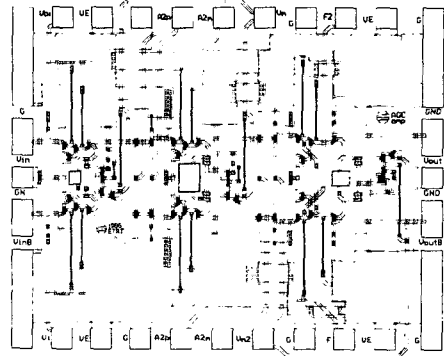


Fig. 5 Chip layout of the 10Gbps automatic gain controlled amplifier fabricated at ETRI.

파수 응답 특성을 Fig. 6에 제시하였다. 기생성분을 고려하지 않은 PSPICE 시뮬레이션 결과 주파수 대역폭은 20GHz이고 S₂₁이득이 17dB로서 설계 요구사항을 충분히 만족시키고 있으나, 각종 기생성분을 포함한 LIBRA 시뮬레이션은 16GHz의 대역폭과 22dB의 이득 특성을 보여주고 있다. 시뮬레이션과 비교하여 이득은 비슷하나 현저하게 낮은 11.5GHz의 대역폭 특성을 보여주고 있는 측정 결과는 그 특성 곡선형태가 LIBRA 결과와 유사하여 9GHz 근처에서 심한 피킹현상을 보여주고 있다. 이는 회로 내의 신호선이 특정 주파수에서 공진현상을 유발하여 회로특성에 영향을 미친다는 것을 별도의 신호선 측정 결과로부터 알 수 있다. 따라서 회로설계시 레이아웃의 영향을 최대한 고려하여 그에 따른 기생성분의 영향을 극소화시키도록 회로설계를 진행하여야 함을 보여주고 있다.

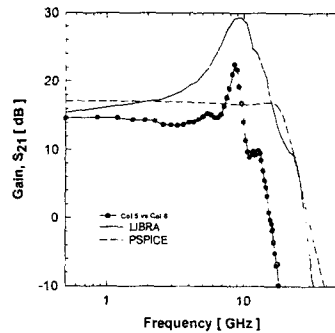


Fig. 6 Measured frequency response of the 10Gbps LD driver on wafer and simulated results for the IC using PSPICE and LIBRA simulator.

0.63 × 0.73mm의 크기로 제작된 전치 증폭기의 시뮬레이션에서 광 다이오드(PD : Photo Diode)의 등가회로와 기생성분을 포함한 경우와 포함하지 않은 경우의 결과는 많은 차이를 보이고 있는 바, 기생성분 등을 포함한 경우 52dBΩ의 전달임피던스 이득과 10.25GHz의 대역폭 특성으로 설계 요구사항을 만족시키고 있으나 측정된 결과와 유사한 특성을 보이고 있는 PD 등을 포함하지 않은

경우의 시뮬레이션 결과는 극히 낮은 이득과 대역폭 특성을 보여주고 있다. 그러나 PD를 연결하지 않고 웨이퍼 상에서 측정한 결과가 동등 조건의 시뮬레이션 결과보다 우수하다는 사실로부터 실제로 등가회로에 대응하는 PD를 연결하여 패키징한 경우 시뮬레이션과 같은 높은 전달 임피던스 이득과 10GHz 이상의 주파수 대역폭 특성을 보일 것으로 기대된다.

제작 후 칩면적이 $1.7 \times 1.7\text{mm}$ 인 제한 증폭기와 $1.25 \times 1.7\text{mm}$ 크기의 AGC 증폭기의 웨이퍼상 주파수 응답은 약 6GHz와 11GHz에서의 피킹현상을 특징으로 하는 바 제한 증폭기의 응답을 Fig. 7에 제시하였다. 이러한 피킹현상은 Fig. 6에서 제시된 LD 구동기의 주파수 응답과 유사한 양상을 보이고 있는 바 레이아웃내의 기생성분에 의한 것으로 간주되고 있다. 즉 Ti/Au 배선 금속 신호선과 NiCr 저항 및 MIM 커패시터의 별도 주파수 측정에 의하면 유사한 피킹현상을 관측할 수 있는 바 이러한 기생성분의 영향이 특정 주파수에서 공진현상을 유발하여 회로 특성을 악화시키고 있다. 따라서 10GHz 이상의 주파수에서 동작하는 초 고속회로의 설계, 제작에 있어서 이러한 기생성분을 최소화하기 위한 레이아웃의 개선이 필연적이며 또한 불가피한 기생성분의 영향을 고려한 회로설계가 요구된다는 것을 알 수 있다.

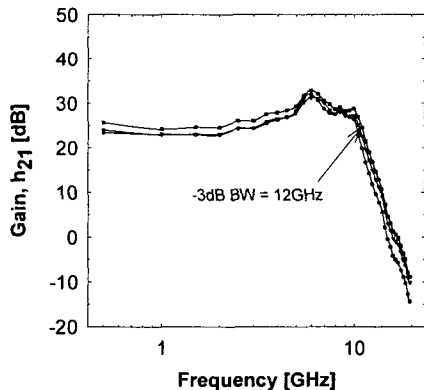


Fig. 7 Measured frequency response of the 10Gbit/sec limiting amplifier implemented with AlGaAs/GaAs HBTs.

또한 본 연구에서 설계, 제작된 전송속도가 10Gbps 인 판별회로는 측정 결과 2.5Gbps 의 전송속도에서 우수한 특성을 보였으며, 이러한 결과로부터 HBT 소자의 개선과 함께 회로 레이아웃을 개선하면 초고속 전송속도를 가지는 디지털 회로의 설계, 제작도 가능하다는 것을 입증하였다.

주파수 응답특성과 함께 Anritsu MP1758A PPG와 Scope를 사용한 시간축 응답을 측정하되 12.5Gbps의 데이터 전송에 대한 LD 구동기의 응답인 eye pattern을 Fig. 8에 제시하였다. 비록 약간의 잡음이 관측되고 있으나

12.5GHz에서의 명확한 eye pattern을 확인할 수 있다.

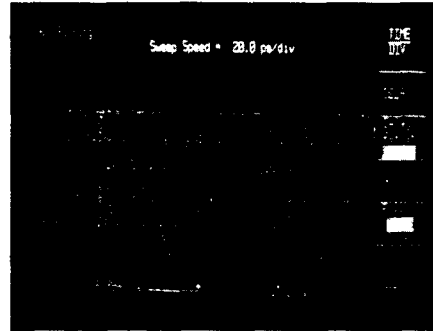


Fig. 8 Output eye diagram for $2^{23}-1$ PRBS measured for 12.5GHz random pattern signal.

5. 결론

본 논문에서는 65GHz의 전류이득 차단 주파수와 53GHz의 최대 공진 주파수 특성을 보이는 AlGaAs/GaAs HBT 소자를 사용하여 10Gbit/sec의 전송속도를 가진 광통신 시스템의 핵심 회로인 LD 구동기, 전치 증폭기, 제한 증폭기, AGC 증폭기와 디지털 회로인 판별회로를 설계, 제작하고 그 특성을 측정, 분석하였다. 웨이퍼상 측정 결과 주파수 응답특성은 대체적으로 설계사양을 만족시키고 있으나 패키지를 한 경우 10GHz 이상의 주파수 범위에서 심각한 기생성분에 의한 많은 손실이 예상되므로 이를 보상하기 위하여 패키지를 포함한 모든 기생성분의 영향을 고려하여 설계를 진행하여야 할 것이다. 또한 현재의 레이아웃에서 고려하지 못한 사항들, 즉 대칭적인 레이아웃과 신호선의 길이를 최대한 짧게 하면서 적절하게 분배한 효율적인 레이아웃의 기술을 확립할 필요성이 있다. 최적의 HBT 소자 설계와 함께 이러한 개선이 이루어지는 경우 10Gbit/sec의 전송속도를 가지는 광통신 시스템의 실현은 무난할 것이며 선진 각국에서 연구중인 100~400Gbit/sec급 초고속 통신 시스템의 국내 실현도 기대할 수 있을 것이다.

참고 문헌

- 1) K.Hohkawa, S.Matsuoka, K.Hagimoto and K.Nalagawa, "Integrated circuits for ultra-high-speed optical fiber transmission system", IEICE Trans. Electron., vol. E76-C, p.68, 1993.
- 2) 박형우, "10Gbps급 고속 IC의 기술동향 및 국내현황", 전자공학회지, 제 22 권, 제 2 호, p.123, 1995.
- 3) 이태우, 기현철, 박성호, 편광의, 박형우, "10Gbps LD driver IC using AlGaAs/GaAs HBTs", 제 3 회 한국반도체 학술대회 논문집, B-34/P, p.217, 1996.