

고정된 소자치수를 갖는 전력 MOSFET의 최적화

최연익, 황규한, 박일용
아주대학교 전기전자공학부

Optimization of the Power MOSFET with Fixed Device Dimensions

Yeorn-Ik Choi, Kue-Han Hwang and Il-Yong Park
School of Electrical & Electronics Eng., Ajou University

Abstract

An optimum design methodology for the power MOSFET's with a predetermined mask is proposed and verified by comparing with the results of MEDICI simulation and the data of commercially available devices. Optimization is completed by determining a doping concentration and a thickness of the epitaxial layer which satisfy a specific voltage and current rating requirements as well as a minimum on-resistance for the mask set. The commercial HEX-1 mask set with a die area of $40.4 \times 10^{-3} \text{ cm}^2$ and a TO-220 package has the on-resistance of 1.5Ω at 200 V/2.5 A rating while the M-1 mask from this study exhibits 0.6Ω on-resistance at 200 V/6 A. The 60% reduction in the on-resistance and 58% enhancement in the current rating have been obtained by the proposed method.

I. 서론

Power MOSFET는 다수캐리어(majority carrier) 소자이기 때문에 바이폴라 트랜지스터에 비해 스위칭 속도가 빠를 뿐만 아니라 입력 임피던스가 높다는 장점이 있다. 상용 전력 MOSFET는 셀형(cellular geometry) VD(Vertical Double-diffused) MOS를 기본 구조로 하고 있으며 기본 셀 및 접합 마감(junction termination) 구조의 단면도를 그림 1에 나타냈다. 그림 1(a)는 이중 확산된 p-well, n' 소오스와 n' 에피층(epitaxial layer)으로 구성된 VDMOS 구조이며, (b)는 항복전압을 제고하기 위해 셀 주위에 설치한 FLR(Field Limiting Ring)을 나타낸다. 전력 MOSFET의 최적설계는 C. Hu등[1]이 제시한 바와 같이 항복전압을 만족시키고 최소의 on 저항을 갖도록 소자크기 즉, p-well의 폭(S)에 대한 셀 간격(A), FLR(Field Limiting Ring)의 갯수 및 간격, 에피층의 농도와 두께를 구한 후 최대 드레인 전류를 만족시킬 수 있도록 die 면적을 결정한다.

시판되고 있는 전력 MOSFET databook[2]에 의하면 전압·전류 정격이 다른 전력 MOSFET은 대략 100종 이상 되지만, 대부분의 전력 MOSFET 생산업체에서는 각 정격마다 최적 설계된 마스크 셋을 구비하고 있는 것이 아니라 하나의 마스크 셋을 가지고 공정변수 즉, 에피층 농도와 두께를 바꾸어 10종 내외의 전력 MOSFET을 제작하고 있다. 이러

한 까닭은 수요가 작은 정격의 제품들에 대해서는 비슷한 정격을 갖는 마스크 셋을 사용함으로써 마스크 설계 및 제작에 따른 비용을 절감할 수 있기 때문이다. IR(International Rectifier)사의 주요 제품에 대한 전류·전압 product matrix를 그림 2에 나타냈으며, 다양한 모양의 기호를 선으로 연결한 범위는 동일한 마스크 셋을 사용하여 제작된 제품을 가리킨다. 예를 들어, 400 V/15 A급으로 최적설계된 HEX-5 마스크 셋을 사용하여 공정변수를 조절하면, 선으로 연결한 범위 내의 다른 정격의 제품을 제작할 수 있다. 이 경우 기업체에서는 과거의 제조 경험을 바탕으로 에피층 농도 및 두께 등의 공정변수를 결정하고 있으며, 아직까지 이를 위한 체계적인 설계방법은 보고된 바 없다.

본 논문에서는 소자크기(S, A, FLR의 갯수와 간격, 다이면적 등)가 미리 결정된 마스크 셋을 사용하여 원하는 전압·전류 정격을 만족시키는 에피층 농도와 두께를 얻기 위한 최적화 방법을 제안하고, 주어진 마스크 셋으로 제작할 수 있는 정격 범위를 결정하기 위한 방법을 제시하고자 한다.

II. 전력 MOSFET의 항복전압 및 ON 저항

1. 항복전압

전력 MOSFET의 전압 정격은 off 상태에서 드레인에 최대 인가할 수 있는 양의 전압이며, 접합 마감 영역에서 발생하는 아발란치 항복(avalanche breakdown)에 의해서 결정된다. FLR(Field Limiting Ring) 마감 영역에서의 항복전압은 서강덕씨가 제안한 링 관계식[3]을 사용하여 계산한다. 전력 MOSFET의 항복전압은 우선 각 링의 항복전압을 구한 후, 여러 개의 링으로 구성된 경우에 대한 항복전압을 구한다.

주 접합에서 가장 멀리 위치한 링의 항복전압은 다음의 원주형(cylindrical) 항복전압식으로 계산된다.

$$V_{B, \text{cyl}} = \frac{qN_{\text{epi}}}{2\epsilon_s} \{ \alpha (d_{\text{max}}) d_{\text{max}} \}^2 \quad (1)$$

여기에서 q는 전자의 전하, N_{epi} 는 에피층 농도, ϵ_s 는 실리콘의 유전율, α 는 수평 방향의 공핍층 폭에 대한 수직 방향 공핍층 폭의 비, d_{max} 는 수평 방향으로의 최대 공핍층 폭이다.

마지막 링을 제외한 나머지 링의 항복전압은 간접경로(indirect path)와 직접경로(direct path)로 나누어 생각할 수 있으며, 또한 항복시 두 링사이의 공핍층 형태는 그림 3에 나타난 바와 같이 논퍼치드

루 모드(non-punchthrough mode), 혼합 모드(mixed mode), 펀치드루(punchthrough) 모드로 분류된다[3].

간접경로 항복인 경우의 식은 다음과 같다.

논펀치드루 및 혼합 모드 ($V_{Bi} \leq V_{PT}$)에서는

$$NV_{Bi-1} = V_{Bi} + 2\sqrt{V_{Bi}V_{PT}} + V_{PT} \quad (2)$$

이고, 펀치드루 모드 ($V_{Bi} > V_{PT}$)에서는

$$PV_{Bi-1} = \left(1 + \frac{\alpha(d_i)d_i}{W_{epi}}\right) (V_{Bi} + 2\sqrt{V_{PT}V_{RTi}}) \quad (3)$$

이때 V_{Bi} 는 i 번째 링의 항복전압, V_{RTi} 는 펀치드루 항복전압, V_{PT} 는 리치드루(reachthrough) 전압, W_{epi} 는 에피층의 두께, d_i 는 i 번째 링의 간격이다.

직접경로 항복인 경우의 식은 다음과 같다.

논 펀치드루 및 혼합 모드 ($V_{RTi-1} \leq |V_{Bi}| \leq V_{onset}$)에서는

$$|NV_{Bi-1}| = \frac{qN_{epi}}{2\epsilon_s} (W_{BDi-1})^2 \quad (4)$$

이고, 펀치드루 모드 ($|V_{Bi-1}| \geq V_{onset}$)에서는

$$|PV_{Bi-1}| = \frac{qN_{epi}}{2\epsilon_s} (2D_{BDi-1}W_{epi} - (W_{epi})^2) \quad (5)$$

여기에서 V_{onset} 은 혼합 모드와 펀치드루 모드의 경계를 나타내는 전압이며, W_{BDi-1} , D_{BDi-1} 는 항복시 해당 모드에서의 공핍층 폭이다.

FLR 시스템의 항복전압 계산 순서는 다음과 같다.

주 접합의 전압을 예상되는 항복전압보다 매우 작은 값으로 취한 후, 두 링 사이의 전압관계식[3]을 사용하여 각 링에 걸리는 전압을 계산한다. 각 링의 전압을 링의 항복전압과 비교한 후, 링 전압 중 적어도 하나가 항복전압과 같아질 때 까지 주 접합의 전압을 증가시키고, 같게 될 경우 주 접합의 전압이 FLR 시스템의 항복전압이 된다.

2. On 저항

전력소자의 전류 정격은 소자 내부에서 발생하는 열의 방출 정도를 나타내는 열저항(thermal resistance)과 소자의 on 저항에 의해 제한을 받게 된다. 열저항은 패키지 및 다이 면적에 의해서, on 저항은 소자의 구조와 공정 변수에 의해서 결정된다[4]. 따라서, 소자 크기와 패키지 형태가 결정된 후, 최대 전류정격은 power MOS의 on 저항을 계산하여 구한다.

VMOS의 on 저항 성분은 채널 저항, R_{ch} , 축적층(accumulation layer)과 JFET 저항을 합한 저항, R_{acc} , 에피 저항, R_{epi} 의 세 가지로 나뉘어진다[5]. 즉, $R_{on} = R_{ch} + R_{acc} + R_{epi}$

$$R_{ch} = \frac{(S+A)^2}{4S} \sum_{i=1}^N \frac{L_i}{\mu_{ni,i} C_{ox} (V_g - V_{th,i})} \quad (6)$$

여기에서, S 와 A 는 p-well의 폭과 p-well 사이의 간격이고, L_i , $\mu_{ni,i}$, $V_{th,i}$ 는 각각 i 번째 구간에서의 채널길이, 전하이동도, 문턱 전압이며, C_{ox} 는 게이트 산화막의 정전용량, V_g 는 게이트 전압이다.

$$R_{acc} = \beta \rho_{epi} t_1 \frac{(S+A)^2}{4S} \frac{C_1 K_0 \left(\frac{\beta S}{2}\right) + I_0 \left(\frac{\beta S}{2}\right)}{C_1 K_1 \left(\frac{\beta S}{2}\right) - I_1 \left(\frac{\beta S}{2}\right)} \quad (7)$$

이때 $t_1 = r_s \sin 45^\circ$

$\beta = \sqrt{\rho_{si} / (\rho_{epi} t_1)}$, 여기서 ρ_{si} 는 축적층의 비저항

$$C_1 = I_1 \left\{ \frac{\beta}{2} (S+A) \right\} / K_1 \left\{ \frac{\beta}{2} (S+A) \right\} \quad \text{여기에서 } I_0, I_1, K_0,$$

K_1 는 Bessel 함수를 가리킨다.

$$R_{epi} = \rho_{epi} \left(W_{epi} - \frac{S}{2} \right) + \frac{\rho_{epi} (S+A)}{4} \ln \left(\frac{A+2S}{A} \right)$$

for $W_{epi} > \frac{S}{2}$ (8a)

$$R_{epi} = \frac{\rho_{epi} (S+A)}{4} \ln \left(\frac{2S+A}{A} \right)$$

for $W_{epi} \leq S/2$ (8b)

III. 최적설계 방법

그림 4는 전압·전류 정격을 만족시키는 최적의 에피층 농도와 두께를 구하기 위한 흐름도이다. 먼저 항복전압을 만족시키는 여러 가지 에피층 농도와 두께 및 on 저항을 구하고, 이 중에서 on 저항이 가장 작은 에피층 농도와 두께를 선택한 후, 마스크 셋의 각종 변수 및 패키지 형태에 대한 드레인 전류를 구한다. 다이면적과 패키지가 결정되었기 때문에 전류 정격은 공정 변수를 조절함으로써 얻어질 수 있으며, 이렇게 될 때, 전류 정격은 어느 마스크 셋을 사용하느냐에 크게 의존하게 된다.

표 1의 M-1과 M-2는 각각 전력 MOSFET 설계 프로그램[6]을 사용하여 400 V와 500 V 급으로 최적 설계된 마스크 셋이며, 주요 소자 크기, S , A , FLR 간격과 소오스, 게이트 pad 면적을 고려한 다이 크기, A_0 는 상용 제품과 비교하기 위하여 IR社의 databook[2]으로부터 추출된 값을 사용하였다.

표 1. 두 종류 마스크 셋의 주요 소자 크기 및 다이 면적.

소자 크기 마스크 셋	S [μm]	A [μm]	FLR 간격 [μm]	A_0 [$\times 10^{-4}$ cm^2]
M-1	10	12.0	$d_{\max} = 21.0$, $d_3 = 7.0$, $d_2 = 4.7$, $d_1 = 3.4$, $d_0 = 2.6$	40.4
M-2	10	12.5	$d_{\max} = 24.0$, $d_4 = 8.0$, $d_3 = 5.4$, $d_2 = 4.0$, $d_1 = 3.0$, $d_0 = 2.4$	73.7

표 1의 두 종류 마스크 셋을 가지고 주어진 전압 정격을 만족시키는 최적의 에피층 농도와 두께를 구하여 표 2에 나타냈다. 최소 on 저항

표 3은 M-1과 M-2 마스크로 설계한 전력 MOSFET의 주요 특성을 IR社의 HEX-1, HEX-2 마스크로 제작된 IRF610, IRF320과 비교한 것이다.

표 2. M-1과 M-2 마스크 셋을 사용하여 구한 최적의 소자 변수.

마스크 셋	전압 정격 [V]	N_{epi} [cm^{-3}]	W_{epi} [μm]	최소 on저항 [$m\Omega \cdot cm^2$]	최적 on저항 [$m\Omega \cdot cm^2$]	항복전압 [V] (MEDICI결과)
M-1	100	3.8×10^{13}	5	3.41	2.84	103
	200	1.3×10^{12}	10	7.92	7.62	207
	300	7.3×10^{14}	16	16.34	16.00	307
	400	4.9×10^{14}	23	29.81	29.81	400
M-2	100	3.8×10^{13}	8	4.17	2.84	109
	200	1.4×10^{13}	10	7.66	7.62	206
	300	7.3×10^{14}	18	17.82	16.00	300
	400	4.7×10^{14}	23	30.96	29.81	407
	500	3.3×10^{14}	28	49.40	49.40	500

표 3. M-1, M-2 마스크 셋으로 설계한 소자와 상용 전력 MOSFET의 주요 특성.

마스크 셋	M-1	HEX-1 (IRF 610)	M-2	HEX-2 (IRF 320)
제품 특성				
전압/전류 정격	200 V/6 A	200 V/2.5 A	400 V/6 A	400 V/3 A
On 저항 [Ω]	0.6	1.5	1.0	1.8
다이 면적 [$10^{-3} cm^2$]	40.4	40.4	73.7	73.7
패키지 형태	TO-220	TO-220	TO-3	TO-3

은 400 V 급 소자로 최적 설계된 M-1 마스크 셋을 사용하여 100 V, 200 V, 300 V 급 소자를 제안한 방법으로 설계하였을 경우의 on 저항의 최소치를 나타내며, 한편 최적 on 저항은 각 정격 마다 각각의 마스크 셋을 사용했을 경우의 on 저항이다. 400 V 급에서는 최소 on 저항과 최적 on 저항이 일치하나, 다른 정격에서는 최소 on 저항이 최적 on 저항에 비해 약간 큰 값을 갖는 것을 알 수 있다. 500 V 급 소자로 최적 설계된 M-2 마스크 셋의 경우에도 비슷한 결과를 얻었다. 2차원 소자 시뮬레이터인 MEDICI를 사용하여 FLR 항복전압을 구한 결과 모두 전압 정격을 만족하는 결과를 얻었다.

최소 on 저항과 최적 on 저항의 해석적인 결과 및 MEDICI 시뮬레이션 결과를 그림 5에 나타냈다. 실선과 점선은 해석적인 결과로서 각각 최소 on 저항과 최적 on 저항을 가리키며, \square 와 \circ 은 각각 최소 on 저항과 최적 on 저항의 시뮬레이션 결과이다. 그림 5(a)는 400 V 보다 작은 전압에서 그림 5(b)는 500 V 보다 작은 전압에서 최소 on 저항이 최적 on 저항 보다 다소 증가하지만 해석적인 결과와 시뮬레이션 결과가 대체로 일치함을 확인할 수 있다. 그러나, M-1 마스크 셋은 450 V에서 최적 on 저항에 비해 최소 on 저항이 160 x 증가하며, M-2 마스크 셋의 경우, 550 V에서 97 x 큰 값을 갖는다. 즉, 목표 전압 정격 이하에서는 M-1 또는 M-2 마스크 셋을 사용하더라도 각 정격에 대해 최적 설계된 마스크 셋을 사용했을 때와 거의 같은 on 저항을 얻을 수 있으며, 따라서 거의 대동한 수준의 전류 정격을 얻을 수 있다.

그림 6(a)는 M-1, (b)는 M-2 마스크 셋으로 제작할 수 있는 정격의 범위이고, 빗금친 영역은 IR社의 HEX-1, HEX-2 마스크 셋의 정격범위를 가리킨다. 두 마스크 셋의 전압 정격범위는 같지만, 전류 정격범위는 M-1과 M-2 마스크 셋이 HEX-1, HEX-2 보다 훨씬크고 넓은 것을 알 수 있다.

M-1과 M-2의 주요 특성은 시뮬레이션(항복전압)과 해석적인 결과(on 저항, 전류정격)이며, HEX-1과 HEX-2는 측정 결과이다. M-1과 HEX-1, M-2와 HEX-2는 다이 크기와 소오스 및 게이트 pad 면적은 같지만 DMOS 기본 cell의 크기, FLR의 간격 등은 다를 수 있다. Databook이나 reverse engineering을 통하여 HEX-1, HEX-2에 대하여 확보할 수 있는 여러 가지 변수(p-well의 접합 깊이, 농도, 폭, 간격 등)의 값이나 정확도에 한계가 있기 때문에, 비교적 정확하게 알 수 있는 다이 크기와 pad 면적은 동일하게 설정하고, 다른 변수는 통상적인 설계치를 사용하였다. 표 3에서 동일한 전압 정격에서 M-1과 M-2 마스크 셋을 사용하여 200 V와 400 V 급을 설계한 경우, HEX-1과 HEX-2에 비해 on 저항은 약 50 x, 전류는 약 2배 증가하는 것으로 나타났다. 비교 결과를 분석하면 제안한 방법을 사용할 경우, 상당히 성능을 개선할 여지가 있는 것을 알 수 있다. 또한 전력 MOSFET 생산업체의 설계기술자는 전술한 여러 가지 변수를 확보할 수 있기 때문에, 경험을 토대로 마스크 셋과 공정변수를 결정하기 보다는 제안한 방법을 사용함으로써 성능 향상, 설계 시간 및 비용 단축 등 도움이 되리라 기대된다.

IV. 결론

소자 크기가 미리 결정된 마스크 셋을 사용하여 전력 MOSFET을 최적 설계하기 위한 방법을 제안하였다. 전압-전류 정격의 범위는 하나의 마스크 셋으로 여러 가지 정격을 만족시키도록 설계한 경우와 각 정격에 대해 최적화된 마스크 셋을 사용한 소자의 on 저항을 비교하여, 정격을 동시에 만족시키는 몇 가지 마스크 셋 중에서 on 저항이 가장 작은 경우를 선택함으로써 결정된다. 다이면적이 $40.4 \times 10^{-3} cm^2$ 이고

TO-220 패키지를 사용한 경우, IR 社의 HEX-1 마스크 셋은 200 V/2.5 A 에서 1.5Ω의 on 저항을 갖는 반면에, 제안한 M-1 마스크 셋은 200 V/6 A에서 on 저항이 0.6 Ω으로 조사되었다. 제안한 방법은 하나의 마스크 셋을 사용하여 여러 가지 정격의 전력 MOSFET를 설계 제작하는데 유용하게 사용될 수 있으리라 기대된다.

참고 문헌

- [1] C. Hu, M. Chi, and V. Patel, "Optimum design of power MOSFET's" *IEEE Trans. Electron Devices*, vol. ED-31, pp. 1693-1700, Dec. 1984.
- [2] *Power MOSFET application and production data.*, International Rectifier, 1982-83.
- [3] K. D. Suh, *A new analytical design method for optimum field limiting ring systems in semiconductor for power devices*, KAIST Technical Report, no. DEE 79531, KAIST, 1991.
- [4] B. J. Baliga, *Modern Power Device*, John Wiley & Sons, New York, 1987
- [5] Seong-Dong Kim, Il-Jung Kim, Min-Koo Han and Yearn-Ik Choi, "An accurate on-resistance model for low voltage VDMOS devices," *Solid-St. Electronics*, vol. 38, pp. 345-350, Feb. 1995.
- [6] 리경만, 최연익, 정상구, "π MOS : 전력용 VDMOS 최적화를 위한 프로그램", 대한전자공학회 추계종합학술대회 논문지 15권 2호, pp. 593-596, 1992.

연구는 한국전력공사의 지원에 의하여 기초전력공학공동연구소 주관으로 수행되었음(95-62).

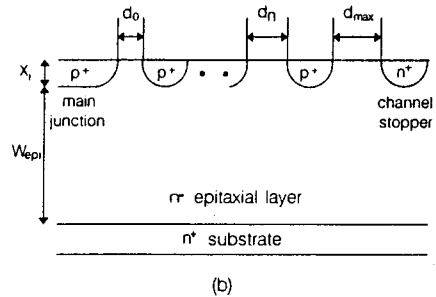
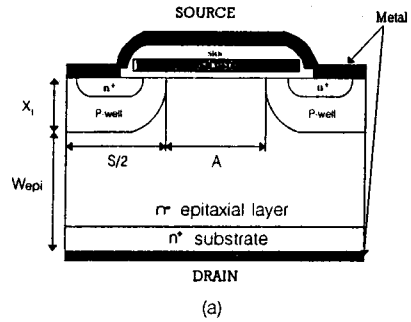


그림 1. 전력 MOSFET의 단면도

(a) VDMOS 셀 구조

(b) FLR 접합 마감 구조

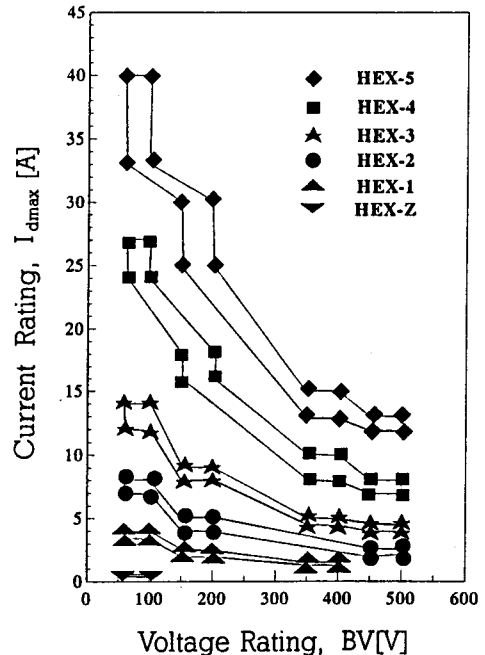


그림 2. 상용 전력 MOSFET[2]의 product matrix.

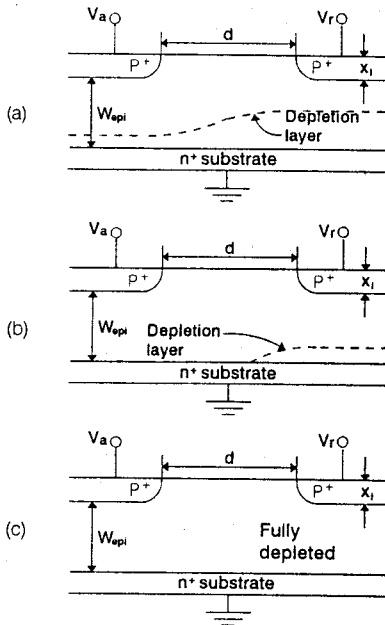


그림 3. 두 링 사이의 공핍층 형태.
 (a)는 펀치드루 모드 (b) 혼합 모드 (c) 펀치드루 모드

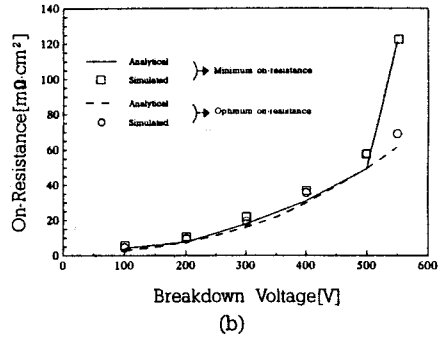
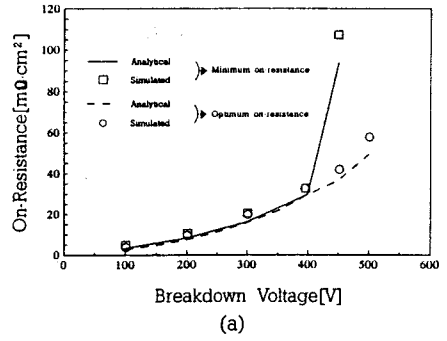


그림 5. (a) M-1 및 (b) M-2 마스크 셋을 사용한 경우, 항복전압에 따른 on 저항.

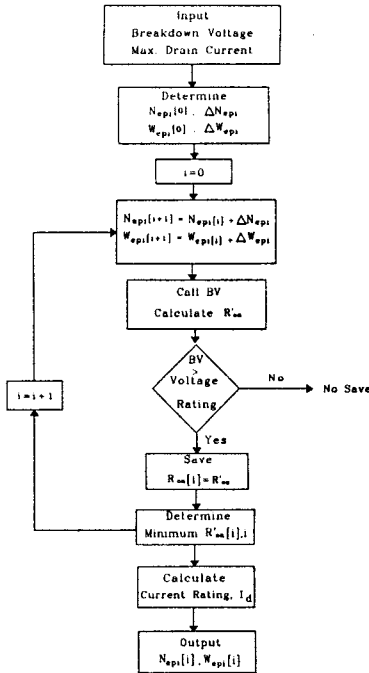


그림 4. 고정된 소자크기를 갖는 전력 MOSFET의 최적 설계 방법.

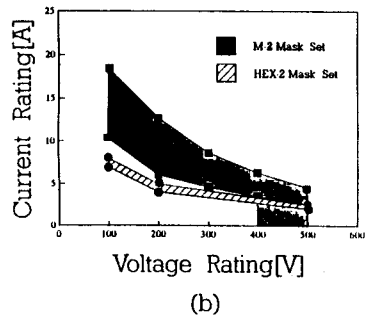
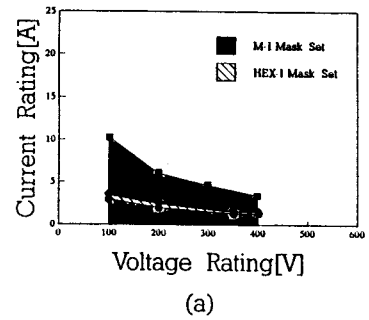


그림 6. 제안한 방법을 사용하여 결정한 (a) M-1 및 (b) M-2마스크 셋의 전압·전류 정격 범위.