

# 64MDRAM Gate-Polysilicon 식각공정의 이상검출에 관한 연구

## A Study on Failure Detection in 64MDRAM Gate-Polysilicon Etching Process

차 상 엽 · 이 석 주 · 최 순 혁 · 우 광 방

(Sang-Yeob Cha · Seok-Joo Yi · Soon-Hyeok Choi · Kwang Bang Woo)

\*연세대학교 기계·전자공학부(Tel :+82-2-361-2767; Fax:+82-2-362-7611; Email: choiiss@unitel.co.kr)

The capacity of memory chip has increased vert quickly and 64MDRAM becomes main product in semiconductor manufacturing lines consists of many sequential processes, including etching process. Although it needs direct sensing of wafer state for the accurate detching, it depends on indirect sensing and sample test because of the complexity of the plasma etching. This equipment receives the inner light of etch chamber through the viewport and converts it to the voltage intensity.

In this paper, EPD voltage signal has a new role to detect etching failure. First, we gathered data(EPD signal, etching time and etchrate) and then analyzed the relationships between the siganal variation and the etch rate using two neural network modeling. These methods enable to predict whether etching state is good or not per wafer. For experiments, it is used High Density Inductive Coupled Plasma(HDICP) etching equipment. Experiments and results proved to be able to determine the etching state of wafer on-line and analyze the causes by modeling and EPD signal data.

### 1. 서론

반도체 공정은 수백가지 이상의 일련의 공정을 갖고 있으며 16MDRAM에서 64MDRAM으로의 급속한 고집적화는 보다 정밀한 제어를 요구하게 되었다. 64MDRAM 생산공정에서 디바이스 수율의 향상을 위해 실시간 공정의 이상검출과 가능하다면 이를 신속하게 조치하는 것은 매우 중요하다. 현재의 양산라인에서 플라즈마식각공정은 플라즈마의 특성상 실시간제어가 불가능하며 이는 식각공정중의 웨이퍼 상태를 직접적으로 센싱할수 없기때문이다. 따라서 공정의 이상검출은 일정매수의 웨이퍼 식각후 샘플웨이퍼를 검사하는 방식으로 진행된다.

본 논문에서는 EPD(End Point Detection)장비를 활용하여 실시간으로 이상을 검출하는 기법에 대해 연구한다. EPD 장비는 식각반응실의 윈도우를 통하여 식각시 검출되는 특징파장의 빛을 모으는 모노크로미터와 이를 모니터상에 구현하여 식각상황을 판단제어하는 제어기로 구성된다. 그림 1은 EPD 시스템의 블록구성도로서 모노크로미터에 들어온 빛은 일정크기의 전압으로 변환되며 식각이 종료될 무렵 이 빛은 그 크기가 감소하게 되고 이로부터 "Overetching"의 과정을 통해 식각의 마무리가 행해진다.

EPD 시스템에 의해 실시간 이상검출을 위해서는 두가지 모델링이 요구된다. 첫번째 모델링은 입력변수(압력, 전력 등)와 출력변수(식각률과 EPD 전압신호의 피크치)를 모델링하고 두 번째 모델링은 EPD 전압신호와 식각깊이의 관계를 모델링하는 것이다. 이러한 두 모델은 장비의 초기 환경 설정과 함께 정립되며 실제의 식각공정진행중에 Overetching후의 "Underetch" 등과 같은 이상유무를 실시간으로 판별할 수 있게 해준다.

이러한 두가지 모델링을 위하여 비선형 입출력관계 학습에 뛰어나 신경회로망이 적용되었으며 실험에 두가지 형태의 웨이퍼가 사용된다. 데이터 수집 및 검증을 위한 실험은 64MDRAM 양산라인에서 실시하였다.

### 2. 모델링과 웨이퍼 상태의 예측

본 논문에서 모델링 특성에 따라 첫 번째 모델링은 "시스템 모델링"으로, 두 번째 모델링은 "이상검출모델링"으로 부른다. 플라즈마 식각공정은 많은 입력변수들을 갖고 있으며 이들중 중요한 변수들은 D.O.E (Design Of Experiments)에 의해 선택되고 "Fractional factorial experiments"에 의해 체계적인 입출력 데이터집합을 얻는다. 표 1은 본 연구에서 사용한 주요 입력변수와 식각장비가 갖는 특성에 의한 식각시의 입력범위이다.

표 1 입력변수와 범위

Table 1. Input variables and their ranges

입력변수	범위	
	최소	최대
압력	20	26
소스파워	1900	2500
비텀파워	70	90
Cl <sub>2</sub>	150	200
N <sub>2</sub>	5	15

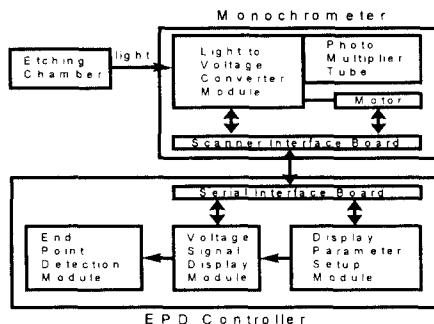


그림 1. EPD 시스템  
Fig 1. EPD system

시스템 모델링의 출력변수는 식각률과 EPD 시스템의 "Autoscan" 신호이다. 그림 2와 같이 Autoscan은 EPD 시스템의 주요기능으로서 식각층에서 가장 활발히 생성, 소멸되는 광파장을 탐색하는 기능이다. 그림 2.1은 2000~8000Å의 파장대역의 Autoscan 모니터링 화면이다. 세로축은 광의 세기를 0~10[V]의 전압대역으로 표시한 것으로서 가장 민감한 파장을 의미하는 "Peak value(피크치)"가 시스템 모델링의 출력변수로 선택된다.

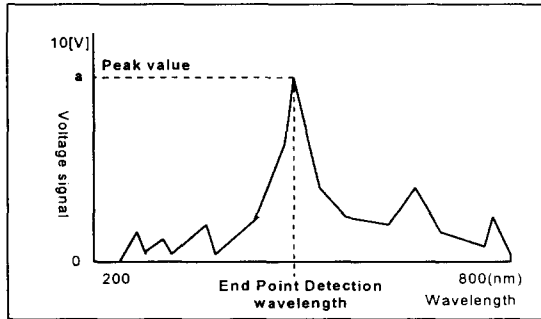


그림 2 Autoscan 그래프와 피크치  
Fig 2. Autoscan graph and its peak value

플라즈마 식각공정의 비선형적 특성에 신경회로망이 적합하다는 것은 이미 여러 연구를 통하여 검증되었다. 시스템 모델링을 위한 신경회로망 모델은 중간층을 갖는 3계층으로 구성되며 각각 5-10-3의 노드구성을 갖고 역전파 알고리즘에 의한 학습이 진행된다.(그림 3) 학습데이터는 실험계획법에 의해 구성된 입력출력 데이터로서 학습값의 수렴에 의한 모델링이 완료되면 공정운영을 위한 작업이 완료된다.

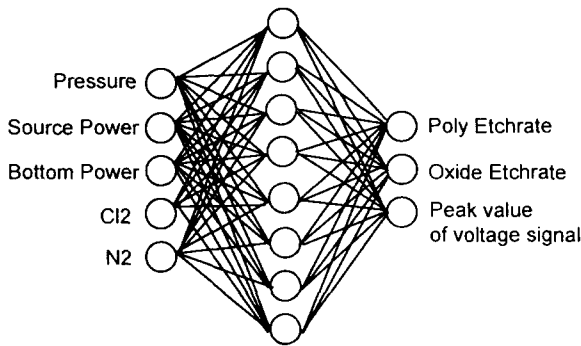


그림 3. 시스템 모델링을 위한 신경회로망  
Fig 3. Neural Network for System Modeling

이상검출 모델링을 위한 신경회로망은 그림 4와 같이 2-5-1 노드 구성을 갖는다. 입력변수는 "본 식각시간(Main etching time)"과 "EPD 전압신호의 수평값"으로서 실제의 공정에서 식각 운영시 그림 5와 같은 곡선궤적을 갖는다. 이때 "수평 전압값"은 Autoscan 데이터의 "피크치"와 동일한 값을 갖으며 이상검출 모델링의 출력변수는 본식각시간동안의 식각깊이이다.

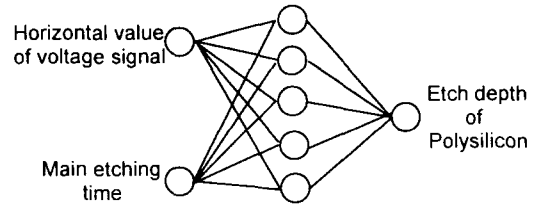


그림 4 이상검출모델링을 위한 신경회로망  
Fig 4. Neural network for failure detection

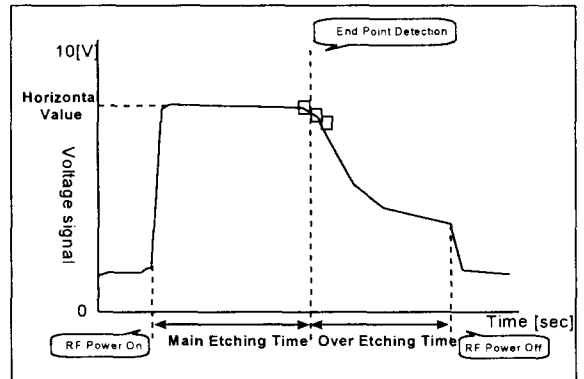


그림 5. 식각공정의 EPD 궤적 곡선  
Fig 5. EPD trajectory of etching process

시스템 모델링의 경우, Autoscan을 위한 식각웨이퍼는 "Dummy wafer"라고 불리며 실제의 제품생산에 사용되는 "Profile wafer"와 달리 웨이퍼 표면에 Photo 공정을 통한 Masking이 없는 것이 특징이다. 그림 6은 실험에 사용된 두가지 형태의 웨이퍼의 수직 구조이다.

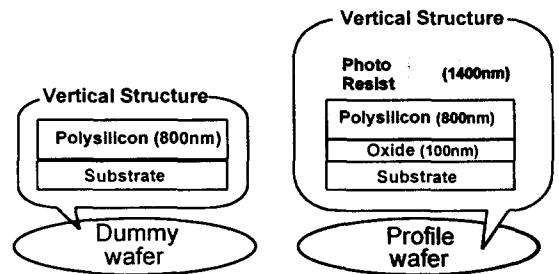


그림 6 두가지 형태의 실험웨이퍼  
Fig 6. Two types of experiment wafer

두가지 형태의 웨이퍼는 동일한 입력조건에서 실험되며 차이점은 "Dummy wafer"의 경우 EPD 시스템에서 시간에 관계없이 Autoscan을, "Profile wafer"에서는 시간제어에 의한 End Point Detection을 실시하는 것이다. 두가지의 모델링이 완성되면 식각

이상검출은 그림 7의 흐름도와 같은 과정으로 online으로 검출될 수 있다.

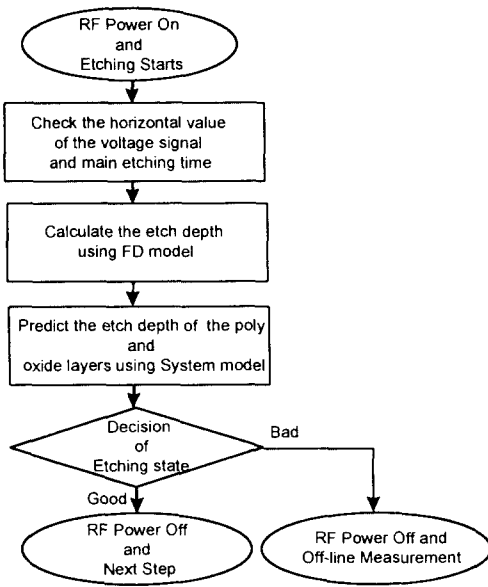


그림 7 식각이상검출을 위한 순서도  
Fig 7. Flowchart for failure detection

### 3. 실험 및 결과

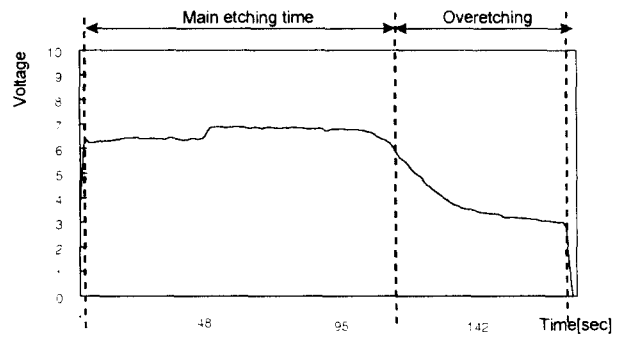
5개의 입력 파라미터는  $2^5 - 1 + 1 = 17$ 의 부분실험회수를 갖게 되기 때문에 시스템 모델링과 FD모델링을 위해 34번과 17회의 실험을 행했다. 시스템 모델링시에 S-polysilicon과 oxide 층은 dummy 웨이퍼를 이용하여 각각 식각되었기 때문에 34회의 실험이 필요하게 된다. 식각장비로는 HDICP(High Density Induced Coupled Plasma)식각 시스템이 사용되었으며 모노크로메터로는 xinix 1014가 사용되었다. 증착된 층의 두께는 그림 6에 이미 소개되었다.

표 2는 S-Polysilicon 식각률 및 oxide층의 실험값과 시스템 모델링에 의한 예측값을 보인다.

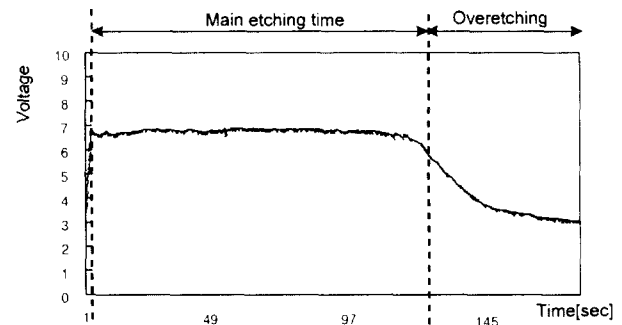
표 2 식각률의 실험 및 예측값  
Table 2. Real and predictive etch rate

	실험값	예측값
Polysilicon	316.6nm	316.5nm
Oxide	10.1nm	10.0nm

만일 주식각 시간이 그림 8과 같은 정상상태보다 짧거나 길어지면, FD 뉴럴네트워크 모델은 주 식각시간동안의 식각 깊이를 예측하게 된다. 따라서 시스템 모델링에 의하여 overetching 시간동안의 oxide 층의 식각깊이를 예측할 수 있게 된다.



(a) 정상식각상태의 EPD 신호케직



(b) 식각이상시의 EPD 신호케직

그림 8. 동일한 입력에 대한 다양한 EPD신호 케직  
Fig 8. Various EPD trajectory for same input

표 3 식각률의 비교  
Table 3. Comparison of etch rate

	정상식각		이상 식각	
	실험값	예측값	실험값	예측값
주식각시간동안의 Poly 식각깊이(nm)	591.2	590.8	617.4	617
주 식각시간	112	112	116	115.7
Overetching 시간동안의 Oxide 식각깊이	0.53	0.51	3.58	3.92
Overetching 시간	56	56	58	57.8

표 3에 정상상태의 S-Poly의 식각깊이와 프로파일 웨이퍼의 끝점 검출 시간, 그리고 FD모델에 의한 식각깊이의 예측값과 실험값을 보인다. 또한 그림 8과 같은 비정상 식각의 경우에 시스템 모델에 의한 overetch 깊이가 나타난다. 결과적으로 폴리실리콘이 과도하게 식각되었음과 이에 따라 overetching 시간동안에 oxide층의 식각깊이가 허용범위를 벗어나게 된다. 1nm의 허용 식각두께를 갖는 oxide층은 회로패턴의 절연을 위해 중요한 요

소이다.

#### 4. 결 론

실험과 결과는 시스템 모델링과 FD모델링에 의한 이상검출이 64MDRAM 제조공정에 있어서 효과적임을 보인다. 하지만 다음과 같은 문제점을 현재까지 지니고 있다. 1) 식각공정은 정확한 층의 두께를 확보하기 위해 증착공정과 연관지어 이해되어야 한다. 2) 시간이 지남에 따라 증가되는 폴리머는 입력되는 전압신호를 감소시키므로 이에 대한 고려가 필요하다. 하지만 이경우에 있어서 감소량은 일정한 것으로 알려져 있으며, 시계열 모델링으로 해결가능한 것으로 현재에도 활발히 연구되고 있다.

그럼에도 본 연구에서 제시된 알고리즘과 모델링은 64MDRAM 생산공정에서 경제적인 산출을 보장하게 된다.

#### 참고 문헌

- [1] Xilinx 1014, *End Point Detection manual*, 1993.
- [2] P.Box, W.B.Hunter and J.S.Hunter, *Statistics for Experimenters*, New York : Wiley, 1978.
- [3] S.May, J.Huand and C.Spanos, "Statistical experimental design in plasma etch modeling ", *IEEE Trans. Semicond. Manufact.*, vol.4, no.2, May 1991.
- [4] E.A.Rietman and E.R.Lory, "Use of neural networks in modeling semiconductor manufacturing process: an example for plasma etch modeling ", *IEEE Trans, Semicond. Manufact.*, vol.6, no.4, Nov 1991
- [5] S. M. Sze, *VLSI Technology, 2nd edition*, pp.248, 1990.