

Bonded SOI 웨이퍼 제조를 위한 기초연구 A Fundamental Study of the Bonded SOI Wafer Manufacturing

문도민*(부산대학교 대학원), 강성건, 류근걸(산업과학기술연구소), 정해도(부산대)
Do-min Moon*, Sung-gun Kang, Kun-kul Ryoo, Hae-do Jeong

ABSTRACT

SOI(Silicon On Insulator) technology is many advantages in the fabrication of MOS(Metal-Oxide Semiconductor) and CMOS(Complementary MOS) structures. These include high speed, lower dynamic power consumption, greater packing density, increased radiation tolerance et al. In simple form of bonded SOI wafer manufacturing, creation of a bonded SOI structure involves oxidizing at least one of the mirror polished silicon surfaces, cleaning the oxidized surface and the surface of the layer to which it will be bonded, bringing the two cleaned surfaces together in close physical proximity, allowing the subsequent room temperature bonding to proceed to completion, and then following this room temperature joining with some form of heat treatment step. and device wafer is thinned to the target thickness.

This paper has been performed to investigate the possibility of the bonded SOI wafer manufacturing. Especially, we focused on the bonding quality and thinning method. Finally, we achieved the bonded SOI wafer that Si layer thickness is below $3\mu\text{m}$ and average roughness is below 5\AA .

Key words : SOI, fabrication, MOS, CMOS, packing density, bonded SOI wafer, oxidize

1. 서론

반도체 기술의 발전에 따라 디바이스 공정 기술 개발뿐만 아니라 핵심 소재인 실리콘 웨이퍼의 개발도 중요한 과제로 부상하고 있다. 반도체 산업의 핵심소재인 웨이퍼의 발전동향은 대직경화, 평탄화(planarization), 새로운 소자 구조의 개발 등을 들 수 있다. 특히 기존 웨이퍼의 한계를 극복할 대안으로 SOI(Silicon On Insulator) 개념의 웨이퍼가 주목 받고 있다.

SOI 웨이퍼는 Si 단결정 구조 사이에 SiO₂층이 내재된 3층의 구조로 이루어져 있다.(그림 1)

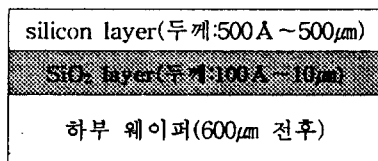


그림1. SOI 웨이퍼의 구조

최하층의 Silicon층은 단순한 기계적 지지대 역할을 하며, 그 위에 전기적 절연층인 SiO₂층과 초소형 전기 전자 집적회로가 놓여질 초박막의 Silicon층이 존재하게 된다.

SOI 구조를 만드는 방법은 여러 가지가 있다. ZMR(Zone-Melting Recrystallization)법, Implant를 이용하여 실리콘 웨이퍼 내부에 산소를 주입한 후 고온에서 열처리하여 실리콘 내부의 일정한 깊이에 SiO₂층을 생성시키는 방법인 SIMOX(Seperation by IMplantation of OXYgen)법, 그리고 산화막이 증착된 웨이퍼와 Bare 웨이퍼 접합면을 경면화하여 직접 붙여 고온 열처리를 통해 제작하는 직접 접합법(WDB:Wafer Direct Bonding) 등이 있다. 이러한 여러 종류의 SOI 웨이퍼 제조 기술들 중에서 대직경의 SOI 웨이퍼를 대량으로 제조할 수 있으며, 상부 실리콘층과 절연막인 SiO₂층의 두께가 임의로 조절이 가능하며, 결정 품위(Crystalline quality), 이중 접합(hetro wafer bonding)이나 MEMS(Micro Elec

-tro Mechanical System)제작 등 공정의 응용성도 뛰어난 방법은 직접 접합(WDB)법이라는 것이 기술적, 경제적 측면에서 널리 확인 보고되고 있다.

2. 웨이퍼 직접 접합

2.1. 실험 준비 및 방법

2.1.1. 화학적 표면처리(Pretreatment)

직접접합에 의한 웨이퍼 접합은 접합되어질 웨이퍼 표면의 조건이 접합의 무결함 및 결합력을 좌우하므로 접합전의 웨이퍼 표면의 청정도 및 표면처리는 매우 중요하다. 따라서, 표면의 청정도를 높이기 위해 아래의 표 1과 같은 화학처리를 하였다.

표1. 화학적 표면처리를 위한 화학 용액

No	화학용액	혼합비
1	HF : H ₂ O ₂	(1 : 100)
2	HF : HNO ₃ : H ₂ O	(1 : 5 : 100)
3	NH ₄ OH : H ₂ O ₂ : H ₂ O	(0.05 : 1 : 5)

이러한 용액들 속에 웨이퍼를 침지 시킨 후 탈이온수(De-ionized water)로 세정(rinsing)작업을 하였다. 그 후 질소 가스를 불어 표면의 수분을 제거하였다. 표면처리는 화학용액 처리후의 웨이퍼 표면의 상태에 따라 크게 친수성(hydrophilic), 소수성(hydrophobic) 처리로 구분된다. 이러한 차이는 표면의 OH기의 부착여부에 따라 OH기가 존재하면 친수성, OH기가 존재하지 않으면 소수성이라고 한다. 1, 2번의 처리 후에는 표면이 소수성을 띄고, 3번 처리 후에는 친수성을 띄울 수가 있었다.

다양한 화학 약품 처리와 열처리 과정을 거친 Bonded 웨이퍼의 결합 여부는 IR(적외선)-topography 시스템(HAMAMATSU)을 이용하여 관찰하였다. IR-topography 시스템은 4, 6인치 웨이퍼를 수용하고 IR을 조사하기 위한 테이블과 250watt의 IR 램프로 구성하였다. 조사된 IR은 웨이퍼 내의 접합되지 않은 부분은 void에 의해 IR 간섭현상을 일으켜 Newton Ring을 형성하게 된다. 이 현상을 파장 검출영역이 1.0~1.3 μ m인 IR 카메라를 이용하여 검출하게 된다.

본 연구에서 웨이퍼 접합은 class 10의 청정실에서 웨이퍼 청정이 끝난 후 바로 진행되었으며, IR-topography는 상온 접합 후, 열처리 후 각각 한 번씩 측정하였다.

2.2.2. 상온 접합(Mating)

화학적 표면처리를 한 두 장의 웨이퍼를 상온에서 직접 접합시켰다. 이 때, 웨이퍼는 반데르발스력(Van der Waals force), 정전력(Electrostatic force), 그리고 계면 조건에 따른 화학적 상호작용(Chemical Interaction) 등의 여러 힘에 의해서 접합된다. 반데르발스력은 물질의 원자나 분자들 사이에서의 상호 전기적 영향의 종합적인 발산력에 의해서 발생한다. 그리고, 두 장의 웨이퍼 간의 정전력은 부분적으로 전하를 띠는 두 물체 사이에서 발생한다. 반데르발스력과 정전력이 원자수준의 간격에서 작용하는 것이라면 웨이퍼간의 거리값 더욱 가까워져 거의 화학결합이 형성되었을 경우에는 이러한 결합은 본질적으로 화학적 상호 작용에 기인한다.

화학적 표면처리를 거친 웨이퍼 표면에 부착된 OH기와 HF가 상온 접합후 흡착력이 매우 강한 수소결합으로 되어, 열처리 동안에 수소결합은 공유결합으로 발전된다.

2.2.3. 열처리(Heat treatment)

상온 접합의 초기 수소결합은 열처리시 200 $^{\circ}$ C 전후의 온도에서 4개의 새로운 물분자 그룹을 형성하게 된다. 온도가 올라감에 따라 Si-OH : OH-Si 결합을 이루며 이때 결합된 물분자는 그 직경이 4 \AA 정도로 접합계면을 통해서 빠져나가지 못한다. 그러나, 700 $^{\circ}$ C 이상의 온도에서는 물분자들이 충분한 에너지를 얻어 분해되어 접합면 사이를 빠져나가거나 실리콘 내부로 확산된다. 이러한 물분자 해체로 Si-O-Si 형태의 새로운 결합구조를 형성하게 된다. 상온 접합과 이후 열처리의 메카니즘은 그림 2와 같다.

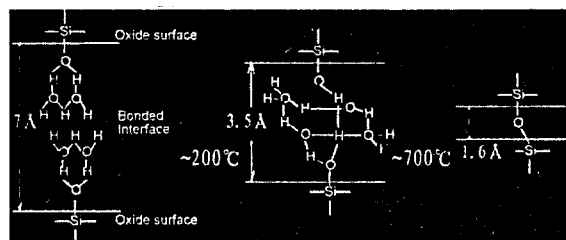


그림 2. wafer bonding mechanism

2.2. 실험 결과

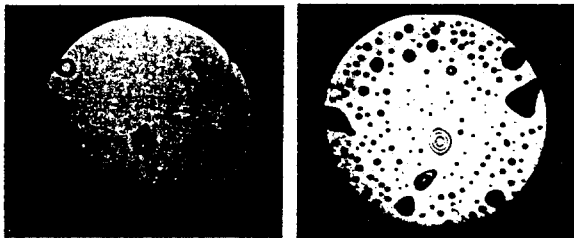
그림 3은 HF : H₂O₂(1 : 100)로 표면을 처리한 웨이퍼를 상온에서 접합시킨 후, 600 $^{\circ}$ C, 800 $^{\circ}$ C, 1000 $^{\circ}$ C의 온도로 질소 분위기 속에서 후속 열처리를 실시

한 IR-topography 관찰 결과이다.

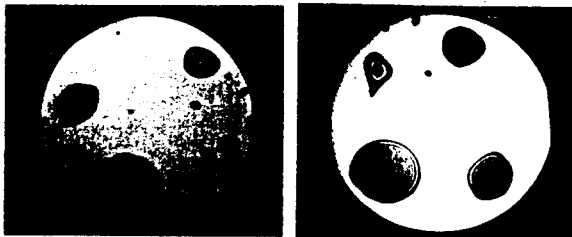
그림 3(a)에서 보는 바와 같이 상온 접합후 접합면은 여러 형태의 void가 웨이퍼 전 영역에 분포하고 있는 것을 알 수 있다. 이러한 void 형성의 원인은 일반적인 칩징선에서 발생하는 입자들이 표면에 부착되었거나, 표면의 화학처리 공정중에서 발생하는 오염원이나 부산물들이 부착되어 완전한 접합을 방해하는 요소로 작용하는 것으로 추정된다.

열처리 이후의 결과를 살펴볼 때, 600°C, 1hr 열처리한 경우(그림 3(a)), 열처리 중에 새로운 void들이 형성됨을 알 수 있다. 이는 웨이퍼 표면영역에 내재되어 있던 물분자, 흡착된 기체 분자 등이 열처리 공정에서의 열에너지를 제공받아 탈착된 후, 접합면에 포획된 것이다. 이러한 void들은 그 크기가 매우 미세하여 입자에 의한 void에 비해 Newton ring 형성이 매우 작은 것을 볼 수 있다. 이러한 현상은 300~600°C 전후의 온도에서 발생함을 알 수 있었다. 800°C 열처리 후의 결과에서는 불순물 탈착 현상에 의한 void 형성은 현저히 감소하며(그림 3(b)), 1000°C 열처리 후에는 오히려 void들이 제거되거나 축소화되는 현상을 볼 수가 있다(그림 3(c)).

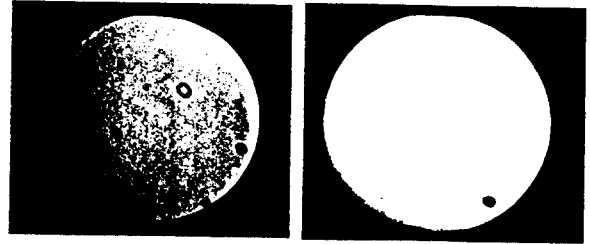
void가 물분자, 탄화수소 등의 기체 분자들에 의한 틈(gap)이라 볼 때, 고온에서 이러한 기체분자들이 분해되어 접합시 형성되는 계면의 높은 압력의 영향과 함께 웨이퍼 내부로 확산되어 소멸하는 것으로 사료된다.



(a) 상온 접합 후 vs. 600°C 열처리 이후



(b) 상온 접합 후 vs. 800°C 열처리 이후

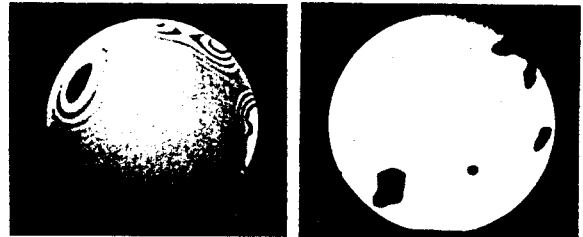


(c) 상온 접합 후 vs. 1000°C 열처리 이후

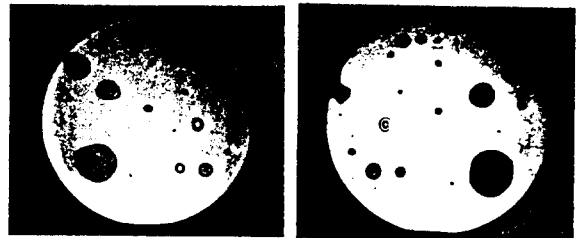
그림 3. HF : H₂O₂ 처리 후 접합 상태

(왼쪽: 상온접합 후, 오른쪽: 열처리 후)

그림 4는 친수성 표면처리인 NH₄OH : H₂O₂ : H₂O (0.05 : 1 : 5)로 처리한 후 접합을 실시한 결과이다. 상온 접합 후의 IR-topography 측정 결과를 보면 HF : H₂O₂ 표면처리 후의 접합 결과보다 나쁜 상태였다. 심지어 접합이 거의 이루어지지 않고 떠있는 상태의 형태를 이루는 것도 관찰되었다.(그림 4(a)) 각 온도에서의 열처리 후의 결과를 보면 1000°C까지의 고온에서도 열처리 중의 void 생성 현상을 볼 수 있었다.



(a) 상온 접합 후 vs. 700°C 열처리 이후



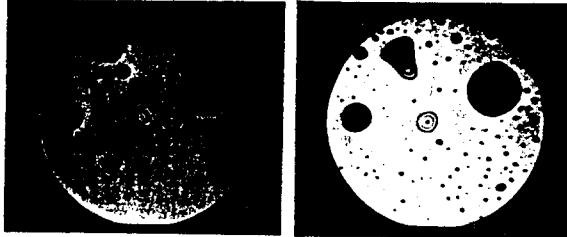
(b) 상온 접합 후 vs. 1000°C 열처리 이후

그림 4. NH₄OH : H₂O₂ : H₂O 처리 후 결함 상태

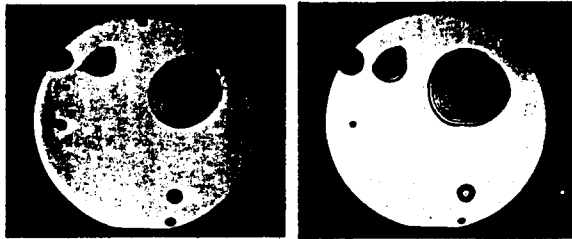
(왼쪽: 상온 접합 후, 오른쪽: 열처리 후)

그림 5는 HF : HNO₃ : H₂O 표면 처리 후 접합을 실시한 결과이다. 700°C 열처리 후의 결과를 보면 탈착 현상이 매우 심하게 나타났다. 900°C 열처리

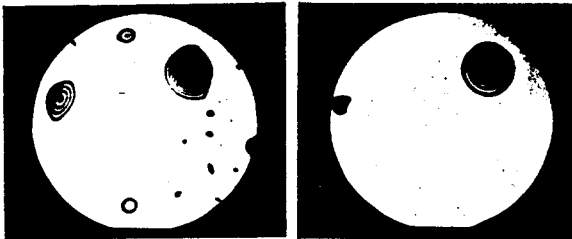
후에는 탈착현상이 거의 나타나지 않고 있으며, 1000℃에서는 열처리 이전의 void도 소멸되는 현상을 볼 수 있었다. 이는 앞에서의 HF : H₂O₂ 표면처리후의 경향과 유사하다. 하지만 결합 상태는 상대적으로 나쁜 편이었다.



(a) 상온 접합 후 vs. 700℃ 열처리 이후



(b) 상온 접합 후 vs. 900℃ 열처리 이후



(c) 상온 접합 후 vs. 1000℃ 열처리 이후
그림 5. HF : HNO₃ : H₂O 처리 후 결합 상태
(왼쪽: 열처리 전, 오른쪽: 열처리 후)

초기 결합 후 진공상태가 접합에 미치는 영향을 관찰하기 위하여 Sputter 장비의 진공 챔버를 이용하여 웨이퍼 접합을 실시하였다. 상온에서 웨이퍼를 접합한 후 진공도가 10⁻⁷torr인 진공 상태에 각각 3분, 5분간 진공 처리하였다. IR-topography 관찰의 결과를 보면 상당히 양호한 접합면을 확인할 수 있었으며, 열처리 후에도 깨끗한 접합면을 유지할 수 있었다.(그림 6) 따라서, 완전한 결합을 위해서 진공 처리는 필수적임을 알 수 있다.

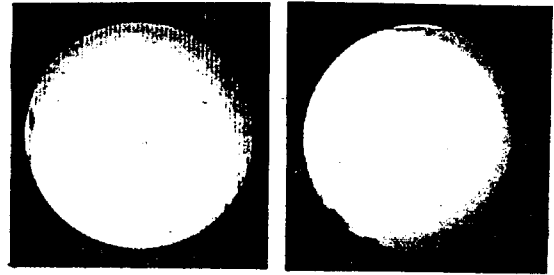


그림 6. 진공 처리 후 결합 상태
(왼쪽: 3분, 오른쪽: 5분)

3. 박막화(Thinning)

3.1. 실험 방법

상부 Si layer 박막화 가공기술은 현재 많은 연구가 이루어지고 있으며, 몇 가지 가공 기술들이 제시되고 있다. 일반적인 가공법으로는 Bonded 웨이퍼를 가공할 때, 하부 웨이퍼의 TTV(Total Thickness Variation)가 박막화하려는 상부의 웨이퍼에 그대로 전사되기 때문에, SiO₂ layer를 기준으로 상부 웨이퍼를 가공하는 Frontside Reference Process를 적용하여야 한다(그림 7).

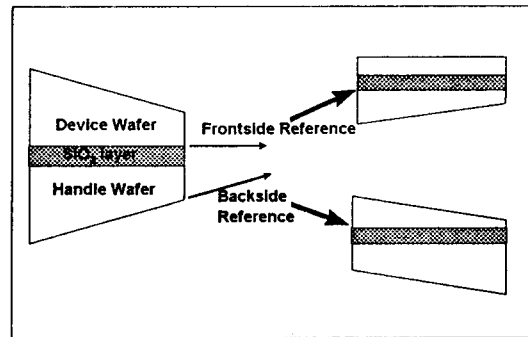


그림 7. Frontside Reference & Backside Reference

이러한 프로세스를 적용한 박막화 가공 기술로는 플라즈마를 응용한 에칭법인 PACE(Plasma Assisted Chemical Etching), 웨이퍼 접합후 상부 웨이퍼를 에칭하는 BESOI(Bond and Etch to epitaxially grown etch stops), 고농도의 수소 원자를 웨이퍼 내부에 이식시켜 절단하는 SMART-cut, 다공질의 Si layer 위에 epitaxial Si layer를 성장시켜 에칭 한계를 규정한 FIPOS법 등의 가공 기술 등이 있다.

3.2 실험 준비

본 연구에서는 고정밀 연삭과 초정밀 기계가공에

의해 Si layer를 박막화하기위하여 CMP를 이용하여 Si layer를 두께 3 μ m 전후로 박막 가공하였다.

연삭은 수평형 Infeed 연삭기(NACHI Fujikoshi, HSG- 10A2E)에서 가공하였으며, 연삭 스톨은 #400의 주철분도 다이아몬드(CIFB-D) 스톨을 사용하였다. 질입속도는 25 μ m/min으로 660 μ m을 연삭 가공하였다. 그리고, 가공면 품위 향상을 위해 0.5A, 85V 조건의 ELID(Electrolytic Inprocess Dressing)를 시행하였다. 웨이퍼의 표면 거칠기는 Form Talysurf (Rank Taylor Hobson)를 이용하여 측정하였다.

연삭후 초소형 전자 집적회로가 놓여질 수 있도록 하기 위하여 CMP(Chemical Mechanical Polishing)가공을 하였다. 가공 조건은 표 2와 같다.

표 2. CMP 가공조건

Plate velocity	30 rpm
Spindle velocity	30 rpm
Oscillation	40 mm
Slurry	ILD1300 (SiO ₂ + NH ₄ OH)
Pad	SUBA800

CMP 가공후 레이저의 간섭현상을 이용하여 두께를 측정하는 박막측정기(LTS-M/SP film thickness station)를 이용하여 Si layer의 박막화를 평가하였다.

3.2. 실험 결과

Infeed 연삭은 일반연삭에 비해 웨이퍼와 같은 원형의 평면용 가공할 때, 가공면에 연삭력이 일정하여 표면 거칠기나 평탄도가 상당히 양호하였다. 연삭 후 웨이퍼의 표면 거칠기는 중심부에서 반경방향(R)으로 표 3과 같다.

표 3. 연삭후 웨이퍼의 표면 거칠기

위치	Roughness(R _a)
center	0.0849 μ m
R/2(from center)	0.1329 μ m
R(from center)	0.2284 μ m

위와 같은 반경 방향으로의 표면거칠기의 변화는 Infeed 연삭시 일반적인 경향이며, 이는 중심부와 주변부의 스톨과의 상대속도의 차이에 기인한 것으로 사료된다.

가공면을 관찰하여 보았을 때, 웨이퍼의 edge부가 가공 중에 탈락하는 현상이 발생하였다. 이는 접합 전에 웨이퍼에 형성되어 있는 edge 부분의 라운딩

형상으로 인해 접합이 이루어지지 않아 가공시 탈락하였다고 사료된다.(그림 8)

void가 내재되어 있어 접합이 이루어지지 않은 부분에서도 역시 가공중 박막이 탈락하는 현상이 발생함을 관찰할 수 있었다.(그림 9)

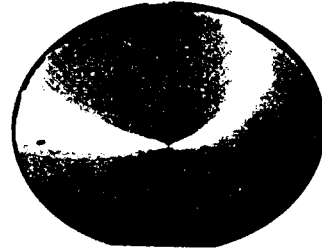
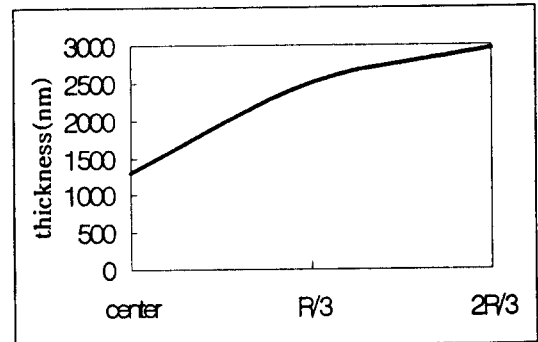


그림 8. 연삭시 edge 부분의 탈락 현상

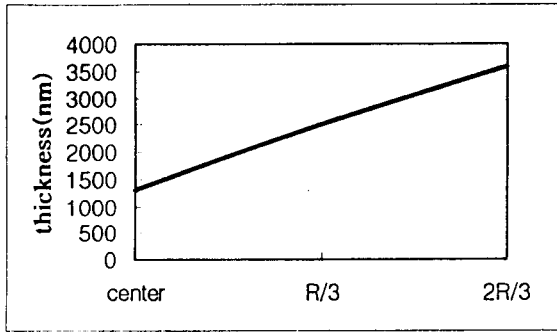


그림 9. 연삭시 void에 의한 미접합 부분의 탈락

연삭 후 CMP 가공을 통해 미소 제거가공과 표면의 상당한 품위향상을 도모할 수 있었다. Frontside Reference 기법을 적용하지는 못하였으나 3 μ m 전후의 Si layer의 박막화에는 성공하였다. 그림 10은 웨이퍼 중심에서 직교하는 두 반경 방향으로 두께를 측정한 결과이다.



(a) OF(Orientation Flat)에 수평방향



(b) OF에 수직방향

그림 10. 반경 방향의 Si layer 두께 측정 결과

CMP 후 웨이퍼의 표면 거칠기는 전면에 걸쳐서 R_a 가 5Å 이하였다. 이는 웨이퍼에 전기 전자 회로가 집적될 수 있는 양호한 수준이었다.

4. 결론

1. 상온 접합 및 열처리 후에 적외선(IR) - topography 시스템으로 관찰하였을 때, 친수성 표면처리 ($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$) 후의 접합 상태보다 소수성 표면처리 ($\text{HF}:\text{H}_2\text{O}_2$) 후의 접합상태가 훨씬 양호하였다.
2. 열처리 공정시 600°C 전후의 온도에서는 새로운 void가 생성되고 고온으로 올라갈수록 void가 소멸하는 경향을 관찰할 수 있었다.
3. 상온에서 웨이퍼를 접합한 후 진공처리를 통해 void가 거의 없는 접합면을 관찰할 수 있었다.
4. 웨이퍼 edge 부분의 파괴를 막기 위해 형성된 Rounding 형상으로 인한 Back Grinding시 edge 탈락 현상이 발생하였다. 이를 방지하기 위해 접합되어질 웨이퍼의 edge 형상의 수정이 필요하다.
5. 고정밀 Infeed 연삭을 이용한 Back Grinding과 CMP(Chemical Mechanical Polishing)를 응용한 공정을 이용하여 3 μm 전후의 Si layer 박막을 가공하였다. 화학적 에칭, 플라즈마 thinning 등 현재 제시되고 있는 박막화 가공기술들과 비교하여 불 때 두 기술의 조합은 상대적으로 상당히 효율적이며, 화학적 처리과정이 없어 환경친화적인 기술이다.

참고문헌

1. W. P. Maszara etc. "Bonding of silicon wafers for silicon-on -insulator" J. Appl. Phys. July 1988
2. R. Stengl, T. Tan and U. Gosele. "A proposed model for the silicon wafer bonding mechanism at different temperatures" Jpn, J. Appl. Phys. 1984

3. Q-Y tong et al. "The Role of Surface chemistry in Bonding fo Standard Silicon Wafers" J. Electrochem. Soc. 1997.
4. Hiroaki Himi et al. "Silicon Wafer Direct Bonding without Hydrophilic Native Oxides" Jpn. J. Appl. Phys. 1994.
5. R. A. Carven "Bonded Silicon on Insulator Technologies" 3rd workshop in RIST 1996.
6. Kunkul Ryoo "A trend of SOI wafer technology for the next generation device applications" The materials Research Society of Korea. 1995